

УТВЕРЖДЕН
ГАВЛ.431260.050 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
Н5503ХМ1-099 АЕЯР.431260.159 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.050 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР**

1. ОБЩИЕ СВЕДЕНИЯ

- 1.1 Регистрационный номер карты заказа 099.
- 1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации:
Микросхема H5503XM1-090 АЕЯР.431260.159 ТУ
- 1.3 Обозначение схемы электрической структурной ГАВЛ431260 050 Э1
- 1.4 Обозначение магнитного носителя с результатами проектирования (МНРП)ГАВЛ.431260.050 МД:
 Контрольные суммы обязательных файлов на МНРП:
 а) STR-файл Структурное описание проекта БИС 1040
 б) SOU-файл Описание топологии переменного слоя 35727
 в) HP-файл Описание 1 тестовой последовательности 49599
- 1.5 В настоящем экземпляре карты заказа в таблице 2 тесты с 46 по 6276 элементарную проверку включительно не распечатаны. Полное описание тестовых последовательностей представлено в HP-файле на МНРП.
- 1.6 Корпус H09.28-1вН или H09.28-1вНБ.

Справка №	Перв. примен.

Изм.	Лист	№ документа	Подпись	Дата
Разработал	Денисов		<i>[Signature]</i>	4.10.00
Проверил	Емельянов		<i>[Signature]</i>	8.10.00
Н.контроль	Сидорина		<i>[Signature]</i>	25.10.00
Утвердил	Шелепин		<i>[Signature]</i>	27.10.00

173
 В. Синьгарь 06.10.00

ГАВЛ.431260.050 Д				
Изм	Лист	№ документа	Подпись	Дата
Разработал	Денисов		<i>[Signature]</i>	4.10.00
Проверил	Емельянов		<i>[Signature]</i>	8.10.00
Н.контроль	Сидорина		<i>[Signature]</i>	25.10.00
Утвердил	Шелепин		<i>[Signature]</i>	27.10.00

Микросхема интегральная
 H5503XM1-099
 Карта заказа

Литера	Лист	Листов
	2	14

2. ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1. Наименование микросхемы.

Микросхема преобразователя кода.

2.2. Функциональное назначение микросхемы.

Микросхема предназначена для анализа информации, поступающей с микросхемы АЦП 1175ПВ2 (полного аналога микросхемы 572ПВ2) в виде трёхразрядного 7-сегментного кода, и выдачи выходных логических сигналов, соответствующих нахождению входного кода (числа) в заданных пределах.

2.3. Структурная схема приведена в Приложении А. Техническое описание структурной схемы, режимов и временных диаграмм работы микросхемы представлены в Приложении А к настоящей карте заказа.

Структурные характеристики микросхемы:

Количество безусловных входов.....	17
Количество двунаправленных выводов.....	0
Количество безусловных выходов.....	4
Количество стандартных элементов (СЭ).....	197
Количество трассируемых связей.....	206
Суммарное количество соединяемых выводов СЭ.....	526
Процент использования матричного поля кристалла, %.....	30

2.4. Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.159 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1. Общее количество задействованных выводов микросхемы – 21.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

В графе "нагрузка" символы "R" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общих, питающих незадействованных выводов:

номера общих выводов.....	14
номера питающих выводов.....	28
номера незадействованных выводов.....	3,15,19,20,21

Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата

Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.050 Д

Лист
3

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1.	Е	10			Вход разрешения
2.	С	10			Вход синхрочастоты
4.	В1	10			Сегмент В первого знакоместа
5.	А1	10			Сегмент А первого знакоместа
6.	F1	10			Сегмент F первого знакоместа
7.	G1	10			Сегмент G первого знакоместа
8.	E1	10			Сегмент E первого знакоместа
9.	В2	10			Сегмент В второго знакоместа
10.	А2	10			Сегмент А второго знакоместа
11.	F2	10			Сегмент F второго знакоместа
12.	G2	10			Сегмент G второго знакоместа
13.	E2	10			Сегмент E второго знакоместа
16.	В3	10			Сегмент В третьего знакоместа
17.	F3	10			Сегмент F третьего знакоместа
18.	E3	10			Сегмент E третьего знакоместа
22.	G3	10			Сегмент G третьего знакоместа
23.	А3	10			Сегмент А третьего знакоместа
24.	OUT1		HL		Прямой выход признака первого диапазона
25.	OUT1В		HL		Инверсный выход признака первого диапазона
26.	OUT2		HL		Прямой выход признака второго диапазона
27.	OUT2В		HL		Инверсный выход признака второго диапазона

Ив. № подлин	Подпись и дата	Взаим. инв. №	Ив. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.050 Д	Лист
						4

2.5. Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в Таблице 2, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1. ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2. ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3. Общий порядок выполнения одной элементарной проверки.

- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

Инв. № подлин	
Подпись и дата	
Взаим. инв. №	
Инв. № дубл.	
Подпись и дата	

						ГАВЛ.431260.050 Д	Лист
Изм	Лист	№ документа	Подпись	Дата			5

2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

"0" - вход, низкий уровень напряжения;

"1" - вход, высокий уровень напряжения;

"-" - вход, импульсное напряжение типа ("111__111");

"+" - вход, импульсное напряжение типа ("__111__");

"X" - выход, непроверяемый;

"L" - выход, низкий уровень напряжения;

"H" - выход, высокий уровень напряжения;

"Z" - выход, непроверяемое высокоимпедансное состояние;

"R" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет нагрузочного резистора.

2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП".

минимальный период "ЭП", с..... 10E-6

задержка для проверки выходов..... 90%.

2.5.6. Количество "ЭП" в тестовой последовательности 6295.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.050 Д

Лист

6

Таблица 2

Номера элемен- тарных проверок	Условные обозначения и состояния выводов микросхемы			
	ЕСВАFGEBAFGEVFEGAOOOO	1111122223333UUUU	TTTT	1122
			В В	
1	10001110000101111XXXX			
4	11001110000101111LHHL			
5	10001110000101111LHHL			
6	10000100001000010LHHL			
7	11000100001000010HLHL			
8	10000100001000010HLHL			
9	10011110001000010HLHL			
10	11011110001000010HLHL			
11	10011110001000010HLHL			
12	10001000001000010HLHL			
13	11001000001000010HLHL			
14	10001000001000010HLHL			
15	10001010001000010HLHL			
16	11001010001000010HLHL			
17	10001010001000010HLHL			
18	10010010001000010HLHL			
19	11010010001000010HLHL			
20	10010010001000010HLHL			
21	10100010001000010HLHL			
22	11100010001000010HLHL			
23	10100010001000010HLHL			
24	10100000001000010HLHL			
25	11100000001000010HLHL			
26	10100000001000010HLHL			
27	10001110001000010HLHL			
28	11001110001000010HLHL			
29	10001110001000010HLHL			
30	10000000001000010HLHL			
31	11000000001000010HLHL			
32	10000000001000010HLHL			
33	10000010001000010HLHL			
34	11000010001000010HLHL			
35	10000010001000010HLHL			
36	10000100111100010HLHL			
37	11000100111100010HLHL			
38	10000100111100010HLHL			
39	10011110111100010HLHL			
40	11011110111100010HLHL			
41	10011110111100010HLHL			
42	10001000111100010HLHL			
43	11001000111100010HLHL			
44	10001000111100010HLHL			

Инд. № подлин	Подпись и дата	Взаим. инв. №	Инд. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.050 Д	Лист
						7

Продолжение таблицы 2

Номера элемен- тарных прове- рок	Условные обозначения и состояния выводов микросхемы	
	ЕСВАFGEBAFGEVFEGA0000	
	111112222233333UUUU	
	TTTT 1122 В В	

6277 01000100100101000LHHH
 6278 10000100100101000LHHL
 6279 00011110100101000LHHH
 6280 01011110100101000LHHH
 6281 10011110100101000LHLH
 6282 00001000100101000LHHH
 6283 01001000100101000LHHH
 6284 10001000100101000LHLH
 6285 00001010100101000LHHH
 6286 01001010100101000LHHH
 6287 10001010100101000LHLH
 6288 00010010100101000LHHH
 6289 01010010100101000LHHH
 6290 10010010100101000LHLH
 6291 00100010100101000LHHH
 6292 01100010100101000LHHH
 6293 10100010100101000LHLH
 6294 00100000100101000LHHH
 6295 01100000100101000LHHH

Инд. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.050 Д	Лист
						8

3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1. Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2. Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в Таблице норм ГАВЛ.431260.018 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1. Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.2. Функциональный контроль выполнять в соответствии с Таблицей 2.

3.2.3. Ток потребления (ICС) измерять после "ЭП"6295

3.2.4. Измерение токов утечки I_{LIL} и I_{LIH} по безусловным входам 1, 2 выполнять на любой с 0 по 6295 элементарных проверках. Измерение токов утечки I_{LIL} и I_{LIH} по входам 4-13, 16-18, 22, 23 выполнять на любой с 0 по 6295 элементарных проверках с учётом того, что указанные входы имеют внутренние резисторы доопределения до высокого уровня с номиналом в диапазоне 10 – 40 кОм.

3.2.5. Измерение выходных токов (I_{OZL} , I_{OZH}) на выводах, которые находятся в состоянии "ВЫКЛЮЧЕНО" при напряжениях низкого и высокого уровня выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.6. Временные параметры сигналов на выходах не измерять.

3.3. Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротермотренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4 До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5. В соответствии с РД 110755-90 допускается проведение ускоренных испытаний на безотказность и долговечность.

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.050 Д	Лист
						9

4. ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует полноту технического описания структурной схемы, режимов и временных диаграмм работы микросхемы, представленных в приложении к настоящей карте заказа.

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата
Изм	Лист	№ документа	Подпись	Дата
ГАВЛ.431260.050 Д				Лист 10

Приложение А
(обязательное)

А.1. Микросхема предназначена для анализа информации, поступающей с микросхемы АЦП 1175ПВ2 (полного аналога микросхемы 572ПВ2) в виде трёхразрядного 7-сегментного кода, и выдачи выходных логических сигналов, соответствующих нахождению входного кода (числа) в заданных пределах. Структурная схема БИС приведена на рисунке А1.

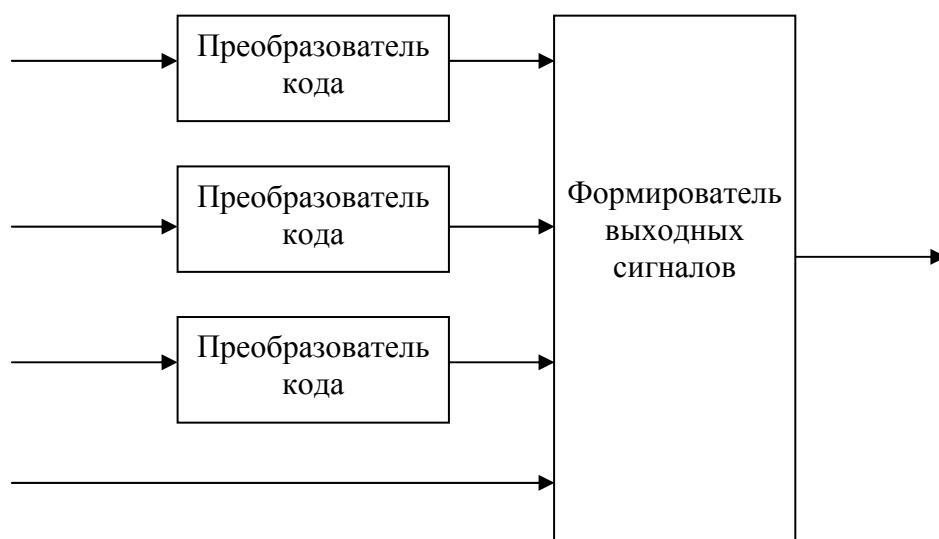


Рисунок А1.

А.2. Кодовая информация, поступающая на БИС, одновременно управляет тремя семисегментными индикаторами, на которых высвечивается десятичное число. Расположение и обозначение сегментов одного индикатора показано на рисунке А2.

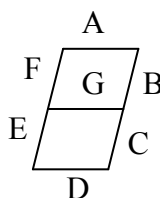


Рисунок А2.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.050 Д

А.3. Коды, формируемые для засвечивания соответствующих цифр на индикаторе, приведены в таблице А1 (свечению сегмента соответствует логический "0" на информационной линии).

Таблица А1.

Цифра	Разряды семисегментного кода														
	3 знакоместо (сотни)					2 знакоместо (десятки)					1 знакоместо (единицы)				
	Сегменты цифры					Сегменты цифры					Сегменты цифры				
	A3	B3	E3	F3	G3	A2	B2	E2	F2	G2	A1	B1	E1	F1	G1
0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1
1	1	0	1	1	1	1	0	1	1	1	1	0	1	1	1
2	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0
3	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0
4	1	0	1	0	0	1	0	1	0	0	1	0	1	0	0
5	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0
6	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0
7	0	0	1	1	1	0	0	1	1	1	0	0	1	1	1
8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
9	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0

А.4. БИС имеет в своём составе резисторы с номиналом 10 - 40кОм, обеспечивающие подключение к источнику питания выводов БИС, соединяемых с разрядами индикатора.

А.5. При наличии на входах БИС числа $N \leq 195$ на выходе OUT1 формируется высокий логический уровень, на выходе OUT1B - низкий логический уровень. При наличии на входах БИС числа $N \geq 197$ на выходе OUT1 формируется низкий логический уровень, на выходе OUT1B - высокий логический уровень. Причём, при уменьшении числа N от значения 197 до 195 переключение выходных уровней производится при значении 195, а при увеличении числа N от значения 195 до 197 - при значении 197. Состояние выходов OUT1 и OUT1B не зависит от состояния входа E.

А.6. При наличии на входах БИС числа $N \leq 239$ или $N \geq 291$ на выходе OUT2 формируется высокий логический уровень, на выходе OUT2B - низкий логический уровень. При наличии на входах БИС числа $241 \leq N \leq 289$ на выходе OUT2 формируется низкий логический уровень, на выходе OUT2B - высокий логический уровень. Причём, при уменьшении числа N от значения 291 до 289 переключение

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.050 Д

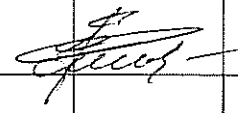
Лист

12

выходных уровней производится при значении 289, а при увеличении числа N от значения 289 до 291 - при значении 291. При уменьшении числа N от значения 241 до 239 переключение выходных уровней производится при значении 239, а при увеличении числа N от значения 239 до 241 - при значении 241. Состояние выходов OUT2 и OUT2B зависит от состояния входа E: при низком уровне сигнала E независимо от значения входного числа на обоих выходах формируется высокий логический уровень.

Инв. № подлин	Подпись и дата		Взаим. инв. №	Инв. № дубл.	Подпись и дата
Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.050 Д

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	14	ГАВЛ.431260.050	-		21.02.13

Изм. № подлинн	Подпись и дата	Взам. инв. №	Иniv. № дубл.	Подпись и дата