

УТВЕРЖДЕН
ГАВЛ.431260.142 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
Н5503ХМ2-142 АЕЯР.431260.165 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.165 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР**

1. ОБЩИЕ СВЕДЕНИЯ

- 1.1 Регистрационный номер карты заказа 142.
- 1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации:
Микросхема H5503XM2-142 АЕЯР.431260.165 ТУ
- 1.3 Обозначение схемы электрической структурной ГАВЛ.431260.142 Э1
- 1.4 Обозначение магнитного носителя с результатами проектирования (МНРП)ГАВЛ.431260.142 МД:
 Контрольные суммы обязательных файлов на МНРП:
 а) STR-файл Структурное описание проекта БИС 44663
 б) SOU-файл Описание топологии переменного слоя 44661
 в) TES-файл Описание тестовой последовательности 64402
- 1.5 В настоящем экземпляре карты заказа в таблице 2 тесты с 66 по 13981 элементарную проверку включительно не распечатаны. Полное описание тестовой последовательности представлено в TES -файле на МНРП.
- 1.6 Корпус H14.42-1в

Перв. примен.

Справка №

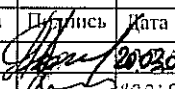
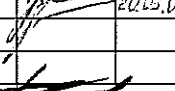
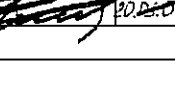

Подпись и дата

Изм. № дубл.

Взаим. изм. №

Подпись и дата

Изм. № подлин.

Изм	Лист	№ документа	Подпись	Дата
Разработал		Денисов		2023.01
Проверил		Коняхин		2023.01
Н.контроль		Сидорина		
Утвердил		Емельянов		2023.01

ГАВЛ.431260.142 Д

Микросхема интегральная
H5503XM2-142
Карта заказа

Литера	Лист	Листов
	2	17

2. ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1. Наименование микросхемы.

Интерфейсная микросхема.

2.2. Функциональное назначение микросхемы.

Микросхема обеспечивает приём сигналов последовательной четырёхпроводной шины в 8-разрядные данные и соответственно их выдачу, приём данных для организации экоконтроля и формирование выходных команд

2.3. Структурная схема приведена в Приложении А. Техническое описание структурной схемы, режимов и временных диаграмм работы микросхемы представлены в Приложении А к настоящей карте заказа.

Структурные характеристики микросхемы:

Количество безусловных входов	13
Количество двунаправленных выводов	14
Количество безусловных выходов	13
Количество стандартных элементов (СЭ)	679
Количество трассируемых связей	696
Суммарное количество соединяемых выводов СЭ	1974
Процент использования матричного поля кристалла, %	76

2.4. Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.165 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1. Общее количество задействованных выводов микросхемы – 40.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

В графе "нагрузка" символы "R" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общего, питающего и незадействованных выводов:

номер общего вывода	21
номер питающего вывода	42
номера незадействованных выводов	нет

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ГАВЛ.431260.142 Д

Лист
3

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1.	CLK	10			Тактовый сигнал 1 МГц последовательного протокола
2.	DI	10			Входные данные последовательного протокола
3.	DIA	10			Режим передачи адрес/данные
4.	DO		L	U	Выходные данные последовательного протокола
5.	SIN	10			Переключение источника данных
6.	CC	10			Счётный вход
7.	OUT0		HL		0 разряд регистра выходных команд
8.	OUT1		HL		1 разряд регистра выходных команд
9.	OUT2		HL		2 разряд регистра выходных команд
10.	OUT3		HL		3 разряд регистра выходных команд
11.	OUT4		HL		4 разряд регистра выходных команд
12.	OUT5		HL		5 разряд регистра выходных команд
13.	OUT6		HL		6 разряд регистра выходных команд
14.	OUT7		HL		7 разряд регистра выходных команд
15.	START		HL		Запуск АЦП
16.	OUT6OS		L	U	6 разряд шины регистра выходных команд с открытым стоком
17.	IA0	10			Вход компаратора 0
18.	IA1	10			Вход компаратора 1
19.	IA2	10			Вход компаратора 2
20.	IA3	10			Вход компаратора 3
21.	GND				Общий
22.	UPOR	10			Порог компараторов
23.	IA4	10			Вход компаратора 4
24.	IA5	10			Вход компаратора 5
25.	IA6	10			Вход компаратора 6
26.	IA7	10			Вход компаратора 7
27.	CLRΝ	10			Вход сброса
28.	AD0	10			0 разряд адреса БИС
29.	AD1	10			1 разряд адреса БИС

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ГАВЛ.431260.142 Д

Лист

4

Формат А4

Продолжение таблицы 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
30.	AD2	10			2 разряд адреса БИС
31.	AD3	10			3 разряд адреса БИС
32.	AD4	10			4 разряд адреса БИС
33.	AD5	10			5 разряд адреса БИС
34.	AD6	10			6 разряд адреса БИС
35.	INVIA	10			Вход управления инверсией входной шины
36.	INVOUT	10			Вход управления инверсией выходной шины
37.	AVR	10	L		Одновибратор аварийного сброса
38.	CLKOUT		HL		Выход тактового сигнала 1 МГц
39.	CLRNOUТ		HL		Выход сброса
40.	WROUT		HL		Выход сигнала записи
41.	INVIA7	10			Вход управления инверсией 7-го разряда входной шины
42.	VCC				Питание

Инд. № подлин	Подпись и дата	Взаим. инв. №	Инд. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.142 Д	Лист
						5

2.5. Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в Таблице 2, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1. ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2. ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3. Общий порядок выполнения одной элементарной проверки.

- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

					ГАВЛ.431260.142 Д	Лист
Изм	Лист	№ документа	Подпись	Дата		6

2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

- "0" - вход, низкий уровень напряжения;
- "1" - вход, высокий уровень напряжения;
- "-" - вход, импульсное напряжение типа ("111__111");
- "+" - вход, импульсное напряжение типа ("__111__");
- "X" - выход, непроверяемый;
- "L" - выход, низкий уровень напряжения;
- "H" - выход, высокий уровень напряжения;
- "Z" - выход, непроверяемое высокоимпедансное состояние;
- "R" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет нагрузочного резистора.

2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

- минимальный период "ЭП", с..... 10E-6
- задержка для проверки выходов..... 90%.

2.5.6. Количество "ЭП" в тестовой последовательности 14060.

Инв. № подлин	Подпись и дата
Взаим. инв. №	Инв. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.142 Д	Лист
						7

Таблица 2

Номера элемен- тарных прове- рок	Условные обозначения и состояния выводов микросхемы
	CDDDS000000000S0IIIIIUIIIICAAAAAAAIACCWI LIIOICUUUUUUUUUTUAAAAPAAAALDDDDDDDDNNVLLRN K A N TTTTTTTTAT012304567R0123456VVRKROV 01234567R6 R N IO ONUI TO AU UOTA S T TU 7

- 0> 0H1H00LLLLLLLLLLR11110111101010101000LLL0;
- 1> 1H1H00LLLLLLLLLLR11110111101010101000HLL0;
- 3> 0H1H00LLLLLLLLLLR11110111101010101000LLL0;
- 4> 0H1H00LLLLLLLLLLR111101111101010101000LHLO;
- 5> 1H1H00LLLLLLLLLLR111101111101010101000HHLO;
- 7> 0H1H00LLLLLLLLLLR111101111101010101000LHLO;
- 9> 1H1H00LLLLLLLLLLR111101111101010101000HHLO;
- 10> 1H1H01LLLLLLLLLLR111101111101010101000HHLO;
- 11> 0H1H01LLLLLLLLLLR111101111101010101000LHLO;
- 13> 1H1H01LLLLLLLLLLR111101111101010101000HHLO;
- 15> 0H1H01LLLLLLLLLLR111101111101010101000LHLO;
- 17> 1H1H01LLLLLLLLLLR111101111101010101000HHLO;
- 19> 0H1H01LLLLLLLLLLR111101111101010101000LHLO;
- 20> 0H1H00LLLLLLLLLLR111101111101010101000LHLO;
- 21> 101H00LLLLLLLLLLR111101111101010101000HHLO;
- 23> 001H00LLLLLLLLLLR111101111101010101000LHLO;
- 25> 111H00LLLLLLLLLLR111101111101010101000HHLO;
- 27> 011H00LLLLLLLLLLR111101111101010101000LHLO;
- 29> 101H00LLLLLLLLLLR111101111101010101000HHLO;
- 30> 101H01LLLLLLLLLLR111101111101010101000HHLO;
- 31> 001H01LLLLLLLLLLR111101111101010101000LHLO;
- 33> 111H01LLLLLLLLLLR111101111101010101000HHLO;
- 35> 011H01LLLLLLLLLLR111101111101010101000LHLO;
- 37> 101H01LLLLLLLLLLR111101111101010101000HHLO;
- 39> 001H01LLLLLLLLLLR111101111101010101000LHLO;
- 40> 001H00LLLLLLLLLLR111101111101010101000LHLO;
- 41> 111H00LLLLLLLLLLR111101111101010101000HHLO;
- 43> 011H00LLLLLLLLLLR111101111101010101000LHLO;
- 45> 101H00LLLLLLLLLLR111101111101010101000HHLO;
- 47> 001H00LLLLLLLLLLR111101111101010101000LHLO;
- 49> 111H00LLLLLLLLLLR111101111101010101000HHLO;
- 50> 111H01LLLLLLLLLLR111101111101010101000HHLO;
- 51> 011H01LLLLLLLLLLR111101111101010101000LHLO;
- 53> 100H01LLLLLLLLLLR111101111101010101000HHLO;
- 55> 000H01LLLLLLLLLLR111101111101010101000LHLO;
- 57> 1H0H01LLLLLLLLLLR111101111101010101000HHLO;
- 59> 0H0L01LLLLLLLLLLR111101111101010101000LHLO;
- 60> 0H0L00LLLLLLLLLLR111101111101010101000LHLO;
- 61> 1H0L00LLLLLLLLLLR111101111101010101000HHLO;
- 63> 0H0L00LLLLLLLLLLR111101111101010101000LHLO;
- 65> 1H0L00LLLLLLLLLLR111101111101010101000HHLO;

Инва. № подлин	Подпись и дата
Взаим. инв. №	Инва. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.142 Д	Лист
						8

Продолжение таблицы 2

Номера элемен- тарных прове- рок	Условные обозначения и состояния выводов микросхемы			
	CDDDS000000000S0IIIIIUIIIICAAAAAAATIIACCWI			
	LIIOICUUUUUUUUUTUAAAAPAAAALDDDDDDNNVLLRN			
	K A N TTTTTTTTAT012304567R0123456VVRKROV 01234567R6 R N IO ONUI TO AU UOTA S T TU 7			

13982> 111H01LLLLLLLLLR11110111101111111000HLL0;
 14001> 1H0H00LLLLLLLLLR11110111101111111000HLL0;
 14002> 1H0H01LLLLLLLLLR11110111101111111000HLL0;
 14003> 0H0H01LLLLLLLLLR11110111101111111000LLL0;
 14005> 1H0H01LLLLLLLLLR11110111101111111000HLL0;
 14007> 0H0H01LLLLLLLLLR11110111101111111000LLL0;
 14009> 1H0H01LLLLLLLLLR11110111101111111000HLL0;
 14011> 0H0H01LLLLLLLLLR11110111101111111000LLL0;
 14012> 0H0H00LLLLLLLLLR11110111101111111000LLL0;
 14013> 1H0H00LLLLLLLLLR11110111101111111000HLL0;
 14015> 0H0H00LLLLLLLLLR11110111101111111000LLL0;
 14017> 1H0H00LLLLLLLLLR11110111101111111000HLL0;
 14019> 0H0H00LLLLLLLLLR11110111101111111000LLL0;
 14021> 1H1H00LLLLLLLLLR11110111101111111000HLL0;
 14022> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14023> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14025> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14027> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14029> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14031> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14032> 0H1H00LLLLLLLLLR11110111101111111000LLL0;
 14033> 1H1H00LLLLLLLLLR11110111101111111000HLL0;
 14035> 0H1H00LLLLLLLLLR11110111101111111000LLL0;
 14037> 1H1H00LLLLLLLLLR11110111101111111000HLL0;
 14039> 0H1H00LLLLLLLLLR11110111101111111000LLL0;
 14041> 1H1H00LLLLLLLLLR11110111101111111000HLL0;
 14042> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14043> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14045> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14047> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14049> 1H1H01LLLLLLLLLR11110111101111111000HLL0;
 14051> 0H1H01LLLLLLLLLR11110111101111111000LLL0;
 14052> 0H1H10LLLLLLLLLR11110111111111111000LHL0;
 14053> 1H1H10LLLLLLLLLR11110111111111111000HHL0;
 14055> 0H1H10LLLLLLLLLR11110111111111111000LHL0;
 14057> 1H1H10LLLLLLLLLR11110111111111111000HHL0;
 14059> 0H1H10LLLLLLLLLR11110111111111111000LHL0;

Инд. № подлин	Подпись и дата	Взаим. инв. №	Инд. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.142 Д	Лист
						9

3 ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1 Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2 Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в Таблице норм ГАВЛ.431260.017 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1 Функциональный контроль выполнять в соответствии с Таблицей 2.

3.2.1.1. При функциональном контроле на выводах 1, 2, 3, 6, являющихся входами ТТЛ – уровня, задавать сигнал низкого уровня 300мВ, сигнал высокого уровня 3500мВ.

3.2.1.2. Для проведения функционального контроля при напряжении 4,5В:

–при превышении значения прямых сигналов компараторов на 50мВ над инверсными сигналами компараторов устанавливать уровень прямого сигнала на выводах 17-20,23-26 в диапазоне 500-1000 мВ, уровень инверсных сигналов компараторов на выводе 22 в диапазоне 960-1500мВ;

–при превышении значения инверсных сигналов компараторов на 50 мВ над прямыми сигналами компараторов устанавливать уровень прямого сигнала на выводе 22 в диапазоне 500-1000 мВ, уровень инверсных сигналов компараторов на выводах 17-20,23-26 в диапазоне 960-1500 мВ;

3.2.1.3. Для проведения функционального контроля при напряжении 5,5В:

–при превышении значения прямых сигналов компараторов на 50 мВ над инверсными сигналами компараторов устанавливать уровень прямого сигнала на выводах 17-20,23-26 в диапазоне 1000-1500 мВ, уровень инверсных сигналов компараторов на выводе 22 в диапазоне 1460 – 2000 мВ;

–при превышении значения инверсных сигналов компараторов на 50 мВ над прямыми сигналами компараторов устанавливать уровень прямого сигнала на выводе 22 в диапазоне 1000-1500 мВ, уровень инверсных сигналов компараторов на выводах 17-20,23-26 в диапазоне 1460-2000 мВ.

3.2.1.4. При функциональном контроле для вывода 37, являющегося вход-выходом со слабым выходным транзистором, установить низкий уровень компарирования 2000мВ.

3.2.2 Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.2.1. При измерении выходного напряжения низкого и высокого уровня на 17 – 20, 23 – 26 выводы микросхемы установить сигнал низкого уровня 960 мВ, сигнал высокого уровня 1500 мВ.

3.2.2.2. При измерении выходного напряжения низкого и высокого уровня на 22 выводе микросхемы устанавливать сигнал низкого уровня 500 мВ, сигнал высокого уровня 1000 мВ.

3.2.2.3. Измерение выходного напряжения низкого уровня на выводах 4, 16, не имеющих верхних диодов защиты, проводить после 5004 элементарной проверки.

3.2.3 Ток потребления (I_{CC}) измерять после "ЭП" 14059.

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата
	Подпись и дата		Инв. № дубл.	Подпись и дата
Изм	Лист	№ документа	Подпись	Дата
ГАВЛ.431260.142 Д				Лист 10

3.2.4 Измерение токов утечки I_{LIL} и I_{LIH} по входам выполнять на любой элементарной проверке.

3.2.4.1. Измерение тока доопределения I_R по входам 28-34, имеющим внутренние резисторы доопределения до высокого уровня, выполнять на любой элементарной проверке при нормальных условиях в диапазоне 125...60 мкА, соответствующем номиналу резистора 44 - 92 кОм и в диапазоне 200...38 мкА, соответствующем номиналу резистора 27,5 – 144 кОм при крайних значениях температур.

3.2.5 Измерение выходных токов (I_{OZL} , I_{OZH}) на выводах, которые находятся в состоянии "ВЫКЛЮЧЕНО" при напряжениях низкого и высокого уровня выполнять на 14059 элементарной проверке в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.6 Временные параметры сигналов на выходах микросхемы не измерять.

3.3. Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротермотренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4 До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5. В соответствии с РД 110755-90 допускается проведение ускоренных испытаний на безотказность и долговечность.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

					ГАВЛ.431260.142 Д	Лист
Изм	Лист	№ документа	Подпись	Дата		11

4. ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует полноту технического описания структурной схемы, режимов и временных диаграмм работы микросхемы, представленных в приложении к настоящей карте заказа.

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата
Изм	Лист	№ документа	Подпись	Дата
ГАВЛ.431260.142 Д				Лист 12

Приложение А (обязательное)

А.1. Назначение и состав микросхемы

А.1.1. Микросхема обеспечивает приём сигналов последовательной четырёхпроводной шины в 8-разрядные данные и соответственно их выдачу, приём данных для организации эхоконтроля и формирование выходных команд.

А.1.2. Наименование и обозначение выводов приведено в таблице 1 карты заказа.

А.1.3. Структурная схема микросхемы представлена на рис. А.1.

А.2. Состав микросхемы

А.2.1. В состав микросхемы входят следующие составные части:

- интерфейсный блок;
- 8-разрядный регистр выходных команд;
- блок компараторов;
- мультиплексор;
- одновибратор аварийного сброса;
- блок запуска АЦП;
- 8-ми разрядный счётчик импульсов.

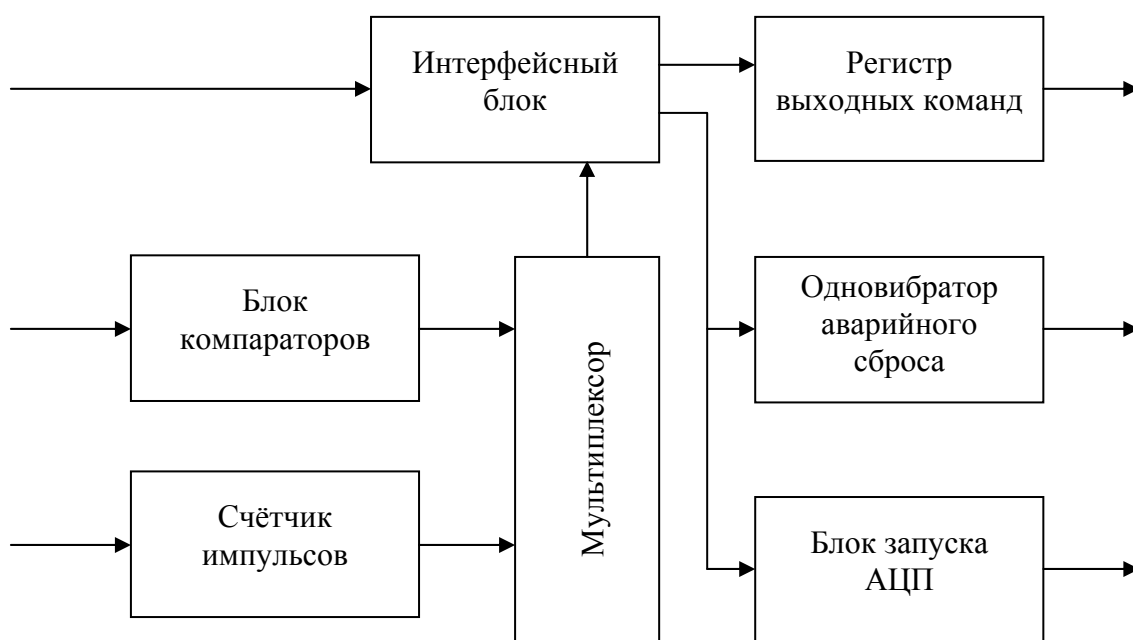


Рис. А.1. Структурная схема

Изм	Лист	№ документа	Подпись	Дата		Лист
					ГАВЛ.431260.142 Д	13
Инва. № подлин	Подпись и дата	Взаим. инв. №	Инва. № дубл.	Подпись и дата		

А.3. Описание работы микросхемы

А.3.1. Интерфейсный блок обеспечивает приём сигналов последовательной четырёхпроводной шины в 8-разрядные данные и соответственно их выдачу. По входам этой шины микросхема содержит диодные защитные цепи и триггеры Шмидта. Описание протокола обмена последовательной четырёхпроводной шины приведено в пункте А.4.

А.3.2. Микросхема содержит 8 входов читаемых данных для организации эхоконтроля. На этих входах реализованы аналоговые компараторы с задаваемым внешним выводом порога сравнения в пределах 0 ... 3,5В. Точность компарирования составляет не менее 0,1В. Диапазон входного сигнала 0 ... 5В.

А.3.3. Микросхема содержит 7 входов собственного адреса устройства.

А.3.4. Микросхема имеет вход с триггером Шмидта для формирования сброса по включению питания с активным низким уровнем.

А.3.5. Микросхема содержит выход сигнала сброса с активным низким уровнем.

А.3.6. Микросхема обеспечивает запись байта данных (выходных разовых команд) по одному адресу и считывание другого байта по тому же самому адресу.

А.3.7. Микросхема содержит одновибратор на 50 ... 250 мс с внешней RC-цепью для ограничения длительности выходных импульсных команд (одновибратор аварийного сброса). Конденсатор времязадающей цепи заряжается открытым N-транзистором, а разряжается к верхнему потенциалу. Данная функция является отключаемой соединением вывода одновибратора с общим проводом.

А.3.8. Микросхема обеспечивает формирование импульса запуска АЦП длительностью не менее 2,5 мкс через 3-4 мкс после импульса записи при условии высокого уровня на 7 разряде регистра выходных команд.

А.3.9. Микросхема содержит 8-разрядный счётчик импульсов с частотой следования в диапазоне 100 – 10000Гц, поступивших на вход с момента последней записи. Счетчик имеет буферный регистр, который переписывает в себя значение счетчика по заднему фронту счётного импульса. Регистр является читаемым по тому же адресу вместо данных. Сброс счётчика осуществляется по записи. Микросхема содержит два входа: счётный вход и вход переключения источника данных, низкий уровень сигнала на котором означает чтение с компараторов, а высокий уровень — чтение регистра. Сигнал записи помимо сброса счётчика осуществляется запись в регистр команд.

А.3.10. Микросхема содержит диодные защитные цепи на внешних выводах. Выводы DI, CLK, DIA, DO, входы компараторов и вход порога компараторов содержат диодные защитные цепи без верхнего диода. Выход DO при этом принимает значения низкого уровня или высокоимпедансного состояния.

Изм	Лист	№ документа	Подпись	Дата

Изм. № дубл.

Взаим. инв. №

Подпись и дата

Подпись и дата

Изм. № подлин

ГАВЛ.431260.142 Д					Лист
					14

А.3.11. Микросхема обеспечивает возможность инверсии входов и выходов с помощью двух входов разрешения инверсии входной и выходной шин. Высокий уровень на этих входах обеспечивает инверсию данных.

А.3.12. Микросхема содержит выход с открытым стоком, повторяющий выход шестого разряда регистра выходных команд.

А.3.13. Микросхема содержит выход, соответствующий инверсному значению 3 разряда регистра выходных команд при условии высокого уровня на 7 разряде регистра выходных команд. В остальных случаях на этом выходе формируется низкий логический уровень.

А.3.14. Микросхема содержит выход сигнала записи в регистр выходных команд с высоким активным уровнем.

А.4. Описание протокола обмена последовательного канала

А.4.1. Канал использует 4 линии:

- CLK - тактовый сигнал (вход, 1 МГц),
- DO - выходные данные (инвертированы)
- DI - входные данные (инвертированы)
- DIA - данные/адрес (вход).

А.4.2. Тактовая частота на линии CLK присутствует постоянно, за исключением передачи управления шиной от одного вычислителя к другому (до 25 мс).

А.4.3. Входные сигналы изменяются одновременно с нарастающим фронтом на линии CLK, а фиксироваться в принимающем устройстве должны по спадающему фронту. Ответные данные должны изменяться по спадающему фронту на линии CLK, а фиксируются в вычислителе по нарастающему фронту.

А.4.4. Адрес и данные передаются, начиная с младшего разряда. Общая длина кадра обмена — 18 разрядов.

Первые 9 разрядов передаваемой информации имеют следующее значение:

- разряды 0..6 (A0..A6) — 7-разрядный адрес ячейки, к которой происходит обращение;
- разряд 8 (R/-W) — тип операции: запись при R/-W=0 или чтение при R/-W=1;
- разряд 9 (P1) — дополнение до чётности разрядов A6-A0 и R/-W.

А.4.5. При записи (R/-W=0) следующие 8 разрядов (D0..D7) — это данные для записи, и последний разряд (P2) — дополнение до нечётности 8 разрядов данных (данные инвертированы и «дополнение до нечётности» означает, что до инверсии общее число единиц должно быть нечётным, а после инверсии — общее число нулей). Данные записываются в ячейку назначения, если совпал адрес, R/-W=0 и условия чётности полей адреса и данных выполнены.

Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата

Подпись и дата

Интв. № дубл.

Взаим. интв. №

Подпись и дата

Интв. № подлин

А.4.6. Сигнал записи в ячейку отдаётся вычислителю в качестве квитанции по линии. Квитанция сдвигается так, чтобы её фронты соответствовали п. А.4.3.

А.4.7. При чтении (R/-W=1) после распознавания адреса, приёма бита R/-W и проверки чётности на выход выставляется младший бит читаемых данных. Затем передаются 8 разрядов данных (D0..D7) и бит дополнения их до нечётности (P2) («нечётность» — аналогично п. А.4.6).

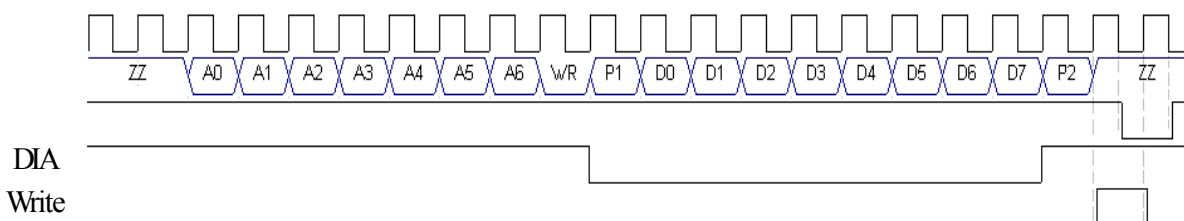
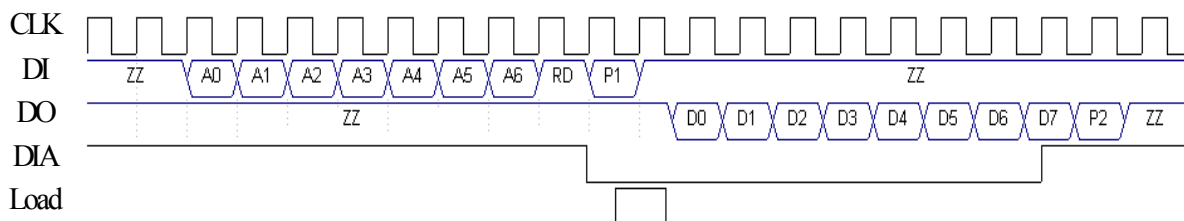
А.4.8. Сигнал "Адрес/данные" имеет высокий уровень при передаче адреса и низкий уровень при передаче данных. Изменение уровня сигнала DIA происходит перед битами чётности P1 и P2.

А.4.9. Диаграммы чтения и записи данных последовательного канала приведены на рисунках А.2 и А.3.

На приведённых ниже рисунках

Load — внутренний сигнал чтения данных,

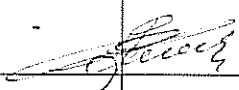
Write — внутренний сигнал записи.



Инв. № подлин	Подпись и дата
Взаим. инв. №	Инв. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	17	ГАВЛ.431260.142	-		21.02.13

Изм. № подлинн	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	Лист
					17

ГАВЛ.431260.142 Д