

УТВЕРЖДЕН
ГАВЛ.431260.338 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
5503БЦ7У-338 АЕЯР.431260.272 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.338 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР**

Перв. примен.

Справка №

1. ОБЩИЕ СВЕДЕНИЯ

- 1.1 Регистрационный номер карты заказа 338.
- 1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации:
 Микросхема 5503БЦ7У-338 АЕЯР.431260.272 ТУ
 Карта заказа ГАВЛ.431260.338 Д
- 1.3 Обозначение схемы электрической структурной ГАВЛ.431260.338 Э1
- 1.4 Обозначение магнитного носителя с результатами проектирования (МНРП) ГАВЛ.431260.338 МД:
 Контрольные суммы обязательных файлов на МНРП:
 а) STR-файл Структурное описание проекта БИС 32631
 б) SOU-файл Описание топологии переменного слоя 50465
 в) 000-файл Описание тестовой последовательности 1..... 3725
 г) 001-файл Описание тестовой последовательности 2..... 23400
 д) 002-файл Описание тестовой последовательности 3..... 26442
 е) PIN-файл Описание внешних выводов..... 52586
 ж) TSR-файл Описание входных воздействий и реакций..... 42826
 з) KNT-файл Описание параметров контактов..... 62563
- 1.5 В настоящем экземпляре карты заказа в таблице 2 приведены тесты с 0 по 50 элементарную проверку. Полное описание тестовой последовательности представлено в 000-файле, 001-файле и на 002-файле МНРП.
- 1.6 Корпус Н18.64-1В.

Подпись и дата

Инд. № дубл.

Взаим. инв. №

Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
Разработал		Фомин	<i>Фомин</i>	10.01.08
Проверил		Проскуряков	<i>Проскуряков</i>	10.01.08
Н. контроль				
Утвердил		Денисов	<i>Денисов</i>	10.01.08

ГАВЛ.431260 338 Д

Микросхема интегральная
 5503БЦ7У-337
 АЕЯР.431260.272 ТУ
 Карта заказа

Литера	Лист	Листов
А	2	32

2. ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1. Наименование микросхемы: дешифратор ЛК (далее микросхема).

2.2. Функциональное назначение микросхемы.

Микросхема должна обеспечивать прием входных и формирование выходных сигналов заданного уровня

2.3. Структурная схема приведена в Приложении А. Техническое описание структурной схемы, режимов и временных диаграмм работы микросхемы представлены в Приложении А к настоящей карте заказа.

2.4. Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.272 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1. Общее количество задействованных выводов микросхемы – 62.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

В графе "нагрузка" символы "U", " D" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общего, питающего и незадействованных выводов:

номер общего вывода 16, 48
 номер питающего вывода 32 64
 номера незадействованных выводов..... нет

Инв. № подлин	Подпись и дата
Взаим. инв. №	Инв. № дубл.

					Г АВЛ.431260.338 Д	Лист 3
Изм	Лист	№ документа	Подпись	Дата		

2.5. Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в Таблицах 2 и 3, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1. ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2. ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3. Общий порядок выполнения одной элементарной проверки.

- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

Инв. № подлин	Подпись и дата				Лист
	Инв. № дубл.				
Инв. № инв.	Взаим. инв. №				4
	Подпись и дата				
Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.338 Д

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1	TMODE	01			Пизнак тестового режима дешифратора ЛК
2	BG1D	01			Вход «БГ 1»
3	BG128D	01			Вход «БГ 128»
4	KE		LHz		Контрольный выход KE дешифратора ЛК
5	INT0		LHz		Сигнал прерывания
6	D0	01	LH	U	Разряд 0 шины данных
7	D1	01	LH	U	Разряд 1 шины данных
8	D2	01	LH	U	Разряд 2 шины данных
9	D3	01	LH	U	Разряд 3 шины данных
10	D4	01	LH	U	Разряд 4 шины данных
11	D5	01	LH	U	Разряд 5 шины данных
12	D6	01	LH	U	Разряд 6 шины данных
13	D7	01	LH	U	Разряд 7 шины данных
14	D8	01	LH	U	Разряд 8 шины данных
15	D9	01	LH	U	Разряд 9 шины данных
16	GND				Общий
17	D10	01	LH	U	Разряд 10 шины данных
18	D11	01	LH	U	Разряд 11 шины данных
19	D12	01	LH	U	Разряд 12 шины данных
20	D13	01	LH	U	Разряд 13 шины данных
21	D14	01	LH	U	Разряд 14 шины данных
22	D15	01	L	U	Разряд 15 шины данных
23	RES	01	LHz		Инициализация процессора
24	CLK1	01			Вход частоты 1
25	CLK2	01			Вход частоты 2
26	SLKD	01			Вход дешифратора ЛК
27	SWD2		LHz		Разряд 2 шины выборки ключа
28	SWD1		LHz		Разряд 1 шины выборки ключа
29	SWD0		LHz		Разряд 0 шины выборки ключа
30	SWCE		LHz		Выборка ключа ЦАП
31	DACD0		LHz		Разряд 0 шины данных ЦАП
32	VDD				Питание
33	DACD1		LHz		Разряд 1 шины данных ЦАП
34	DACD2		LHz		Разряд 2 шины данных ЦАП
35	DACD3		LHz		Разряд 3 шины данных ЦАП
36	DACD4		LHz		Разряд 4 шины данных ЦАП

Изм	Лист	№ документа	Подпись	Дата	Изм	Лист	№ документа	Подпись	Дата	Изм	Лист	№ документа	Подпись	Дата	Изм	Лист	№ документа	Подпись	Дата	Подпись и дата
																				Изм

Продолжение таблицы 1


Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
37	DACD5		LHz		Разряд 5 шины данных ЦАП
38	DACD6		LHz		Разряд 6 шины данных ЦАП
39	DACD7		LHz		Разряд 7 шины данных ЦАП
40	DACD8		LHz		Разряд 8 шины данных ЦАП
41	DACD9		LHz		Разряд 9 шины данных ЦАП
42	GOTD		LHz		Выход «Готовность»
43	DET9	01			Вход детектора 9В
44	TYZD		LHz		Выход «УФП»
45	STRB	01			Строб адреса
46	RW	01			Чтение/запись данных
47	DS	01			Выборка данных
48	GND				Общий
49	A15	01			Разряд 15 шины адреса
50	KODLK	01			Признак кода ЛК
51	SYSTEM	01			Вход признака системы
52	TUFP		LHz		Телеметрия «УФП»
53	TBG1		LHz		Телеметрия «БГ1»
54	TBG128		LHz		Телеметрия «БГ128»
55	RESET		LHz		Общая инициализация
56	A0	01			Разряд 0 шины адреса
57	A1	01			Разряд 1 шины адреса
58	A2	01			Разряд 2 шины адреса
59	A3	01			Разряд 3 шины адреса
60	A4	01			Разряд 4 шины адреса
61	A5	01			Разряд 5 шины адреса
62	STRBILK		LHz		Контрольный выход STILK дешифратора ЛК
63	STRBLK		LHz		Контрольный выход STLK дешифратора ЛК
64	VDD				Питание

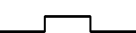
Инв. № дубл.	Подпись и дата
Взаим. инв. №	Подпись и дата
Инв. № подлин	Подпись и дата

2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

"0" - вход, низкий уровень напряжения;

"1" - вход, высокий уровень напряжения;

"-" - вход, импульсное напряжение типа ("  ");

"+" - вход, импульсное напряжение типа ("  ");

"X" - выход, непроверяемый;

"L" - выход, низкий уровень напряжения;

"H" - выход, высокий уровень напряжения;

"l" - выход, низкий уровень напряжения с низкой нагрузочной способностью;

"h" - выход, высокий уровень напряжения с низкой нагрузочной способностью;

"Z" - выход, непроверяемое высокоимпедансное состояние;

"u" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внутреннего резистора.

"d" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внутреннего резистора.

"U" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внешнего нагрузочного резистора.

"D" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внешнего нагрузочного резистора.

2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

минимальный период "ЭП", с.....1E-6

задержка для проверки выходов.....95 %

2.5.6. В тестовой последовательности 000-файл описаны ЭП с 0 по 31999.

В тестовой последовательности 001-файл ЭП" с 32000 по 63999.

В тестовой последовательности 002-файл ЭП" с 64000 по 86114.

Инь. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.338 Д

Таблица 2

Номера элементарных проверок	Условные обозначения и состояния выводов микросхемы
	<p>1111111122222222223333333334444444445555555556666</p> <p>1234567890123456789012345678901345678901234567901234567890123</p>

- 0> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX1X111000XXXX000000XX;
- 1> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX1X111000XXXX000000XX;
- 2> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX1X111000XXXX000000XX;
- 3> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX1X111000XXXX000000XX;
- 4> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX1X111000XXXX000000XX;
- 5> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX0X111000XXXX000000XX;
- 6> 000XXUUUUUUUUUUUUUUUUUX--1XXXXXXXXXXXXXXXXX0X111000XXXX000000XX;
- 7> 100zzUUUUUUUUUUUUUUUUz--1zzzzzzzzzzzzzzzz0z111000zzzz000000zz;
- 8> 100zzUUUUUUUUUUUUUUUUz--1zzzzzzzzzzzzzzzz0z111000zzzz000000zz;
- 9> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL0L111000LLLH000000HH;
- 10> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 11> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 12> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 13> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 14> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 15> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 16> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 17> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 18> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 19> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 20> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 21> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 22> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 23> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 24> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 25> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 26> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 27> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 28> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 29> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 30> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 31> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 32> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 33> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 34> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 35> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 36> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 37> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 38> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 39> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 40> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 41> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 42> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 43> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 44> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 45> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 46> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 47> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 48> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 49> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;
- 50> 000LHUUUUUUUUUUUUUUUUL--1LLLXXXXXXXXXXL1L111000LLLH000000HH;

Инд. № подлин	Подпись и дата
	Инд. № дубл.
Инд. № инв.	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ГАВЛ.431260.338 Д

3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1 Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2 Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в Таблице норм ГАВЛ.431260.016 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1 Функциональный контроль выполнять в соответствии с Таблицей 2.

3.2.1.1. Функциональный контроль в составе пластин проводить с внешними нагрузочными резисторами на выводах микросхемы с подачей сигнала низкого уровня 1500 мВ и сигнала высокого уровня 3500 мВ при напряжении питания 5,7 В и соответственно 800 мВ и 3000 мВ при напряжении питания 4,3 В.

3.2.2 Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.3 Ток потребления (I_{CC}) измерять на 7 элементарной проверке.

3.2.4 Измерение токов утечки I_{LL} и I_{LH} по выводам выполнять на любой элементарной проверке.

3.2.4.2. Измерение тока доопределения I_R по входам 46, 47, 56-61 с внутренними резисторами доопределения до высокого уровня выполнять на любой элементарной проверке при нормальных условиях в диапазоне 70...34 мкА, соответствующем номиналу резистора 78 - 161 кОм и в диапазоне 112...21 мкА, соответствующем номиналу резистора 49 - 261 кОм при крайних значениях температур.

3.2.4.3. Измерение тока доопределения I_R по входу 45, имеющему внутренний резистор доопределения до высокого уровня, выполнять на любой элементарной проверке при нормальных условиях в диапазоне 275...110 мкА, соответствующем номиналу резистора 20 - 50 кОм и в диапазоне 440...68 мкА, соответствующем номиналу резистора 12 - 80 кОм при крайних значениях температур.

3.2.4.4. Измерение тока доопределения I_R по входу 1, имеющему не отключаемый внутренний резистор доопределения до низкого уровня, выполнять на любой элементарной проверке при нормальных условиях в диапазоне 100...390 мкА и в диапазоне 63...620 мкА при крайних значениях температур.

3.2.5 Измерение токов утечки I_{OZL} и I_{OZH} в высокоимпедансном состоянии выполнять на любой элементарной проверке.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № инв.	Взаим. инв. №
	Подпись и дата

					ГАВЛ.431260.338 Д	Лист
Изм	Лист	№ документа	Подпись	Дата		9

3.2.5.1. Измерение тока доопределения I_R по вход-выходам 6-15, 17-22, имеющим внутренние резисторы доопределения до высокого уровня, выполнять на любой элементарной проверке при нормальных условиях в диапазоне 70...34 мкА, соответствующем номиналу резистора 78 - 161 кОм и в диапазоне 112...21 мкА, соответствующем номиналу резистора 49 – 261 кОм при крайних значениях температур.

3.2.6 Временные параметры сигналов на выходах микросхемы не измерять.

3.3. Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротермотренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4 До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5. В соответствии с РД 110755-90 допускается проведение ускоренных испытаний на безотказность и долговечность.

4. ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует полноту технического описания структурной схемы, режимов и временных диаграмм работы микросхемы, представленных в приложении к настоящей карте заказа.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата
	Инв. № подлин

					ГАВЛ.431260.338 Д	Лист
						10
Изм	Лист	№ документа	Подпись	Дата		

Приложение А

А.1 Назначение и состав микросхемы

А.1.1 Микросхема должна обеспечивать прием входных и формирование выходных сигналов заданного уровня.

А.1.2 Структурная схема микросхемы представлена на рис. А.1.

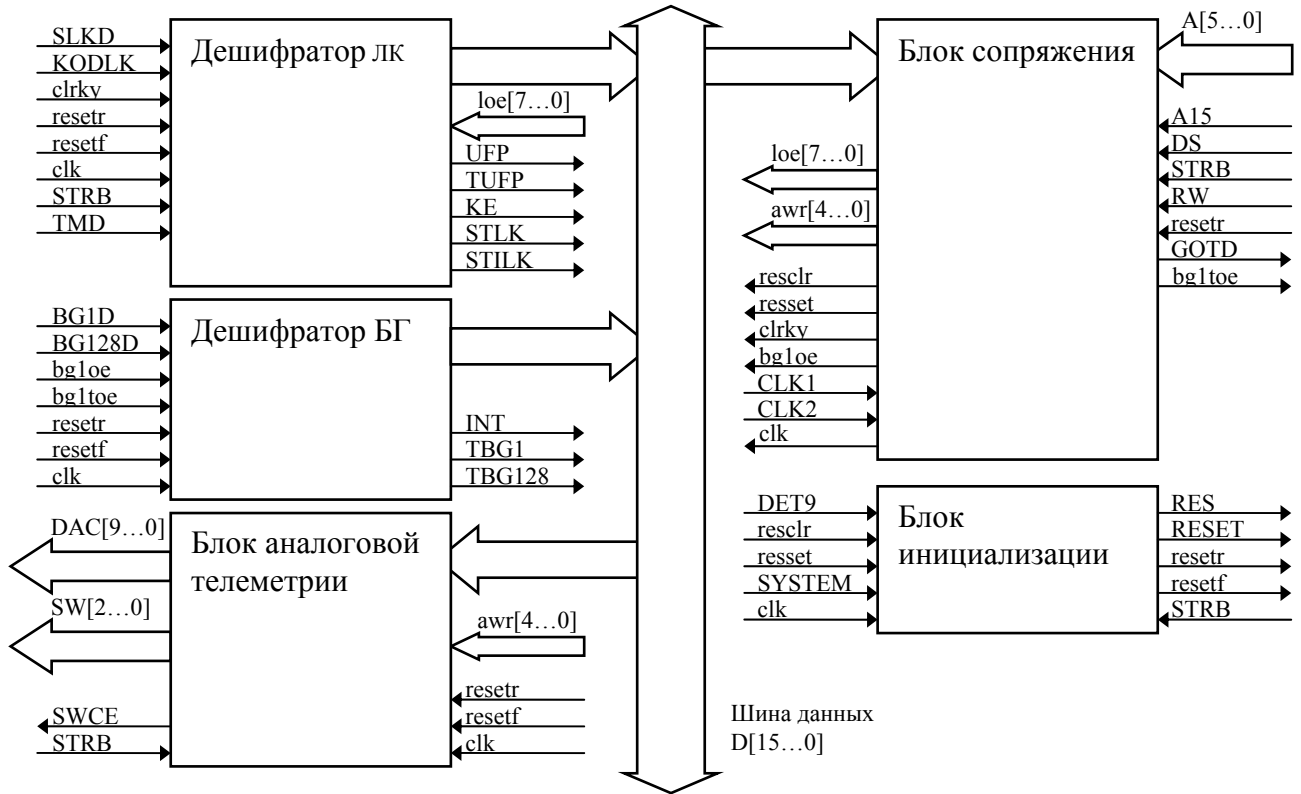


Рис. А.1 Структурная схема микросхемы

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

А.2 Описание функционирования блоков БИС.

А.2.1. Функционирование блока инициализации.

А.2.1.1. Структурная схема блока инициализации представлена на рис.А.2.

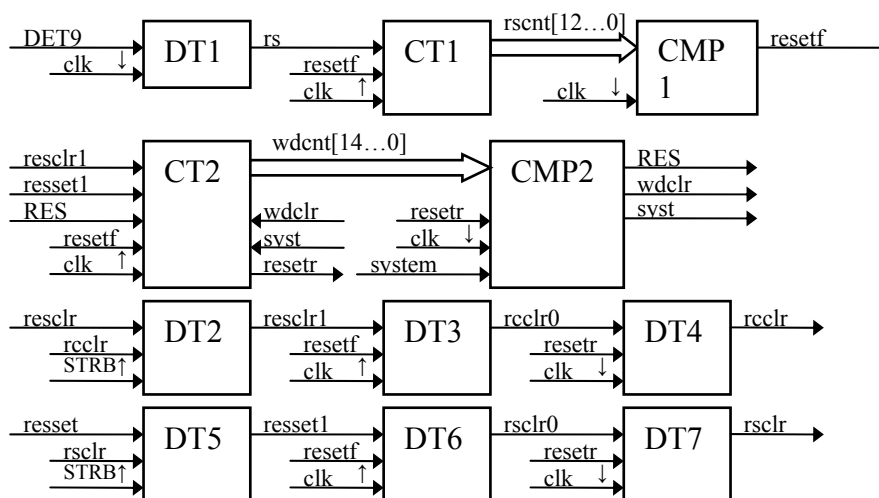


Рис.А.2 Структурная схема блока инициализации

А.2.1.2 Триггер DT1 должен формировать сигнал rs согласно таблице А.2.1.

А.2.1.3 Счетчик CT1 должен формировать выход rscnt[12...0] согласно таблице

А.2.2. На выходе счетчика должен находиться 13-ти разрядный двоичный параллельный код.

А.2.1.4 Блок сравнения CMP1 должен формировать сигнал resetf согласно таблице

А.2.3.

Таблица А.2.1.

clk	DET9	rs
↓	L	L
	H	H

Таблица А.2.2.

clk	rs	resetf	rscnt[12...0]
↑	H	X	"0d"
	L	L	$Q^0 + 1$
	H		Q^0

Таблица А.2.3.

clk	rscnt[12...0]	resetf
↓	< "4000d"	L
	≥ "4000d"	H

Примечание: 1. уровни сигнала: H – логическая "1", L – логический "0".

2. символ ↓ обозначает отрицательный фронт сигнала;

3. при комбинациях входных сигналов, не описанных в таблице, выходные сигналы должны сохранять текущее состояние.

4. символ ↑ обозначает положительный фронт сигнала;

5. символ X обозначает любое состояние входного сигнала;

6. символ Q^0 обозначает предыдущее состояние выходного сигнала;

7. символ "d" обозначает число в десятичном формате;

8. младшим разрядом числа является разряд [0].

Изм Лист № документа Подпись Дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Инва. № дубл. Подпись и дата

Инва. № дубл.	Подпись и дата
Взаим. инв. №	Подпись и дата
Инва. № подлин	Подпись и дата

А.2.1.5 Счетчик СТ2 должен формировать выход $wdcnt[14...0]$ и сигнал $resetr$ согласно таблицам А.2.4 и А.2.5. На выходе $wdcnt[14...0]$ счетчика должен находиться 15-ти разрядный двоичный параллельный код.

Таблица А.2.4.

resetf	clk	RES	resetl	resclr1	syst	wdclr	$wdcnt[14...0]$
L	X	X	X	X	X	X	"0d"
H	↑	L	X	X	X	L	$Q^0 + 1$
						H	"0d"
		H	L	L	X	L	$Q^0 + 1$
						H	"0d"
		H	X	L	X	L	"8000d"
						H	"16800d"

Таблица А.2.5.

clk	resetf	resetr
↑	L	L
	H	H

А.2.1.6. Блок сравнения CMP2 должен формировать сигналы RES, wdclr и syst согласно таблицам А.2.6 – А.2.8.

А.2.1.7. Триггер DT2 должен формировать сигнал resclr1 согласно таблице А.2.9.

Таблица А.2.6.

resetr	clk	system	$wdcnt[14...0]$	RES
L	X	X	X	L
H	↓	L	< "8000d"	H
			≥ "8000d"	L
		H	< "16800d"	H
			≥ "16800d"	L

Таблица А.2.7.

resetr	clk	system	$wdcnt[14...0]$	wdclr
L	X	X	X	L
H	↓	L	< "8040d"	L
			≥ "8040d"	H
		H	< "16840d"	L
			≥ "16840d"	H

Таблица А.2.8.

resetr	clk	system	syst
L	X	X	L
H	↓	L	L
		H	H

Таблица А.2.9.

rcclr	STRB	resclr	resclr1
H	X	X	L
L	↑	L	L
		H	H

А.2.1.8. Триггер DT3 должен формировать сигнал rcclr0 согласно таблице А.2.10.

А.2.1.9. Триггер DT4 должен формировать сигнал rcclr согласно таблице А.2.11.

А.2.1.10 Триггер DT5 должен формировать сигнал resetl согласно таблице А.2.12.

Таблица А.2.10.

resetf	clk	resclr1	rcclr0
L	X	X	H
H	↑	L	L
		H	H

Таблица А.2.11.

resetr	clk	rcclr0	rcclr
L	X	X	H
H	↓	L	L
		H	H

Таблица А.2.12.

rsclr	STRB	resetl	resetl1
H	X	X	L
L	↑	L	L
		H	H

Подпись и дата
 Инв. № дубл.
 Взаим. инв. №
 Подпись и дата
 Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.2.1.11. Триггер DT6 должен формировать сигнал rslcr0 согласно таблице А.2.13.

А.2.1.12. Триггер DT4 должен формировать сигнал rslcr согласно таблице А.2.14.

Таблица А.2.13.

resetf	clk	reset1	rslcr0
L	X	X	H
H	↑	L	L
		H	H

Таблица А.2.14.

resetr	clk	rslcr0	rslcr
L	X	X	H
H	↓	L	L
		H	H

А.3 Функционирование блока сопряжения.

А.3.1. Блок сопряжения должен формировать сигналы awr[4...0], reset, READY, loe[7...0], roe[2...0], twr[12...0], fix, bg1oe, rslcr, clrky, GOTD, bg1toe, toe, systoe, stoe, fixoe, ROMOE и ROMCE согласно таблицам А.3.1 – А.3.18 соответственно. На входе А[5...0] находится 6-ти разрядный двоичный параллельный код.

Таблица А.3.1.

DS	RW	A[5...0]	awr[4...0]
H	X	X	“0h”
L	H	X	“0h”
L	L	“15d”	“1h”
		“16d”	“2h”
		“17d”	“4h”
		“18d”	“8h”
		“19d”	“10h”
		“Xd”	“0h”

Таблица А.3.2.

A[15]	reset
H	H
L	L

Таблица А.3.3.

PS	MSC	READY
H	X	H
L	L	L
	H	H

Таблица А.3.4

DS	STRB	RW	A[5...0]	loe[7...0]
H	X	X	X	“0h”
L	H	X	X	“0h”
		L	X	“0h”
	H	“5d”	“1h”	
		“6d”	“2h”	
		“7d”	“4h”	
		“8d”	“8h”	
		“9d”	“10h”	
		“10d”	“20h”	
		“11d”	“40h”	
		“12d”	“80h”	
		“Xd”	“0h”	

Примечание:

1. обозначение “Xd” - любые значения кроме перечисленных;
2. символ “h” обозначает число в шестнадцатеричном формате

Инв. № подлин	Подпись и дата			
	Инв. № дубл.			
	Взаим. инв. №			
	Подпись и дата			
Изм	Лист	№ документа	Подпись	Дата

Таблица А.3.5.

DS	STRB	RW	A[5...0]	roe[2...0]	
H	X	X	X	“0h”	
L	H	X	X	“0h”	
		L	L	X	“0h”
			H	“2d”	“1h”
				“3d”	“2h”
				“4d”	“4h”
“Xd”	“0h”				

Таблица А.3.6.

DS	RW	A[5...0]	twr[12...0]
H	X	X	“0h”
L	H	X	“0h”
L	L	“2d”	“1h”
		“3d”	“2h”
		“4d”	“4h”
		“5d”	“8h”
		“6d”	“10h”
		“7d”	“20h”
		“8d”	“40h”
		“9d”	“80h”
		“10d”	“100h”
		“11d”	“200h”
		“12d”	“400h”
		“42d”	“800h”
		“38d”	“1000h”
“Xd”	“0h”		

Таблица А.3.7.

DS	RW	A[5...0]	fix
H	X	X	L
L	H	X	L
		“44d”	H
		“Xd”	L

Таблица А.3.8.

DS	STRB	RW	A[5...0]	bg1toe	
H	X	X	X	L	
L	H	X	X	L	
		L	X	L	
			H	“14d”	H
				“Xd”	L

Таблица А.3.9.

DS	RW	A[5...0]	resclr
H	X	X	L
L	H	X	L
		“39d”	H
		“Xd”	L

Таблица А.3.10.

DS	RW	A[5...0]	clrky
H	X	X	L
L	H	X	L
		“14d”	H
		“Xd”	L

Таблица А.3.11.

resetr	STRB	DS	RW	A[5...0]	D[0]	GOTD
L	X	X	X	X	X	L
H	↑	H	X	X	X	Q ⁰
			L	H	X	X
		L		“39d”	L	L
				H	H	
		“Xd”	X	Q ⁰		

Таблица А.3.12.

DS	STRB	RW	A[5...0]	bg1oe	
H	X	X	X	L	
L	H	X	X	L	
		L	L	X	L
			H	“13d”	H
				“Xd”	L

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.338 Д

Лист

15

Таблица А.3.13.

DS	STRB	RW	A[5...0]	toe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	“42d”	H
			“Xd”	L

Таблица А.3.14.

DS	STRB	RW	A[5...0]	systoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	“1d”	H
			“Xd”	L

Таблица А.3.15.

DS	STRB	RW	A[5...0]	stoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	“43d”	H
			“Xd”	L

Таблица А.3.16.

DS	STRB	RW	A[5...0]	fixoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	“44d”	H
			“Xd”	L

Таблица А.3.17.

resetr	PS	ROMCE
L	X	Z
H	H	H
	L	L

Таблица А.3.18.

resetr	STRB	ROMOE
L	X	Z
H	H	H
	L	L

Примечание: символ Z обозначает высокоомное («третье») состояние выхода.

А.3.2. Блок сопряжения должен формировать тактовую частоту clk согласно рисунку А.3 и таблицам А.3.19, А.3.20.

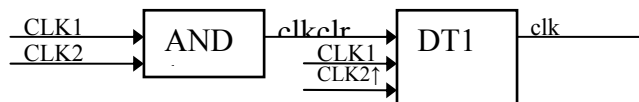


Рис.А.3

Таблица А.3.19.

CLK2	CLK1	clkclr
L	H	H
	L	L
H	X	L

Таблица А.3.20.

clkclr	CLK2	CLK1	clk
H	X	X	L
L	↑	L	H
		H	L

Подпись и дата
 Инв. № дубл.
 Взаим. инв. №
 Подпись и дата
 Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.4. Функционирование блока аналоговой телеметрии.

А.4.1 Структурная схема блока аналоговой телеметрии представлена на рис. А.4.

А.4.2. Регистры RG1-RG3 должны формировать выход $q[9...0]$ согласно таблице

А.4.1. На выходе регистров должен находиться 10-ти разрядный двоичный параллельный код.

А.4.3. Регистры RG4, RG5 должны формировать выход $q[9...0]$ согласно таблице

А.4.2. На выходе регистров должен находиться 10-ти разрядный двоичный параллельный код.

А.4.4. Регистр RG6 должен формировать выход $q[9...0]$ согласно таблице А.4.3. На выходе регистра должен находиться 10-ти разрядный двоичный параллельный код.

А.4.5. Регистр RG7 должен формировать выход $q[2...0]$ согласно таблице А.4.4. На выходе регистра должен находиться 3-х разрядный двоичный параллельный код.

А.4.6. Счетчик СТ1 должен формировать выход $acnt[6...0]$ согласно таблице А.4.5. На выходе счетчика должен находиться 7-ми разрядный двоичный параллельный код.

А.4.7. Блок сравнения CMP1 должен формировать сигнал SWCE согласно таблице

А.4.6.

Таблица А.4.1.

resetr	STRB	le	$q[9...0]$
L	X	X	"512d"
H	↑	L	Q^0
		H	$i[9...0]$

Таблица А.4.2.

resetr	STRB	le	$q[9...0]$
L	X	X	"409d"
H	↑	L	Q^0
		H	$i[9...0]$

Таблица А.4.3.

resetf	clk	le	$q[9...0]$
L	X	X	"512d"
H	↑	L	Q^0
		H	$i[9...0]$

Таблица А.4.4.

resetf	clk	le	$q[2...0]$
L	X	X	"0d"
H	↑	L	Q^0
		H	$i[2...0]$

Таблица А.4.5.

resetf	clk	dac_load	$acnt[6...0]$
L	X	X	"0d"
H	↑	L	$Q^0 + 1$
		H	"0d"

Таблица А.4.6.

resetr	clk	$acnt[6...0]$	SWCE
L	X	X	H
H	↓	< "19d"	L
		≥ "19d"	H
		< "68d"	
		≥ "68d"	L

Инь. № подлин	Подпись и дата
	Инь. № дубл.
	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.4.10.

swcnt[2...0]	din[9...0]	sin[2...0]
“1d”	u2[9...0]	“1d”
“3d”	u3[9...0]	“2d”
“5d”	u4[9...0]	“3d”
“7d”	u5[9...0]	“4d”
“Xd”	u1[9...0]	“0d”

А.5. Функционирование дешифратора БГ.

А.5.1. Структурная схема дешифратора БГ представлена на рис. А.5.

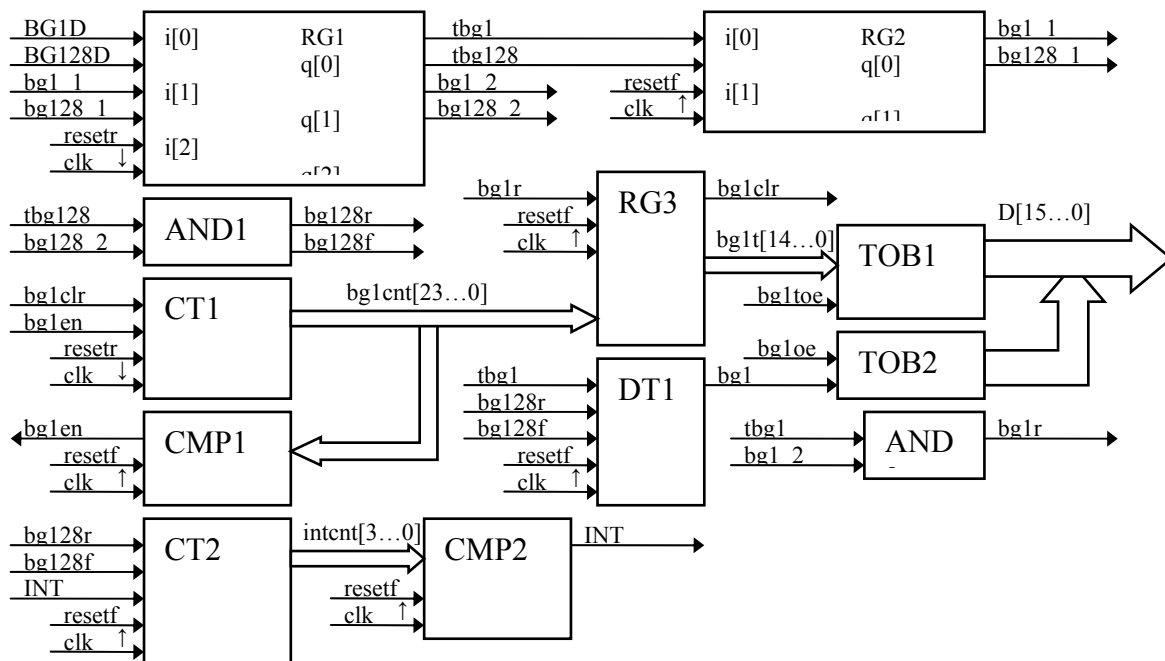


Рис. А.5

А.5.2. Регистр RG1 должен формировать выход q[3...0] согласно таблице А.5.1.

А.5.3. Регистр RG2 должен формировать выход q[1...0] согласно таблице А.5.2.

А.5.4. Блок сравнения CMP2 должен формировать сигнал INT согласно таблице А.5.4.

Таблица А.5.1.

resetr	clk	q[3...0]
L	X	“0d”
H	↓	i[3...0]

Таблица А.5.2.

resetf	clk	q[1...0]
L	X	“0d”
H	↑	i[1...0]

Таблица А.5.4.

resetr	clk	intcnt[3...0]	INT
L	X	X	H
H	↓	= “15d”	H
		≠ “15d”	L

А.5.5. Счетчик CT2 должен формировать выход intcnt[3...0] согласно таблице А.5.3. На выходе счетчика должен находиться 4-х разрядный двоичный параллельный код.

А.5.6. Блок AND1 должен формировать сигнал bg128r и сигнал bg128f согласно таблицам А.5.5 и А.5.6.

Подпись и дата	
Инв. № дубл.	
Взаим. инв. №	
Подпись и дата	
Инв. № подлин	

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.4.

resetf	clk	bg128r	bg128f	INT	intcnt[3...0]
L	X	X	X	X	“15d”
H	↑	H	X	X	“0d”
		L	H	X	“0d”
			H	H	Q ⁰
			L	H	Q ⁰ + 1

Таблица А.5.5.

tbg128	bg128_2	bg128r
L	X	L
H	L	H
	H	L

Таблица А.5.6.

tbg128	bg128_2	bg128f
L	L	L
	H	H
H	X	L

А.5.7. Блок AND2 должен формировать сигнал bg1r согласно таблице А.5.7.

А.5.8. Счетчик СТ1 должен формировать выход bg1cnt[23...0] согласно таблице А.5.8. На выходе счетчика должен находиться 24-х разрядный двоичный параллельный код.

А.5.9. Блок сравнения CMP1 должен формировать сигнал bg1en согласно таблице А.5.9

Таблица А.5.7.

tbg1	bg1_2	bg1r
L	X	L
H	L	H
	H	L

Таблица А.5.8.

resetr	clk	bg1clr	bg1en	bg1cnt[23...0]
L	X	X	X	“FFFE00h”
H	↓	H	X	“0d”
		L	L	Q ⁰
			H	Q ⁰ + 1

Таблица А.5.9.

resetf	clk	bg1cnt[23...0]	bg1en
L	X	X	L
H	↑	< “FFFE00h”	H
		≥ “FFFE00h”	L

А.5.10. Регистр RG3 должен формировать выход bg1t[14...0] согласно таблице А.5.10 и сигнал bg1clr согласно таблице А.5.11.

А.5.11. Триггер DT1 должен формировать сигнал bg1 согласно таблице А.5.12.

Таблица А.5.10.

resetf	clk	bg1r	bg1t[14...0]
L	X	X	“7FFFh”
H	↑	L	Q ⁰
		H	bg1cnt[23...9]

Таблица А.5.11.

resetf	clk	bg1r	bg1clr
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.12.

resetf	clk	bg128r	bg128f	tbg1	bg1
L	X	X	X	X	L
H	↑	H	X	L	L
				H	H
		L	H	L	L
				H	H
L	X	Q ⁰			

А.5.12. Буфер TOB1 должен выдавать на шину D[15...0] данные в течение высокого уровня сигнала “bg1toe” согласно таблице А.5.13. При низком уровне сигнала “bg1toe” логические уровни выхода буфера не должны поступать на шину D[15...0].

А.5.13. Буфер TOB2 должен выдавать на шину D[15...0] данные в течение высокого уровня сигнала “bg1oe” согласно таблице А.5.14. При низком уровне сигнала “bg1oe” логические уровни выхода буфера не должны поступать на шину D[15...0]. На выходе буфера должен находиться 16-ти разрядный двоичный параллельный код.

Таблица А.5.13.

D[15]	D[14...0]
L	bg1t[14...0]

Таблица А.5.14.

bg1	D[15...0]
L	“0000h”
H	“5555h”

А.6. Функционирование дешифратора ЛК.

А.6.1. Структурная схема дешифратора ЛК представлена на рис. А.6.

А.6.2. Блок OR1 должен формировать сигнал kylkclr согласно таблице А.6.1.

А.6.3. Буферы TOB1– TOB8 должны выдавать на шину D[15...0] данные в течение высокого уровня сигнала “oe” согласно таблице А.6.2. При низком уровне сигнала “oe” логические уровни выхода буфера не должны поступать на шину D[15...0].

А.6.4. Триггер DT1 должен формировать сигнал clsky0 согласно таблице А.6.3.

А.6.5. Триггер DT2 должен формировать сигнал skyclr0 согласно таблице А.6.4.

А.6.6. Триггер DT3 должен формировать сигнал skyclr согласно таблице А.6.5

Таблица А.6.1.

tolk	clrky0	kylkclr
L	L	L
	H	H
H	X	H

Таблица А.6.2.

D[15...12]	D[11...0]
“0d”	i[11...0]

Инь. № подлин	Подпись и дата
Взаим. инв. №	Инь. № дубл.
Подпись и дата	Подпись и дата

Таблица А.6.3.

ckyclr	STRB	clrcky	clrcky0
H	X	X	L
L	↑	L	L
		H	H

Таблица А.6.4.

resetf	clk	clrky0	ckyclr0
L	X	X	H
H	↑	L	L
		H	H

А.6.5.

restr	clk	ckyclr0	ckyclr
L	X	X	H
H	↓	L	L
		H	H

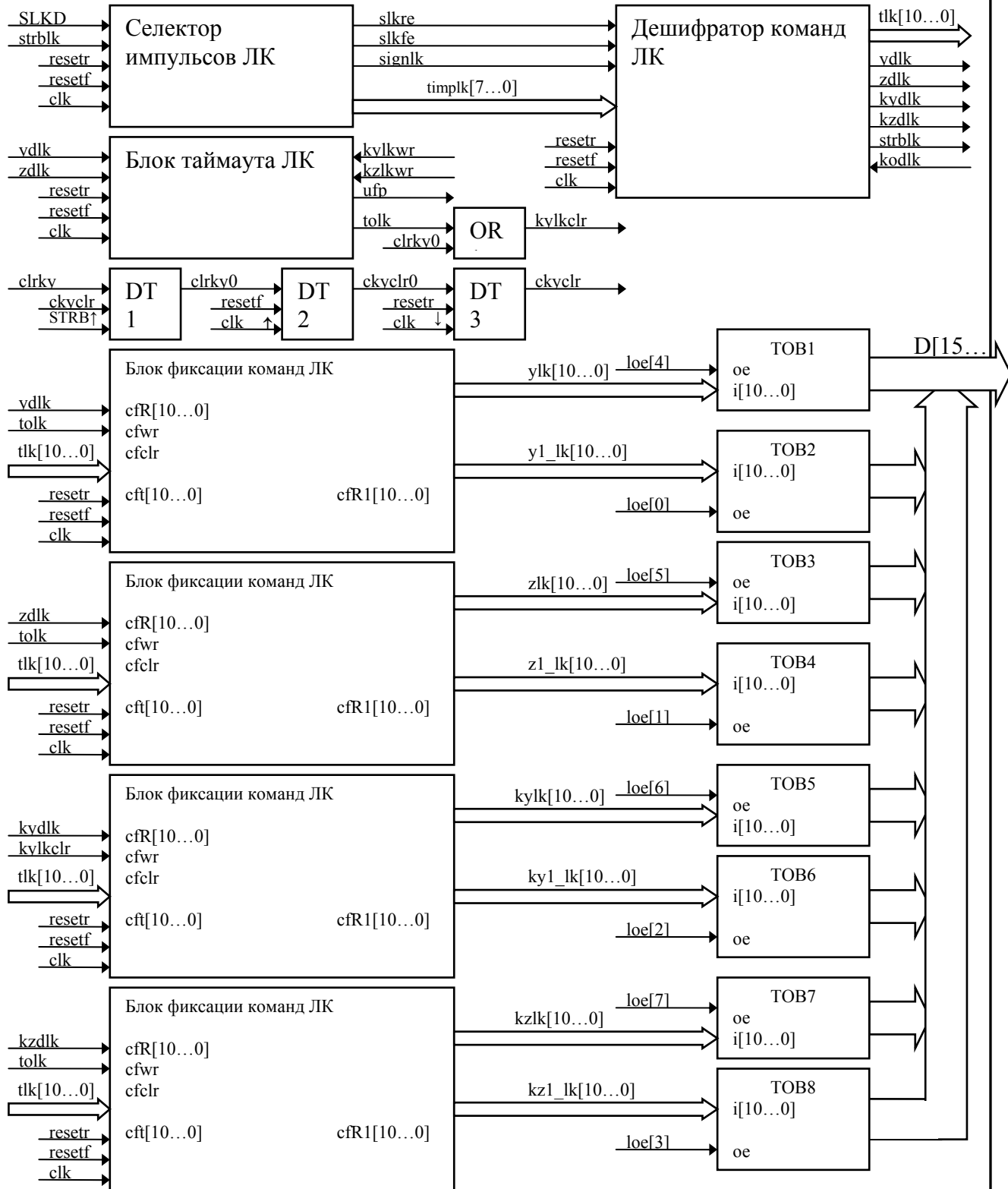


Рис. А.6

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № инв.	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.6.7. Структурная схема селектора импульсов ЛК представлена на рис. А.7.

А.6.7.1. Триггер DT1 должен формировать сигнал slks согласно таблице А.6.7.1.

А.6.7.2. Триггер DT2 должен формировать сигнал signlk согласно таблице А.6.7.2.

А.6.7.3. Триггер DT3 должен формировать сигнал slk0 согласно таблице А.6.7.3.

А.6.7.4. Триггер DT4 должен формировать сигнал slk1 согласно таблице А.6.7.4.

А.6.7.5. Триггер DT5 должен формировать сигнал slk2 согласно таблице А.6.7.5.

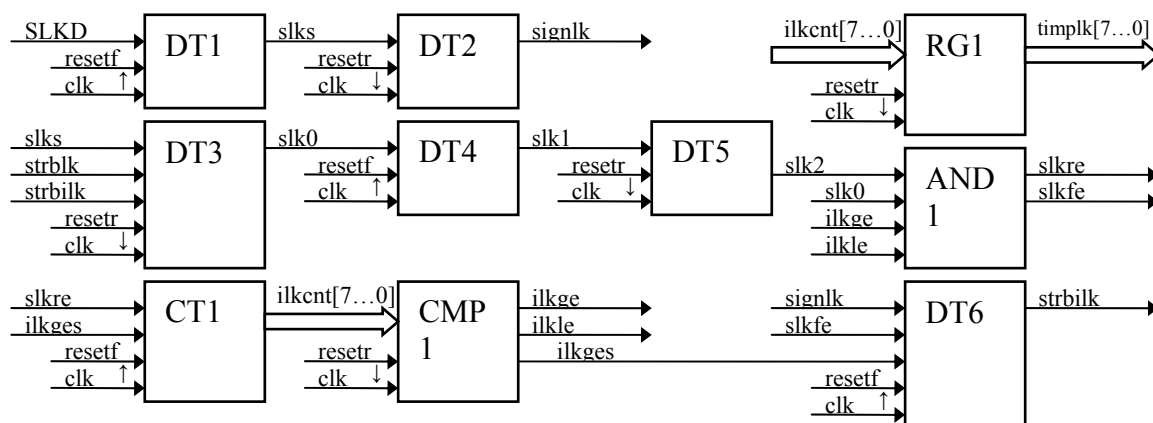


Рис. А.7

А.6.7.6. Блок AND1 должен формировать сигналы slkfe и slkre согласно таблицам А.6.7.6 и А.6.7.7.

А.6.7.7. Блок сравнения CMP1 должен формировать сигналы ilkge, ilkle и ilkges согласно таблицам А.6.7.8 – А.6.7.10.

А.6.7.8. Регистр RG1 должен формировать выход timpk[7...0] согласно таблице А.6.7.11.

А.6.7.9. Счетчик CT1 должен формировать выход ilkcnt[7...0] согласно таблице А.6.7.12. На выходе счетчика должен находиться 8-ми разрядный двоичный параллельный код.

А.6.7.10. Триггер DT6 должен формировать сигнал strbilk согласно таблице А.6.7.13.

Таблица А.6.7.1.

resetf	clk	SLKD	slks
L	X	X	L
H	↑	L	H
		H	L

Таблица А.6.7.2.

resetr	clk	slks	signlk
L	X	X	L
H	↓	L	L
		H	H

Таблица А.6.7.3.

resetr	clk	slks	strblk	strbilk	slk0
L	X	X	X	X	L
H	↓	L	X	X	L
			H	L	L
		H	L	L	L
			H	H	H

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата
---------------	----------------	---------------	--------------	----------------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.6.7.4.

resetf	clk	slk0	slk1
L	X	X	L
H	↑	L	L
		H	H

Таблица А.6.7.5.

resetr	clk	slk1	slk2
L	X	X	L
H	↓	L	L
		H	H

Таблица А.6.7.6.

slk0	slk2	ilkge	ilkle	slkfe
H	X	X	X	L
L	L	X	X	L
		H	L	L
	H	L	L	L
		H	H	H

Таблица А.6.7.7.

slk0	slk2	slkre
L	X	L
H	L	H
	H	L

Таблица А.6.7.8.

resetr	clk	ilkcnt [7...0]	ilkge
L	X	X	H
H	↓	< “2d”	L
		≥ “2d”	H

Таблица А.6.7.9.

resetr	clk	ilkcnt [7...0]	ilkle
L	X	X	L
H	↓	≤ “121d”	H
		> “121d”	L

Таблица А.6.7.10.

resetr	clk	ilkcnt [7...0]	ilkges
L	X	X	H
H	↓	< “125d”	L
		≥ “125d”	H

Таблица А.6.7.11.

resetr	clk	timplk [7...0]
L	X	“125d”
H	↓	ilkcnt[7...0]

Таблица А.6.7.12.

resetf	clk	slkre	ilkges	ilkcnt [7...0]
L	X	X	X	“125d”
H	↑	H	X	“0d”
		L	L	$Q^0 + 1$
			H	Q^0

Таблица А.6.7.13.

resetf	clk	slkfe	signlk	ilkges	strbilk
L	X	X	X	X	H
H	↑	H	X	L	L
			H	X	Q^0
		L	L	L	Q^0
			H	H	H

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.338 Д

Лист

24

А.6.8. Структурная схема дешифратора команд ЛК представлена на рис. А.8.

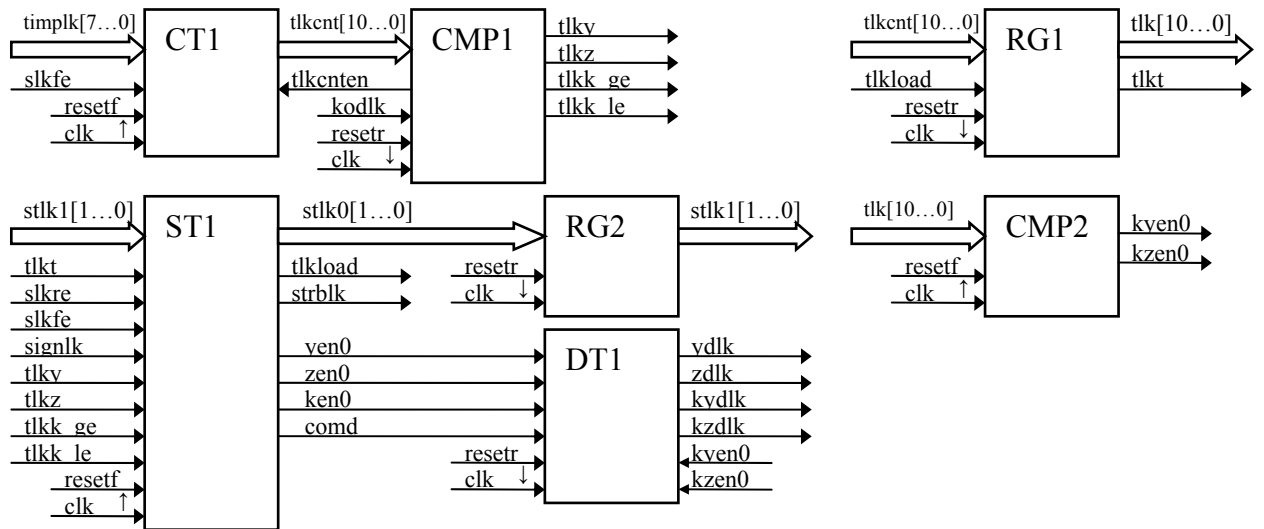


Рис. А.8

А.6.8.1. Счетчик СТ1 должен формировать выход $tlkcnt[10...0]$ согласно таблице А.6.8.1. На выходе счетчика должен находиться 11-ти разрядный двоичный параллельный код.

А.6.8.2. Блок сравнения CMP1 должен формировать сигналы $tlkcnten$, $tlky$, $tlkz$, $tlkk_ge$ и $tlkk_le$ согласно таблицам А.6.8.2 – А.6.8.6.

А.6.8.3. Регистр RG1 должен формировать выход $tlk[10...0]$ и сигнал $tlkt$ согласно таблицам А.6.8.7 и 6.3.5.9.8.

Таблица А.6.8.1.

resetf	clk	slkfe	tlkcnten	$tlkcnt[10...8]$	$tlkcnt[7...0]$
H	↑	H	X	“0d”	$timplk[7...0]$
		L	L	$tlkcnt[10...0] \leftarrow Q^0$	
			H	$tlkcnt[10...0] \leftarrow Q^0 + 1$	
L	X	X	X	$tlkcnt[10...0] \leftarrow “1154d”$	

Таблица А.6.8.2.

resetr	clk	$tlkcnt[10...0]$	tlkcnten
L	X	X	L
H	↓	< “1154d”	H
		≥ “1154d”	L

Таблица А.6.8.3.

resetr	clk	kodlk	$tlkcnt[10...0]$	tlky
L	X	X	X	L
H	↓	L	≥ “625d”	H
			≤ “654d”	L
		H	≥ “593d”	H
			≤ “622d”	L
		“Xd”	L	

Подпись и дата
 Инв. № дубл.
 Взаим. инв. №
 Подпись и дата
 Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.6.8.4.

resetr	clk	kodlk	tlkcnt[10...0]	tlkz
L	X	X	X	L
H	↓	L	≥ “561d”	H
			≤ “590d”	L
		H	≥ “529d”	H
			≤ “558d”	L
		“Xd”	L	

Таблица А.6.8.5.

resetr	clk	kodlk	tlkcnt[10...0]	tlkk_ge
L	X	X	X	H
H	↓	L	< “689d”	L
			≥ “689d”	H
		H	< “657d”	L
			≥ “657d”	H

Таблица А.6.8.6.

resetr	clk	kodlk	tlkcnt[10...0]	tlkk_le
L	X	X	X	L
H	↓	L	≤ “718d”	H
			> “718d”	L
		H	≤ “686d”	H
			> “686d”	L

Таблица А.6.8.7.

resetr	clk	tkload	tlk[10...0]
L	X	X	“0d”
H	↓	L	Q ⁰
		H	tlkcnt[10...0]

Таблица А.6.8.8.

resetr	clk	tkload	tlkcnt[10...0]	tlkt
L	X	X	X	L
H	↓	L	X	Q ⁰
			≤ “1153d”	H
		> “1153d”	L	

А.6.8.4. Блок ST1 должен формировать сигналы stlk0[1...0], tkload, yen0, strblk, zen0, ken0 и comd согласно таблицам А.6.8.9 – А.6.8.15. На выходе stlk0[1...0] должен находиться 2-х разрядный двоичный параллельный код.

А.6.8.5. Регистр RG2 должен формировать выход stlk1[1...0] согласно таблице А.6.8.16.

Таблица А.6.8.9.

resetf	clk	stlk1[1...0]	slkfe	tlkt	tlkk_le	signlk	stlk0[1...0]
L	X	X	X	X	X	X	“0d”
H	↑	“0d”	L	X	X	X	“0d”
			H	X	X	X	“1d”
		“1d”	L	X	X	X	“1d”
			H	L	X	X	“1d”
				H	X	X	“2d”
		“2d”	L	X	L	L	“0d”
						H	“2d”
						H	“2d”
H	X	X	X	“0d”			
“3d”	X	X	X	X	“0d”		

Таблица А.6.8.10.

resetf	clk	stlk1[1...0]	slkre	tlkload
L	X	X	X	L
H	↑	“0d”	X	L
		“1d”	L	L
			H	H
		“2d”	X	L
		“3d”	X	L

Таблица А.6.8.11.

resetf	clk	stlk1[1...0]	slkre	tlky	yen0
L	X	X	X	X	L
H	↑	“0d”	X	X	L
		“1d”	X	X	L
		“2d”	L	X	Q ⁰
			H	L	L
				H	H
		“3d”	X	X	L

Таблица А.6.8.12.

resetf	clk	stlk1[1...0]	slkfe	tlkt	signlk	tlky	tlkz	tlkk_ge	strblk
L	X	X	X	X	X	X	X	X	H
H	↑	“0d”	X	X	X	X	X	X	H
			“1d”	L	X	X	X	X	X
		H		L	X	X	X	X	L
				H	X	X	X	X	L
		“2d”	H	X	X	X	X	X	Q ⁰
				L	X	H	X	X	Q ⁰
			L	H	X	X	X	H	
					L	X	X	H	
		“3d”	X	X	X	X	X	X	H

Таблица А.6.8.13.

resetf	clk	stlk1[1...0]	slkre	tlkz	zen0
L	X	X	X	X	L
H	↑	“0d”	X	X	L
		“1d”	X	X	L
		“2d”	L	X	Q ⁰
			H	L	L
		H		H	H
“3d”	X	X	L		

Таблица А.6.8.14.

resetf	clk	stlk1[1...0]	slkre	tlkk_ge	ken0
L	X	X	X	X	L
H	↑	“0d”	X	X	L
		“1d”	X	X	L
		“2d”	L	X	Q ⁰
			H	L	L
				H	H
“3d”	X	X	L		

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.6.8.15.

resetf	clk	stlk1[1...0]	slkfe	comd
L	X	X	X	L
H	↑	“0d”	X	L
		“1d”	X	L
		“2d”	L	L
			H	H
“3d”	X	L		

Таблица А.6.8.16.

resetr	clk	stlk1[1...0]
L	X	“0d”
H	↓	stlk0[1...0]

А.6.8.6. Блок сравнения CMP2 должен формировать сигналы kyen0 и kzen0 согласно таблицам А.6.8.17 и А.6.8.18.

А.6.8.7. Триггер DT1 должен формировать сигналы ydlk, zdlk, kydlk, kzdlk согласно таблицам А.6.8.19 – А.6.8.22.

Таблица А.6.8.17.

resetr	clk	tlk[10...0]	kyen0
L	X	X	L
H	↓	≥ “921d”	H
		≤ “1150d”	
		“Xd”	L

Таблица А.6.8.18.

resetr	clk	tlk[10...0]	kyen0
L	X	X	L
H	↓	≥ “637d”	H
		≤ “866d”	
		“Xd”	L

Таблица А.6.8.19.

resetr	clk	yen0	comd	ydlk
L	X	X	X	L
H	↓	L	X	L
		H	L	L
			H	H

Таблица А.6.8.20.

resetr	clk	zen0	comd	zdlk
L	X	X	X	L
H	↓	L	X	L
		H	L	L
			H	H

Таблица А.6.8.21.

resetr	clk	comd	ken0	kyen0	kydlk
L	X	X	X	X	L
H	↓	L	X	X	L
		H	L	X	L
			L	L	L
			H	H	H

Таблица А.6.8.22.

resetr	clk	comd	ken0	kzen0	kzdlk
L	X	X	X	X	L
H	↓	L	X	X	L
		H	L	X	L
			L	L	L
			H	H	H

А.6.9. Структурная схема блока таймаута ЛК представлена на рис. А.9.

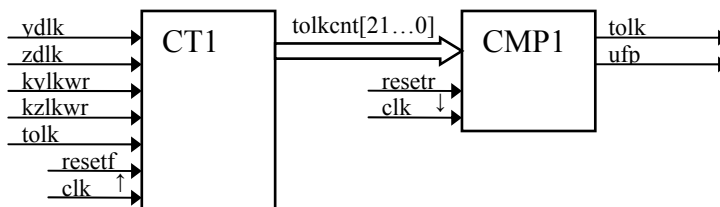


Рис. А.9

А.6.9.1. Счетчик СТ1 должен формировать выход tolkent[21...0] согласно таблице А.6.9.1. На выходе счетчика должен находиться 22-х разрядный двоичный параллельный код.

Подпись и дата
 Инв. № дубл.
 Взаим. инв. №
 Подпись и дата
 Инв. № подлин

А.6.9.2. Блок сравнения CMP1 должен формировать сигналы *tolk* и *ufp* согласно таблицам А.6.9.2 – А.6.9.3.

Таблица А.6.9.1.

resetf	clk	ydlk	zdlk	kylkwr	kzlkwr	tolk	tolkent[21...0]
L	X	X	X	X	X	X	“2000000d”
H	↑	H	X	X	X	X	“0d”
		L	H	X	X	X	“0d”
			L	H	X	X	“0d”
		L	L	H	X	X	“0d”
			L	L	H	X	“0d”
					L	$Q^0 + 1$	
					H	Q^0	

Таблица А.6.9.2.

resetr	clk	tolkent[21...0]	tolk
L	X	X	H
H	↓	< “2000000d”	L
		≥ “2000000d”	H

Таблица А.6.9.3.

resetr	clk	tolkent[21...0]	ufp
L	X	X	L
H	↓	< “40000d”	H
		≥ “40000d”	L

А.6.10. Структурная схема блока фиксации команд ЛК представлена на рис. А.10.

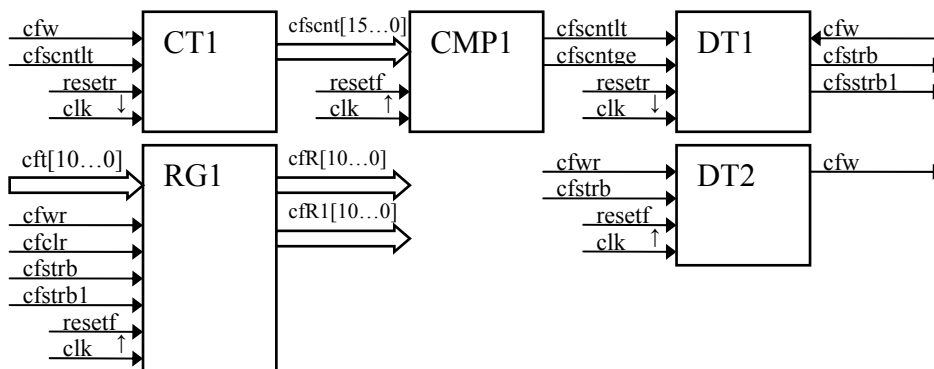


Рис. А.10

А.6.10.1. Счетчик CT1 должен формировать выход *cfsent*[15...0] согласно таблице А.6.10.1. На выходе счетчика должен находиться 16-ти разрядный двоичный параллельный код.

А.6.10.2. Блок сравнения CMP1 должен формировать сигналы *cfsentlt* и *cfsentge* согласно таблицам А.6.10.2 – А.6.10.3.

А.6.10.3. Триггер DT1 должен формировать сигналы *cfstrb* и *cfstrb1*, согласно таблицам А.6.10.4 – А.6.10.5.

А.6.10.4. Регистр RG1 должен формировать выход *cfR1*[10...0] согласно таблице А.6.10.6. и выход *cfR*[10...0] согласно таблице А.6.10.7.

А.6.10.5. Триггер DT2 должен формировать сигнал *cfw* согласно таблице А.7.10.8.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № взаим. инв. №	Подпись и дата
	Инв. № дубл.

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.6.10.1.

resetr	clk	cfw	cfscntlt	cfscnt[15...0]
L	X	X	X	“31999d”
H	↓	H	X	“0d”
		L	L	Q^0
			H	$Q^0 + 1$

Таблица А.6.10.2.

resetf	clk	cfscnt[15...0]	cfscntlt
L	X	X	L
H	↑	< “31999d”	H
		≥ “31999d”	L

Таблица А.6.10.3.

resetf	clk	cfscnt[15...0]	cfscntge
L	X	X	H
H	↑	< “7999d”	L
		≥ “7999d”	H

Таблица А.6.10.4.

resetr	clk	cfw	cfscntlt	cfscntge	cfstrb
L	X	X	X	X	H
H	↓	L	L	X	H
			H	X	Q^0
		H	X	L	L
			H	Q^0	

Таблица А.6.10.5.

resetr	clk	cfw	cfscntge	cfstrb1
L	X	X	X	H
H	↓	L	L	Q^0
			H	H
		H	X	L

Таблица А.6.10.6.

resetf	clk	cfwr	cfstrb	cfstrb1	cfclr	cfR1[10...0]
L	X	X	X	X	X	“0d”
H	↑	L	X	X	L	Q^0
					H	“0d”
		H	L	X	L	Q^0
					H	“0d”
		H	L	X	X	Q^0
					H	cft[10...0]

Таблица А.6.10.7.

resetf	clk	cfwr	cfstrb	cfclr	cfR[10...0]
L	X	X	X	X	“0d”
H	↑	L	X	L	Q^0
				H	“0d”
		H	L	L	Q^0
				H	“0d”
		H	X	cft[10...0]	

Таблица А.6.10.8.

resetf	clk	cfwr	cfstrb	cfw
L	X	X	X	L
H	↑	L	X	L
		H	L	L

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.7 Требования к электропитанию

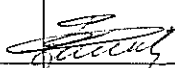
А.7.1 Напряжение питания БИС по цепи «VDD» (5±0,25) В относительно цепи «GND».

Скорость нарастания напряжений питания при выходе внешних источников питания на режим от 5 В/с до 10 В/мс. В процессе работы БИС возможно кратковременное (до 20 мс) снижение напряжения питания до уровня 4 В.

А.7.2 Ток потребления БИС не должен превышать 50 мА при значении тактовой частоты по цепям «CLK1» и «CLK2» 4 МГц.

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата						Лист
										31
					Изм	Лист	№ документа	Подпись	Дата	

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	32	ГАВЛ.431260.338	-		21.02.13

Изм. № по списку	Подпись и дата	Взам. инв. №	Интв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.338 Д

Лист

32