

АСИНХРОННЫЕ МИКРОПРОЦЕССОРЫ ДЛЯ КОСМИЧЕСКИХ СИСТЕМ*

д.т.н. Бобков С.Г.¹, Сурков А.В.¹, к.т.н. Степченков Ю.А.², к.т.н. Дьяченко Ю.Г.²
¹ НИИ системных исследований РАН ² Институт проблем информатики РАН

Требования к вычислительным системам космического применения постоянно растут в связи с усложнением решаемых задач. Это объясняется многими факторами, в том числе ростом объема передаваемых на Землю данных, необходимостью, в связи с этим, проводить дополнительную предварительную обработку данных, принципиальным усложнением решаемых задач. Микропроцессор является основным узлом, ответственным за функционирование как космических аппаратов в целом, так и отдельных узлов. Высочайшие требования к надежности существенно сокращают выбор элементной базы в целом, и микропроцессоров в частности. Наиболее известными разработчиками микропроцессоров космического применения за рубежом являются компании BAE Systems и Honeywell с архитектурой PowerPC, Европейское космическое агентство с архитектурой SPARC V8 (LEON2FT, LEON3FT), выпускаемые компаниями Atmel и Aeroflex, а так же Sanova с архитектурой MIPS. Разработки для космоса требуют специальных знаний и исследований, а также комплексного подхода к задачам схемотехники, технологии, конструирования и производства. В настоящее время в НИИСИ РАН активно создается [1] линейка микропроцессоров космического применения с архитектурой КОМДИВ с использованием всех последних наработок института и результатов исследований как в области схемотехники, так и технологии производства. Изготовление микропроцессоров производится на технологическом комплексе НИИСИ РАН с нормами КНИ 0,5-0,25 мкм. Основным фактором повышения радиационной стойкости и сбоеустойчивости микропроцессоров является использование оригинальной технологии производства кристаллов и оригинальных библиотек с технологическими нормами 0,5-0,25 мкм. Проекты, изготовленные на других заводах по стандартным маршрутам, не будут иметь таких высоких показателей надежности, которые достигнуты сейчас. Кроме того, во всех микропроцессорах используется дублирование/троирование узлов, кэш-память 2-го уровня и системная память защищены кодом Хсяо, а встроенные блоки MBIST позволяют тестировать память процессора во время работы [1]. В таблице 1 приводится сравнение основных характеристик микропроцессоров КОМДИВ радиационностойкого применения.

Однако для осуществления длительных полетов, например, на Марс, или многолетнего функционирования автоматических станций на Луне, потребуется существенное повышение надежности вычислительных систем и без решения этой задачи невозможно планировать дальнейшее развитие космической отрасли. Одним из перспективных направлений повышения надежности является использование самосинхронных схем, являющихся частным случаем асинхронных схем. Асинхронные схемы делятся на три подкласса: строго-самосинхронные, квази-самосинхронные, и просто асинхронные. Синхронные схемы захватили лидерство, т.к. они существенно проще в проектировании. В конце прошлого столетия практически 100% серийно выпускаемых микросхем были синхронными. К недостаткам синхронных схем относятся: узкий температурный диапазон, высокое потребление энергии синхронизации (до 50% всей мощности), а также чрезвычайная уязвимость к влиянию ЭМИ и радиации. Эти факты заставили вновь обратить внимание на асинхронные схемы. Естественная надежность асинхронных схем и пониженное потребление позволили им занять свою нишу в классе микросхем для специальных применений. В первую очередь эти микросхемы используются для смарт-карт с жесткими требованиями по потреблению и питанию. В области защиты информации и криптографии [2] асинхронные схемы популярны в силу невозможности взлома алгоритмов по анализу спектра потребления. В сигнальных процессорах низкая шумность питания асинхронных схем позволила не только совмещать цифровую и аналоговую часть на одном кристалле, но и существенно повысить точность измерений. В космических применениях асинхронные схемы проявили себя особенно широко [3]. Последнее десятилетие NASA активно выделяет гранты на разработки асинхронных микропроцессоров и микроконтроллеров. По гранту NASA создан асинхронный аналог i8051, способный работать при температуре - 271°C [4]. В Китае создан асинхронный процессор TengYue-1 [5], выполненный в квази-самосинхронном базисе NCL_X.

В России с 70-х годов разработкой теории асинхронных автоматов занималась научная группа под руководством д.т.н. В.И. Варшавского, чьи работы [6-8] по асинхронике признаны во всем мире. Позднее к работе подключился ИПИ РАН и также этой тематикой начали заниматься в НИИСИ РАН.

Как было уже сказано, асинхронные схемы разделяются на три подкласса. Строго-самосинхронные (ССС) схемы представляют собой "чистый" подкласс асинхронных автоматов. Квази-самосинхронные схемы являются упрощением СССР, т.к. не используют всех их возможностей и вследствие этого проще в проектировании. Третья группа, просто асинхронные схемы, называемые в западной литературе Bounded

* Исследование выполнено при финансовой поддержке РФФИ в рамках научных проектов № 13-00-12068 офи_м и № 13-00-12062

Таблица 1. Сравнение микропроцессоров КОМДИВ радиационностойкого применения

Наименование параметра, единица измерения	Значения параметра						
	5890BE1	5890BM1T	1900BM1T	1907BM014	1907BM038	1907BM048	1907BM028
Частота, МГц	33	33	66	100	125	66	150
Архитектура	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 64
Конвейер, стадии	5	5	5	8	8	8	7
Встроенный системный контроллер	да	нет	нет	да	да	да	да
Контроллер интерфейса ГОСТ Р 52070-2003	нет	нет	нет	да	нет	да	нет
Общая доза, Крад	200	200	200	250	250	250	250
Гроирование/дублирование	нет	нет	да	нет	нет	да	нет
Температура среды, °С	-60 - +85	-60 - +125	-60 - +125	-60 - +125	-60 - +125	-60 - +125	-60 - +125
Нормы изготовления, мкм	0,5 КНИ	0,5 КНИ	0,35 КНИ	0,25 КНИ	0,25 КНИ	0,25 КНИ	0,25 КНИ
Потребляемая мощность, Вт	2,36	1,7	2,94	5	6	7	5,5
Размер L2 кэш-памяти	-	-	-	-	-	-	256 Кбайт
Число Serial RapidIO 4X	-	-	-	-	1	-	1
Число Ethernet	-	-	-	1	-	-	1
Число Манчестер	-	-	-	2	-	2	-
Число SpaceWire	-	-	-	3	4	3	-
Схемотехнические решения повышения сбоеустойчивости	нет	да	да	да	да	да	да
Пороговая величина ЛПЭ ТЗЧ ^{*)} по тиристорному эффекту, не менее		80 МэВ×см ² /мг	80 МэВ×см ² /мг	80 МэВ×см ² /мг	80 МэВ×см ² /мг	80 МэВ×см ² /мг	80 МэВ×см ² /мг
Пороговая величина ЛПЭ ТЗЧ по одиночным событиям, не менее			6 МэВ×см ² /мг			6 МэВ×см ² /мг	
Начало серийного выпуска	2009	2011	2012	4 кв. 2014	4 кв. 2014	4 кв. 2014	4 кв. 2014

^{*)} ЛПЭ ТЗЧ - линейные потери энергии тяжелых заряженных частиц.

delay (BD). Это гибрид, полученный модификацией синхронной схемы и наследующий почти все ее недостатки. Детального рассмотрения заслуживают лишь ССС схемы, поскольку только они обладают наибольшей для асинхронных схем надежностью.

Основным свойством ССС и квази-самосинхронных схем, является их независимость от задержек в схеме. Поскольку самосинхронные схемы не используют внешнего генератора, скорость их работы определяется временем прохождения сигнала по петле. Петли представляют замкнутый контур, внесение дополнительных задержек в который может только понизить производительность микросхемы, но не приведет к ее отказу. Для сравнения можно вспомнить, что внесение дополнительной задержки в контур синхронной схемы приведет к ее сбою, как только общий путь сигнала через аварийный участок превысит период тактового импульса. На задержки в петлевых контурах самосинхронных схем влияют следующие внешние факторы.

- Технологический разброс. При проектировании синхронной микросхемы обязательно учитывается

технологический разброс, связанный с невозможностью изготовить одинаковые электронные структуры как в рамках одного кристалла и пластины в целом, так и в рамках различных партий одного процесса изготовления (невозможность одинаковых толщин, концентраций и пр.), что приводит к снижению максимальной рабочей частоты. Для асинхронных схем понятия рабочей частоты не существует, поэтому появление отдельных задержек в некритичных узлах может и не сказаться на общей скорости работы микросхемы.

- Рабочая температура. Для самосинхронных схем диапазон рабочих температур очень широк: в публикациях рассматриваются микросхемы с работоспособностью от криогенного диапазона (от -271°C до $+23^{\circ}\text{C}$, технология $0.5\ \mu\text{m}$ SiGe5AM, фабрика IBM) [4] до сверхвысоких температур (от -175°C до $+225^{\circ}\text{C}$, технология $1\ \mu\text{m}$ HTSOI, фабрика XFAB) [9]. Для синхронных схем реализовать такой разброс температур можно лишь при существенном снижении частоты функционирования и для ряда проектов это невозможно сделать, поскольку задержки для различных цепей микросхемы меняются непропорционально и некоторые условия автоматов могут стать невыполнимыми.

- Напряжение питания. Самосинхронные схемы начинают работать, как только начинают приоткрываться переходы транзисторов. В публикациях приводится рекордно низкое напряжение $150\ \text{mV}$ [10], при котором самосинхронная схема, сделанная по технологии $130\ \text{nm}$ MTCMOS (IBM), стала работоспособной. В синхронных схемах переходные процессы обязаны быть закончены и отклонение от напряжения питания, как правило, не превышает 10% . В работах [11,12] приводятся результаты испытаний отечественных тестовых самосинхронных микросхем “Микроядра” и счетчика, изготовленных по полузаказной технологии на БМК серии 5503 по $1,5\ \mu\text{m}$ КМОП-технологии (НПК “Технологический центр”, МИЭТ). Все самосинхронные образцы в области низких питающих напряжений оставались работоспособными до уровня $0,2\ \text{V}$ (при пороговых напряжениях КМОП транзисторов $\pm 0,8\ \text{V}$ и номинальном питающем напряжении питания $+5\ \text{V}$).

- Накопление заряда в подзатворном и захороненном окисле кристалла микросхем вследствие действия космического излучения. Как уже было отмечено, ССС микросхемы не используют внешнее тактирование, поэтому увеличение задержек в петлевом контуре вследствие эффектов от накопления заряда до некоторых пределов влечет за собой лишь замедление работы схемы и позволяет увеличить предельное значение по накопленной дозе. Т.е. высокая надежность ССС схем является следствием их асинхронной природы.

Другими важными свойствами самосинхронных схем являются самодиагностика и саморемонт. Самодиагностика самосинхронных схем позволяет локализовывать константные неисправности с точностью до элемента для ССС схем, и с точностью до петлевого контура в квази-самосинхронных схемах [13]. Самодиагностика в самосинхронных схемах является их неотъемлемой частью, и не требует использования дополнительной аппаратуры, как в синхронных схемах. Саморемонт делает возможным восстановить функционирование схемы, в ряде случаев даже без потери данных [14]. За саморемонт отвечают дополнительные ресурсы, такие как резервные узлы с дополнительными схемами управления, схемы дублирования, реализация таких функций как scrubbing для памяти, резервные ячейки памяти и пр. Другим эффективным способом повышения надежности самосинхронных схем является введение избыточных вершин в граф переходов асинхронного автомата на этапе его проектирования [15].

На основе приведенного сравнения, а также результатов зарубежных исследований [16] можно сделать вывод, что ССС схемы несут в себе существенно больший запас по надежности, чем синхронные схемы. При той же технологии изготовления, что и синхронная схема, ССС схема в силу своей природы будет обладать дополнительной защитой перед космическим излучением и дополнительными возможностями самодиагностики и ремонта. В совместных работах НИИСИ РАН и ИПИ РАН осуществлена первая попытка использования самосинхронных схем [17] в микропроцессоре с архитектурой КОМДИВ64. Функциональный блок, ответственный за деление с плавающей точкой, выполнен полностью по самосинхронному маршруту и используется параллельно со своим синхронным аналогом. Проведенные исследования тестового образца микросхемы подтвердили указанные в статье свойства ССС схем. Использование ССС схем является только одним из приёмов повышения надёжности микросхем в части схемотехнических приёмов и для создания требуемых микросхем необходимо использовать дополнительно конструктивно-технологические, алгоритмические и программные приёмы, средства контролируемого выполнения функций.

Литература

1. Бобков С.Г. Перспективная элементная база компьютеров БАГЕТ космического назначения // XII Международная научно-техническая конференция «Электронная компонентная база космических систем» (ЭКБ-2013), Сочи 2013 г.
2. Sokolov D. et al. Improving the Security of Dual-Rail Circuits // Cryptographic Hardware and Embedded Systems - CHES 2004 Lecture Notes in Computer Science vol. 3156, August 2004 – pp. 282-297.

3. Vladimirova T. et al. Radiation Hardening by Design of Asynchronous Logic for Hostile Environments // IEEE Journal of Solid-State Circuits, vol. 44, no. 5, May 2009.
4. Hollosi B. et al. Delay-insensitive asynchronous ALU for cryogenic temperature environments // MWSCAS, 2008 – pp. 322-325.
5. Jin G. et al. The Design of Asynchronous Microprocessor Based on Optimized NCL_X Design-Flow // IEEE International Conference on Networking, Architecture and Storage, 2004 – pp. 357 – 364.
6. Варшавский В.И. и др. Аperiodические автоматы // М.: Наука – 1976 – 424 с..
7. Варшавский В.И. и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. //М.: Наука – 1986 – 400 с..
8. Varshavsky V. et al. Self-timed Control of Concurrent Processes // – Kluwer Academic Publishers – 1990 – 245 p.
9. Shepherd P. et al. A Robust, Wide-Temperature Data Transmission System for Space Environments // Aerospace Conference, 2013 IEEE, March 2013 – pp. 1 – 13.
10. Bailey A. et al. Ultra-low power delay-insensitive circuit design // MWSCAS, August 2008 – pp. 10-13.
11. Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, №5, 2006. – С. 29-36.
12. Плеханов Л.П., Степченко Ю.А. Экспериментальная проверка некоторых свойств строго самосинхронных электронных схем // Системы и средства информатики: Вып. 16, М.: Наука – 2006 – С. 476-485.
13. Bastos R. P. Asynchronous circuits as alternative for mitigation of long-duration transient faults in deep-submicron technologies // Microelectronics Reliability, 50, November 2010 – pp. 1241-1246.
14. Di J. A framework on mitigating single event upset using delay-insensitive asynchronous circuits // Proceedings of the 2007 IEEE Region 5 Technical Conference, 2007 – pp. 354-357.
15. Pontes J. H. et al. Adding Temporal Redundancy to Delay Insensitive Codes to Mitigate Single Event Effects // ASYNC, 2012 – pp. 142-149.
16. Rahbaran B. et al. Is asynchronous logic more robust than synchronous logic? // IEEE Trans. Dependable and Secure Computing, vol. 6, no. 4, 2009 – pp. 282 -294.
17. Дьяченко Ю.Г., Степченко Ю.А., Бобков С.Г. Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты // Труды международной конференции "Проблемы разработки перспективных микро- и нанoeлектронных систем", Москва – 2008 – С. 441-446.

E-mail для связи: surkov@cs.niisi.ras.ru