

УДК 004.3:004.9

САМОСИНХРОННЫЕ СХЕМЫ КАК БАЗА СОЗДАНИЯ ВЫСОКОНАДЕЖНЫХ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ КОМПЬЮТЕРОВ СЛЕДУЮЩЕГО ПОКОЛЕНИЯ

Зацаринный Александр Алексеевич, д.т.н., заместитель директора ФИЦ ИУ РАН¹

AZatsarinny@ipiran.ru, +7 (499) 137-60-31

Степченко Юрий Афанасьевич, к.т.н., заведующий отделом¹, YStepchenkov@ipiran.ru

+7(495) 671-15-20

Дьяченко Юрий Георгиевич, к.т.н., с.н.с.¹, diaura@mai.ru, +7 (495) 678-02-57

Рождественский Юрий Владимирович, к.т.н., вед.н.с.¹, YRogdest@ipiran.ru,

+7 (495) 678-02-57

¹*ФИЦ ИУ РАН, г.Москва*

Аннотация: В работе предлагаются конструктивные и схемотехнические решения для реализации высокопроизводительных компьютеров следующего поколения. Они основаны на методологии проектирования самосинхронных схем и обеспечивают повышение устойчивости вычислительных систем к логическим сбоям, являющимся следствием наведенных помех и радиационного воздействия.

Ключевые слова: самосинхронная схема, индикация, сбоеустойчивость, КМОП, многопороговый транзистор.

Введение

В последние годы увеличение производительности цифровых вычислительных устройств наталкивается на необходимость преодоления проблем, возникающих в синхронной схемотехнике. Основным трендом современной микроэлектроники являются постоянная борьба за снижение энергопотребления и соблюдение жестких требований к надежности и помехозащищенности схем. В настоящее время существует достаточно хорошо проработанная альтернатива синхронным схемам – самосинхронные (СС) схемы [1-3]. Они являются многообещающей заменой синхронных схем в качестве схемотехнической базы для создания компьютеров нового поколения, обеспечивая бесперебойную работу в нестабильных условиях эксплуатации

вычислительных систем (напряжения питания, температуры) и повышенную устойчивость к воздействию неблагоприятных факторов окружающей среды.

СС-схемы лишены основных недостатков синхронных схем, например, избыточного потребления вследствие наличия глобальных цепей синхронизации. В сравнении с синхронными аналогами СС-схемы обладают следующими основными преимуществами:

- стабильная работа в изменяющихся условиях эксплуатации;
- предотвращение генерации некорректных данных при появлении константной неисправности, при которой выход элемента "залипает" в одном состоянии.

СС-схемы естественно устойчивы к параметрическим отказам, вызываемым процессами старения и неблагоприятными воздействиями окружающей среды. Они автоматически прекращают функционирование при статическом отказе элемента и локализуют неисправность. Благодаря своей дисциплине работы, они обнаруживают все константные неисправности и характеризуются более высокой по сравнению с синхронными аналогами устойчивостью к помехам и кратковременным логическим сбоям.

В данной работе обсуждаются конструктивные и схемотехнические методы повышения надежности СС-схем и вычислительных систем на их основе и даются рекомендации по их реализации.

Повышение сбоеустойчивости СС-схем

Проектирование действительно СС-схем основано на четыре основных принципах [1]: избыточном кодировании информационных бит; двухфазном поведении; индикации окончания переключения схемы в очередное состояние; запрос-ответном взаимодействии соседних в тракте обработки информации СС-устройств. Избыточное кодирование позволяет относительно простыми средствами различить соседние состояния СС-схемы в процессе ее работы. Наиболее популярными способами избыточного кодирования информационных бит являются парафазное со спейсером, бифазное с сигналом управления и унарное с сигналом управления кодирование [2].

Использование парафазного кода для представления информационных сигналов [4] упрощает индикацию окончания переходных процессов в элементах СС-схемы и повышает надежность передачи информации между блоками вычислительной системы. Традиционно парафазный информационный сигнал имеет два рабочих состояния ("01", "10") и одно спейсерное состояние ("00" – нулевой спейсер или "11" – единичный

спейсер). Они представляют значение парафазного сигнала в любой момент времени. Четвертое состояние двухбитового представления парафазного сигнала (соответственно, "11" или "00") считается запрещенным. В отсутствие логических сбоев оно в СС-схеме никогда не реализуется.

Однако в реальных условиях эксплуатации СС-схемы подвержены воздействию электромагнитных помех и радиации, которые могут привести к локальному изменению потенциала какой-либо цепи схемы. Современные цифровые сверхбольшие интегральные схемы (СБИС) изготавливаются по технологии комплементарный металл-оксид-полупроводник (КМОП). Их работа основана на коммутации питания и "земли" на выход логического элемента КМОП-транзисторами, управляемых затворными потенциалами. Поэтому изменение потенциала на затворе из-за внешнего воздействия может привести к сбойному переключению транзистора и изменению состояния парафазного сигнала, формируемого двумя логическими элементами.

Анализ поведения самосинхронных схем в условиях воздействия неблагоприятных факторов окружающей среды, приводящих к появлению кратковременных логических сбоев, показывает, что СС-схемы обладают естественной устойчивостью к кратковременным логическим сбоям. Они маскируют более 80% логических сбоев за счет своих принципов организации и функционирования: двухфазной дисциплины и избыточного кодирования информационных сигналов.

Традиционная индикация СС-схем, определяющая окончание переключения схемы в очередную фазу работы, основана на использовании элемента ИЛИ-НЕ (для нулевого спейсера) или И-НЕ (для единичного спейсера). Поэтому состояние, противоположное спейсеру (анти-спейсер), воспринимается как рабочее, что приводит к распространению логической ошибки по схеме. Однако индикация запрещенного состояния парафазного сигнала, появляющегося в результате логического сбоя, как спейсера [5], маскирует данный логический сбой, предотвращая генерацию некорректного результата на выходе СС-схемы. Для реализации такого свойства достаточно в качестве элемента первого каскада индикаторной подсхемы СС-схемы использовать элемент "равнозначность" или "неравнозначность" [6].

Индикация анти-спейсера как спейсера и модификация С-элемента, основного элемента индикаторной подсхемы СС-схем, с целью предотвращения "залипания" его в состоянии анти-спейсера в составе регистра ступени СС-конвейера [6], как показано на рис. 1, обеспечивают повышение устойчивости СС-схем к кратковременным логическим сбоям на 11.5%.

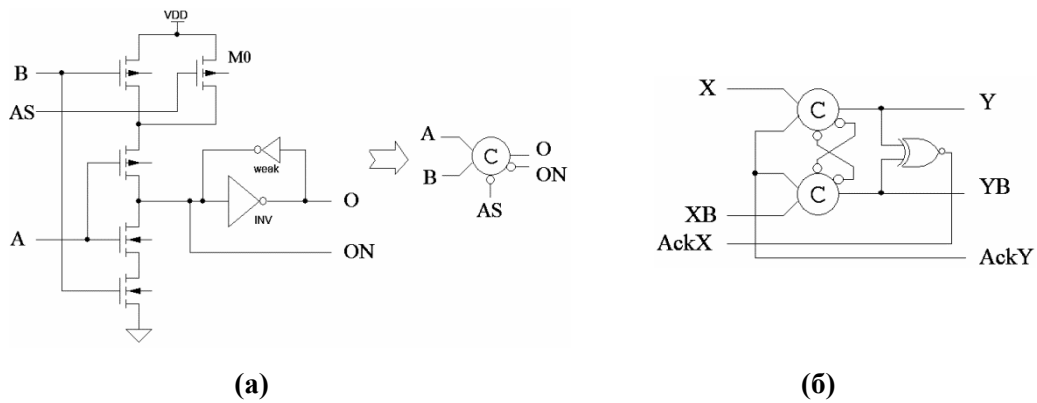


Рис. 1. С-элемент, маскирующий состояние анти-спейсера (а) и разряд регистра СС-конвейера на его основе (б)

Логические сбои, возникающие по тем же причинам в индикаторной подсхеме СС-схемы, парируются за счет использования Dual Interlocked Cell (DICE) подхода [7]. Схема С-элемента DICE-типа показана на рис. 2. Она маскирует одиночные логические сбои во внутренних узлах С-элемента и предотвращает распространение логических сбоев, возникших на его выходах.

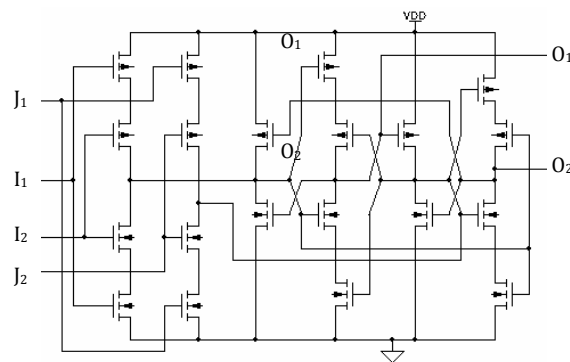


Рис. 2. Сбоеустойчивый С-элемент

Предложенные конструктивные и схемотехнические методы проектирования критических узлов СС-схем повышают устойчивость комбинационных СС-схем к кратковременным логическим сбоям до уровня 96%, а СС-конвейера – до уровня 98,5%.

Уменьшение сложности СС-схем

Основной недостаток самосинхронных схем – аппаратная избыточность, связанная с избыточным кодированием информационных сигналов и необходимостью подтверждения завершения процессов переключения всех элементов схемы. Действительно, парафазное кодирование информационных сигналов и наличие индикаторной подсхемы в 2,5 – 3 раза увеличивает сложность комбинационной СС-схемы в сравнении с синхронным аналогом. Однако исследования показывают

возможность сокращения аппаратных затрат на реализацию СС-схем за счет использования нового схемотехнического компонента – многопорогового транзистора. Его применение позволило бы упростить схемотехническую и топологическую реализации СС-схем и за счет этого дополнительно увеличить их помехо- и сбоеустойчивость.

Схемы вариантов инвертора на многопороговых КМОП-транзисторах показаны на рис. 3. Они коммутируют на выход разные высокие (V_{cc} , V_{dd}) и низкие (Gnd , V_{ss}) уровни под управлением соответствующего уровня входного сигнала X в соответствии с таблицей.

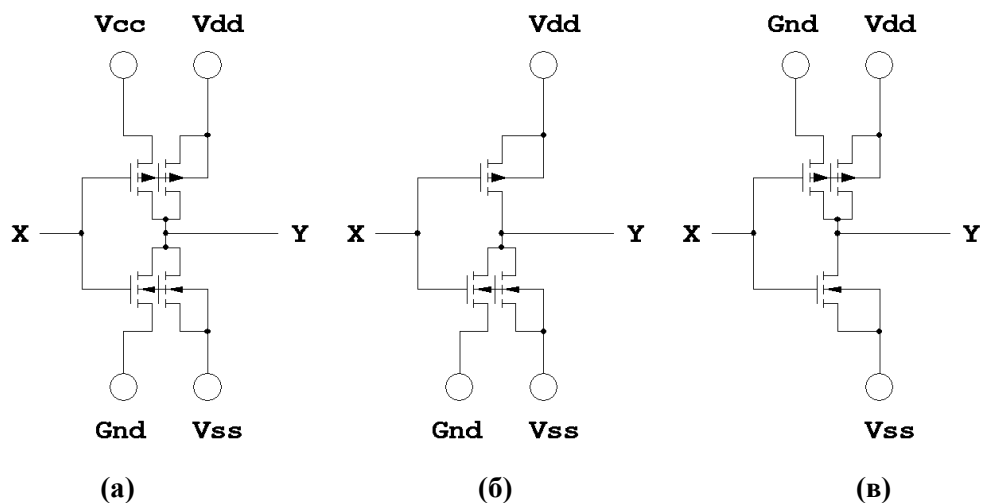


Рис. 3. Варианты инвертора на многопороговых КМОП-транзисторах

Таблица. Функционирование многопороговых инверторов

Схема рис. 3а		Схема рис. 3б		Схема рис. 3в	
X	Y	X	Y	X	Y
Vdd	Vss	Vdd	Vss	Vdd	Vss
Vcc	Gnd	Gnd	Gnd	Gnd	Gnd
Gnd	Vcc	Vss	Vdd	Vss	Vdd
Vss	Vdd	-	-	-	-

Однако, использование многопороговых МОП транзисторов сопряжено с изменением стандартного технологического маршрута изготовления КМОП СБИС и с уменьшением помехоустойчивости схемы, поскольку она обладает повышенной чувствительностью к потенциалу на затворе многопорогового транзистора. Поэтому необходимы дополнительные исследования для проверки целесообразности

применения многопороговых транзисторов в цифровой схемотехнике вообще и в СС-схемах в частности.

Выводы

СС-схемы являются перспективным схемотехническим базисом для создания высокопроизводительных и высоконадежных компьютеров следующего поколения благодаря своим уникальным свойствам.

В работе предложены новые подходы к повышению надежности СС-схем в базисе КМОП технологии, включающие схемотехнические, конструктивные и топологические способы. В совокупности они позволяют повысить устойчивость комбинационных СС-схем к кратковременным логическим сбоям до уровня 96%, а СС-конвейера – до уровня 98,5%.

Разработка многопороговых МОП транзисторов и схемотехники основных элементов СС-схем на их основе позволит, по предварительным оценкам, сократить сложность СС-устройств и площадь их топологической реализации, тем самым снижая их энергопотребление и повышая сбоеустойчивость. Но этот вопрос требует дальнейших исследований.

Поддержка

Работа выполнена при поддержке Министерства науки и высшего образования Российской Федерации, проект № 075-15-2020-799.

Список использованных источников

1. Степченков Ю.А., Дьяченко Ю.Г., Горелкин Г.А. Самосинхронные схемы – будущее микроэлектроники // ЦНИИ "Электроника": Вопросы радиоэлектроники, 2011. № 2. С. 153-184.

2. Ю.А. Степченков, Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. М.: Техносфера. 2017. 367 с. — ISBN 978-5-94836-332-5. URL: <http://www.technosphera.ru/lib/book/497>.

3. R.A. Taylor, R.B. Reese, "UNCLE – Unified NCL Environment – an NCL design tool," in Asynchronous Circuit Applications, Ch. 14, 2019, pp. 293–307.

4. Зацаринный А.А., Козлов С.В., Степченко Ю.А., Дьяченко Ю.Г. Формирователь парафазного сигнала с единичным спейсером. Пат. РФ № 2718220, опубли. 31.03.2020. Бюл. № 10. - 7 с.

5. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, *Advances in Science, Technology and Engineering Systems Journal*. 5(2):44-56.

6. Y. Stepchenkov, Y. Rogdestvenski, A. Kamenskih, Y. Diachenko and D. Diachenko, "Improvement of the Quasi Delay-Insensitive Pipeline Noise Immunity," 2020 IEEE 11th International Conference on Dependable Systems, Services and Technologies (DESSERT), Kyiv, Ukraine, 2020, pp. 47-51, doi: 10.1109/DESSERT50317.2020.9125021.

7. Igor Sokolov, Yury Stepchenkov, Yury Diachenko, Yury Rogdestvenski, Denis Diachenko, Increasing Self-Timed Circuit Soft Error Tolerance // *Proceedings of 2020 IEEE EastWest Design & Test Symposium (EWDTS)*, Varna, Bulgaria, September 4 - 7, 2020. P. 450-454.

SELF-TIMED CIRCUITS AS A BASIS FOR DEVELOPING NEXT GENERATION HIGH-RELIABLE HIGH-PERFORMANCE COMPUTERS

A.A. Zatsarinny, Yu.A. Stepchenkov, Yu.G. Diachenko, Yu.V. Rogdestvenski

Abstract: The paper proposes design and circuitry solutions for the implementation of high-performance next generation computers. They are based on self-timed circuit design methodology and provide an increase in the tolerance of computing systems to soft errors resulting from induced noises and radiation exposure.

Key words: self-timed circuit, indication, fault tolerance, CMOS, multi-threshold transistor.