

Самосинхронный умножитель для распределенных вычислений

Б.А. Степанов⁵⁰, Ю.Г. Дьяченко⁵¹, Ю.В. Рождественский⁵²

Аннотация: Доклад посвящен особенностям реализации самосинхронного умножителя для устройства умножения-сложения. Обоснован выбор оптимального самосинхронного кодирования сигналов умножителя с помощью избыточного троичного самосинхронного кода. Предложена структура дерева Уоллеса – основной части умножителя. Рассматриваются проблемы схмотехнической и топологической реализации умножителя. Представлен вариант реализации самосинхронного умножителя в КМОП технологии с проектными нормами 65 нм.

Ключевые слова: самосинхронная схема; троичное кодирование; умножитель; дерево Уоллеса

Введение

Успешное развитие информационных технологий во многом обеспечивается вычислительной мощностью средств ее обработки. Одним из наиболее значимых функциональных блоков современных вычислителей является умножитель со сложением, выполняющий две последовательные операции: умножение двух операндов и сложение с третьим операндом, без округления промежуточных результатов (Fused Multiply-Add, FMA). Это обеспечивает более высокое быстродействие и лучшую точность вычислений.

Самым затратным функциональным блоком устройства FMA, определяющим его потребительские характеристики, является умножитель. Поэтому разработка его оптимальной СС реализации является актуальной задачей.

Доклад посвящен проблемам разработки и реализации

⁵⁰ ФИЦ ИУ РАН (ИПИ РАН); 1994 г.р.; gtx360@mail.ru

⁵¹ ФИЦ ИУ РАН (ИПИ РАН); 1958 г.р.; diaura@mail.ru

⁵² ФИЦ ИУ РАН (ИПИ РАН); 1954 г.р.; YRogdest@ipiran.ru

(схемотехнической и топологической) СС умножителя для устройства, выполняющего операцию.

1. СС умножитель

В литературе известны многочисленные реализации синхронного умножителя. Однако наилучшее сочетание потребительских характеристик умножителя обеспечивается применением СС схем, не зависящих от задержек элементов (Speed Independent, SI), которые обладают более широким диапазоном работоспособности и, в отличие от синхронных схем, свойством самодиагностики. В своих исследованиях [1] авторы подтвердили, что грамотно спроектированные SI схемы обладают также лучшим быстродействием и энергопотреблением в сравнении с синхронными аналогами.

В соответствии со стандартом IEEE 754 на умножитель поступают два 64-разрядных операнда. Фактически умножаются только мантиссы этих операндов, экспоненты складываются отдельно. Наилучшее решение, с точки зрения аппаратурных затрат и быстродействия, обеспечивается использованием модифицированного алгоритма Бута.

В результате умножитель состоит из кодера Бута и сумматора формируемых им частичных произведений. Схемотехническая реализация умножителя и его характеристики во многом зависят от типа кодирования входных операндов и промежуточных результатов

1.1 СС кодирование сигналов в умножителе

В качестве прототипа алгоритмического решения дерева Уоллеса была выбрана синхронная реализация [2], использующая избыточное кодирование операндов. После проведенного анализа возможных СС кодов авторами была предложена схема кодирования, представленная в работе [3, Таблица 1]. Такая избыточность позволяет описывать сумму двух однобитных чисел в прямом и обратном кодах одним кодовым чис-

лом и производить операцию сложения в одном кодовом разряде с сохранением переноса. В результате сокращается количество промежуточных и выходных сигналов и уменьшается число каскадов дерева Уоллеса.

1.2 Схемотехника СС умножителя

Основные аппаратурные затраты СС умножителя определяются сумматором частичных произведений, реализуемого деревом Уоллеса, которое строится из одноразрядных сумматоров. На рис. 1 показана схема одноразрядного СС сумматора с троичными выводами. В правой части показана подсхема сто процентной индикации сумматора.

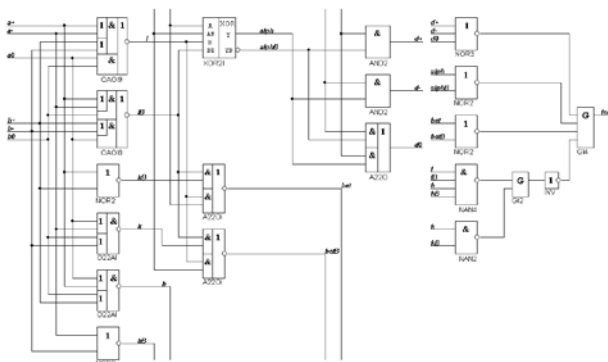


Рис. 1. Троичный СС сумматор

Сравнение показывает, что СС сумматор с парафазными выводами [4] имеет меньшую сложность в сравнении с троичным СС сумматором, но при построении умножителя на его основе получается схема и более сложная, и менее быстродействующая, чем схема умножителя на троичном сумматоре.

1.3 Дерево Уоллеса СС умножителя

Реализация дерева Уоллеса для сложения операндов, кодированных алгоритмом Бута, для 53-разрядных чисел,

представленных в троичном СС коде, показана на рис. 2. Его входами являются 27 частичных произведений, формируемых кодером Бута, и некоторое корректирующее слагаемое.

За счет СС троичного кодирования внутренних сигналов, предложенной в [2] методики преобразования каждого второго частичного произведения и учета дополнительного корректирующего частичного произведения первый каскад дерева Уоллеса обеспечивает сжатие 27 частичных произведений до 7 троичных сигналов. На следующих каскадах дерева Уоллеса троичные сумматоры обеспечивают коэффициент сжатия числа сигналов 2:1, реализуя наиболее быстрое сложение практически без аппаратной избыточности.

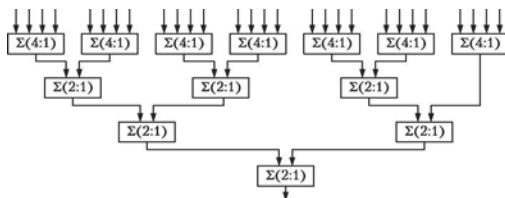


Рис. 2. СС реализация дерева Уоллеса

Использование троичных СС сумматоров обеспечивает повышение быстродействия дерева Уоллеса по сравнению с классическим СС алгоритмом более чем на 20%. Снижение аппаратных затрат также составило около 20%.

2. Топологическая реализация

Одна из основных проблем СС схем – большое количество сигналов, т.к. СС коды используют избыточное представление информации. Для парафазного кодирования получается удвоение числа сигналов. Поэтому при топологическом проектировании многоразрядных СС устройств, как правило, целесообразно использовать структуры с вертикальным распространением сигналов от блока к блоку.

Троичное кодирование операндов в СС умножителе

смягчает данную проблему: дерево Уоллеса является совокупностью сумматоров с сохранением переноса и при парафазном кодировании операндов каждый сумматор в умножителе имеет 4 выхода, а при троичном – только 3 выхода.

Контур топологии умножителя целесообразно делать близким к прямоугольнику с отношением сторон 0,3 ... 1. Исходя из этого, были выбраны габариты топологии одноразрядного сумматора.

2.1 Топология одноразрядного сумматора

Рис. 3 демонстрирует топологию одноразрядного троичного СС сумматора. Здесь троичные входы располагаются сверху, выходы суммы – снизу, а сигналы межразрядного переноса – сбоку. Это облегчает стыковку соседних одноразрядных сумматоров и обеспечивает распространение информации в вертикальном направлении.

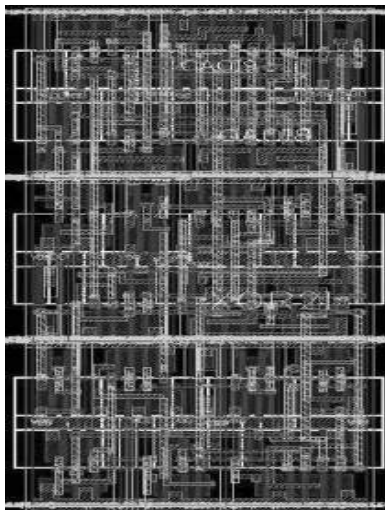


Рис. 3. Топология троичного сумматора

Топология одноразрядного сумматора, реализованного по стандартной КМОП технологии с 65-нм проектными нормами и 9 слоями металлизации, имеет размеры $4,56 \times 12,0$ мкм.

Для разводки использованы только второй и третий слои металлизации, что обеспечивает его «прозрачность» для трассировки глобальных сигналов.

2.2 Топология умножителя

Весь умножитель, топология которого изображена на рис. 4, имеет размеры 570×234 мкм. Здесь также входные операнды поступают сверху, выходы расположены снизу. Индикаторные сигналы на выходе блока умножителя обеспечивают его поразрядную индикацию.

Умножитель был спроектирован как часть устройства умножения-сложения. В настоящее время ведется работа по встраиванию его в топологию всего блока умножения-сложения.

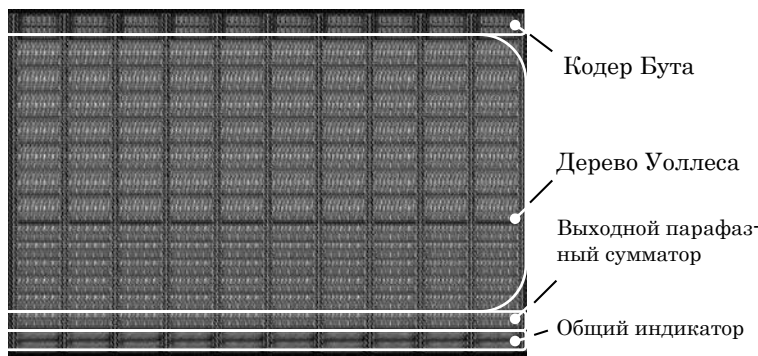


Рис. 4. Топология умножителя

Выводы

Самосинхронные схемы обладают рядом весомых преимуществ по сравнению с синхронными аналогами: низкое энергопотребление, самодиагностика, высокая скорость работы.

Однако они отличаются сложностью разработки. К тому же, самосинхронное кодирование увеличивает количество сигналов в схеме, что приводит к увеличению аппаратных затрат.

Переход к троичному кодированию операндов повышает эффективность использования алгоритма дерева Уоллеса, повышая степень сжатия операндов в нем, уменьшает аппаратные затраты на реализацию вычислителя в сравнении с парафазным кодированием.

Структура топологии с вертикальным распространением сигналов позволяет упростить трассировку сигналов в схеме. При этом в топологии входы и выходы переносов одноразрядного сумматора распространяются горизонтально.

Список литературы

1. *Степченков Ю. А., Дьяченко Ю. Г., Горелкин Г. А.* Самосинхронные схемы – будущее микроэлектроники. // Вопросы радиоэлектроники, 2011. No.2. С. 153–184.
2. *Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., and Mashiko K.* An 8.8 ns 54x54 bit Multiplier with High Speed Redundant Binary Architecture // IEEE Journal of Solid-State Circuits, 1996. V.31 No.6. P. 773–783.
3. *Соколов И. А., Степченков Ю. А., Бобков С. Г., Рождественский Ю. В., Дьяченко Ю. Г.* Умножитель с накоплением: методологические аспекты // Системы и средства информатики, 2014. Т. 24. No.3. С. 44–62.
4. *Плеханов Л. П.* Основы самосинхронных электронных схем. – М.: Бином. Лаборатория знаний, 2013. – 208 с.