

ИНДИКАЦИЯ В САМОСИНХРОННЫХ ЭЛЕКТРОННЫХ СХЕМАХ. ОБОСНОВАНИЕ И ОПТИМИЗАЦИЯ

Л. П. Плеханов

Индикация в строго самосинхронных электронных схемах (ССС-схемах) является главным отличием таких схем от обычных синхронных, и именно она обеспечивает уникальные свойства самосинхронных схем [1,2].

Под индикацией в СССР-схемах будем понимать такое их построение, которое обеспечивает установление выходных сигналов в очередную временную фазу (рабочую или промежуточную - спейсер) тогда и только тогда, когда на входах установятся сигналы той же фазы [1].

На практике важность рассмотрения индикации обусловлена следующими причинами:

- быстродействие СССР-схем в значительной мере зависит от схем индикации;
- на индикацию приходится значительная часть аппаратных затрат СССР-схем в транзисторах - до десятков процентов;
- исследование схем индикации позволит автоматизировать процесс их проектирования.

Начальные сведения об индикации приведены в [1]. Но практический анализ таких вопросов, как возможные схемы индикации, их быстродействие и затраты, оптимизация, ни в этой книге, ни в последующих работах той же группы авторов не содержится. Более того, в [1] и в других материалах этих авторов многие предложенные СССР-схемы не являются оптимальными.

Отсутствует обсуждаемая тематика и в других литературных источниках, российских и зарубежных.

Таким образом, задача исследования схем индикации, их теоретического обоснования и оптимизации является актуальной.

Индикация связана со специальными *индицирующими сигналами* в СССР-схемах (И-сигналами) [1].

Построение схем индикации можно разделить на две задачи. К первой относится первоначальное получение И-сигналов при функциональных преобразованиях в схемах, ко второй – обработка И-сигналов. Оптимальное решение каждой из этих задач представляет собой самостоятельную проблему.

Данная статья посвящена второй задаче – оптимальной обработке И-сигналов в СССР-схемах.

Индицирующие сигналы в СССР-схемах

И-сигналы предназначены для сигнализации перехода соответствующего участка СССР-схемы в очередную фазу – рабочую или спейсер. И-сигналов в схеме относительно много – не менее чем информационных сигналов в соответствующей части схемы. Например, 16-разрядный сумматор требует наличия на выходе 32 И-сигналов (индикация суммы и переноса в каждом разряде). Кроме того, оба операнда сумматора также должны индицироваться, что даёт ещё не менее 32 И-сигналов.

Основное свойство И-сигналов назовём для краткости *тотальностью*. Оно состоит в том, что каждый раз при переходе в какую-либо фазу они все (тотально) принимают одно значение (0 или 1, в зависимости от точки схемы), а при переходе в другую фазу – также все – противоположное значение. Свойство тотальности обеспечивает соблюдение условий самосинхронности [1].

Каждая ССС-схема или её фрагмент содержит множество И-сигналов. Но для индикации всей схемы (или фрагмента) необходим и достаточен только один И-сигнал. Поэтому задача обработки И-сигналов состоит в понижении их числа до одного, с обязательным сохранением свойства тотальности.

Понижение количества И-сигналов с сохранением тотальности назовём *редукцией*, а схемы, реализующие такое понижение – *схемами редукции* (СР).

Есть два пути оптимизации схем индикации - *структурная оптимизация* и *оптимизация схем редукции*.

Структурная оптимизация состоит в выборе количества и мест расположения схем редукции, количества их входов. Основная идея структурной оптимизации заключается в том, чтобы наибольшая часть схем редукции работала параллельно (по времени) с информационным каналом для уменьшения общей задержки.

На рис. 1 приведена общая структура некоторой ССС-схемы с точки зрения индикации и с учётом структурной оптимизации.

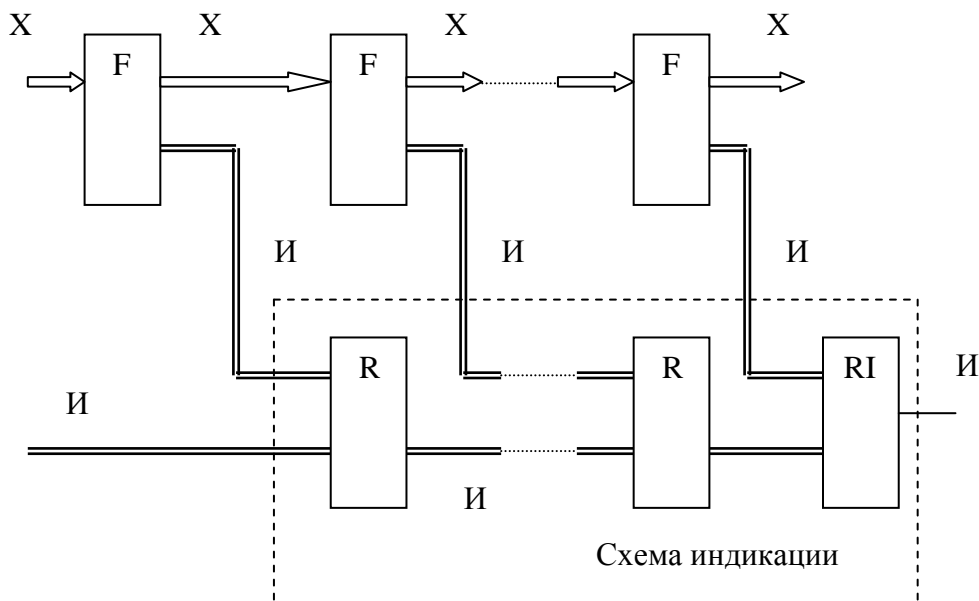


Рис.1. ССС-схема со структурно оптимизированной индикацией
 F – ярусы функциональных преобразований (информационный канал),
 R – схемы редукции в параллельном канале,
 RI – выходная схема редукции,
 X – информационные сигналы,
 И – индицирующие сигналы,

Из рис. 1 видно, что схемы редукции в параллельном канале, в зависимости от своих задержек, могут влиять или не влиять на общую задержку схемы, а выходная схема редукции дает прямой вклад в общую задержку схемы.

Перед тем, как рассматривать вопрос оптимизации схем редукции, следует определить, какие вообще могут быть схемы для этой цели.

Возможные схемы редукции

Воспользуемся методом составления и решения логических уравнений [3]. Будем исследовать СР с одним, двумя и более выходами.

Первый вариант - схема с одним выходом.

Обозначим x_i ($i = 1, \dots, n$) - входы СР, y - ее выход. По условию задачи все эти сигналы - индицирующие. Назовем *нулевым* и *единичным наборами* значения $x_i = 0$ и $x_i = 1$ ($i = 1, \dots, n$) соответственно, оба вместе - *крайними*, а *промежуточным набором* - любой набор значений входов, не относящийся к крайним.

На нулевом наборе выход СР должен быть нулем, на единичном наборе - единицей, что дает два уравнения:

$$\begin{aligned} \overline{x_1} \overline{x_2} \dots \overline{x_n} &\rightarrow y, \\ x_1 x_2 \dots x_n &\rightarrow y, \end{aligned} \quad (1)$$

где стрелка означает логическое следование (импликацию).

Покажем, что на промежуточных наборах выход СР должен иметь значение y_p , равное значению выхода на ближайшем предыдущем крайнем наборе. Предположим обратное. Это значит, что значение y_p меняется на противоположное не на крайнем, а на промежуточном наборе. Но по назначению СР такое изменение должно сигнализировать о том, что все И-сигналы x_i уже пришли к другому крайнему набору, хотя в действительности он остался промежуточным. Это противоречие доказывает утверждение.

Уравнение для промежуточных наборов поэтому выглядит так:

$$(x_1 \vee x_2 \vee \dots \vee x_n) (\overline{x_1} \vee \overline{x_2} \vee \dots \vee \overline{x_n}) \rightarrow (y = y_p). \quad (2)$$

Решая систему уравнений (1), (2) в соответствии с [3], приходим к заключению:

- 1) решение системы существует всегда,
- 2) решение единственно и имеет вид:

$$y = x_1 x_2 \dots x_n \vee (\overline{x_1} \vee \overline{x_2} \vee \dots \vee \overline{x_n}) y_p. \quad (3)$$

Это известное уравнение *гистерезисного триггера (Г-триггера)* [1].

В результате получен следующий важный вывод: существует единственный тип схемы редукции с одним выходом - Г-триггер.

Рассмотрим возможные СР с двумя выходами. Аналогично предыдущему должно быть записано три уравнения: два для крайних наборов и одно - для

промежуточных. На промежуточных наборах оба выхода должны быть, во-первых, разными - для соблюдения свойства тотальности, во-вторых, сохранять свои значения до тех пор, пока на входах не установится очередной крайний набор. Последнее условие связано с тем, что в противном случае нарушается допустимость переходов [1].

$$\begin{aligned} \overline{x_1} \overline{x_2} \dots \overline{x_n} &\rightarrow \overline{y_1} \overline{y_2}, \\ x_1 x_2 \dots x_n &\rightarrow y_1 y_2, \\ (x_1 \vee x_2 \vee \dots \vee x_n) (\overline{x_1} \vee \overline{x_2} \vee \dots \vee \overline{x_n}) &\rightarrow (y_1 = C) (y_2 = \overline{C}), \end{aligned} \quad (4)$$

где C - константа.

Решая систему (4) относительно y_1 и y_2 , заключаем, что решение существует всегда и имеет вид:

$$\begin{aligned} y_1 &= x_1 x_2 \dots x_n \vee (x_1 \vee x_2 \vee \dots \vee x_n) \overline{C}, \\ y_2 &= x_1 x_2 \dots x_n \vee (x_1 \vee x_2 \vee \dots \vee x_n) C. \end{aligned} \quad (5)$$

Придавая C различные значения, можно получить различные варианты схем.

Анализ (5) показывает, что все варианты, имеющие смысл в данном контексте, сводятся к двум.

1) Вариант $C = y_{1p} = y_{2p}$, где индекс p указывает на предыдущий крайний набор. Тогда первое решение в (5) совпадает с Γ -триггером, а второе определяет некий «упреждающий» триггер. Практически реализация второго решения бессмысленна, так как первое уже решает задачу. Данный вариант в результате приводится к полученной ранее СР с одним выходом.

2) Вариант $C = 0$ (или, в силу симметрии задачи, $C = 1$) дает существенно другие решения:

$$\begin{aligned} y_1 &= x_1 x_2 \dots x_n, \\ y_2 &= x_1 \vee x_2 \vee \dots \vee x_n. \end{aligned} \quad (6)$$

Это уравнения схемы, названной в [1] *схемой параллельного сжатия* (СПС). Очевидно, что вместо функций И и ИЛИ в СПС можно использовать многовыходовые функции И-НЕ и ИЛИ-НЕ.

Таким образом, существует только одна СР с двумя выходами, не сводимая к Γ -триггерам, - СПС.

Рассмотрим СР с тремя и более выходами. Уравнения для крайних наборов запишутся подобно (4). В уравнении для промежуточных наборов, как уже указывалось, выходные переменные должны быть приравнены константам. Но констант в двоичной логике всего две: 0 и 1. Поэтому на промежуточных наборах можно сделать разными только две выходные переменные, остальные будут неизбежно повторять какую-либо одну из них. Следовательно, может быть не более двух разных решений для выходных переменных, и случай с тремя и более выходами сводится к двум рассмотренным выше.

Сказанное позволяет сделать такой окончательный вывод: существует только два типа схем редукции: Г-триггеры и СПС.

На рис. 2 показаны примеры реализации таких схем.

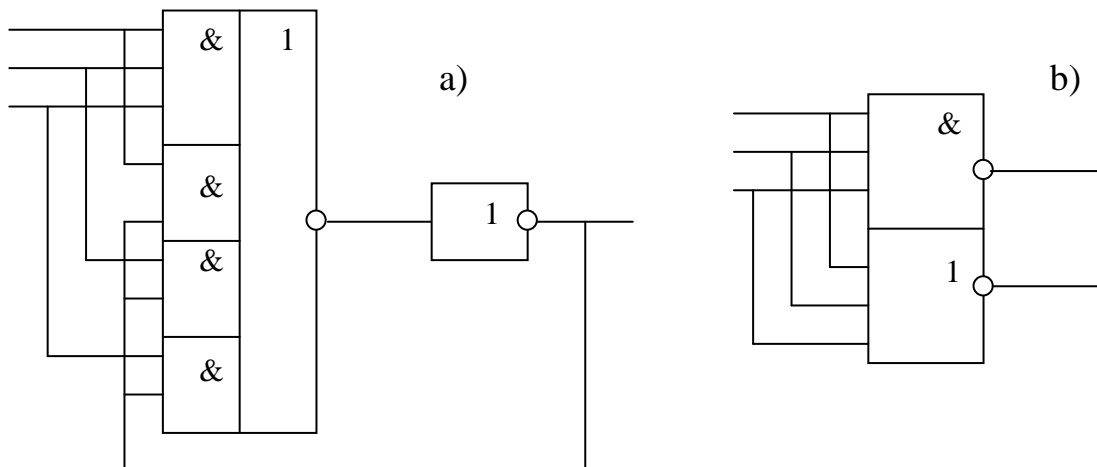


Рис.2. Примеры двух возможных типов схем редукции: Г-триггер (а) и СПС (б)

Каскадные схемы редукции.

Будем рассматривать далее схемы КМДП-технологии.

Назовём *редуктором* элементарную СР, то есть СР, состоящую не более, чем из двух базовых элементов (вентилей).

Из-за влияния паразитных емкостей число входов практических редукторов не превышает четырёх. Поэтому всякая СР с большим числом входов будет состоять из каскадного соединения редукторов с уменьшением общего числа выходных И-сигналов вплоть до одного.

Пусть имеется однородная (состоящая из редукторов одного типа) схема СР, включающая L каскадов, каждый из которых имеет коэффициент редукции k_i ($i = 1, \dots, L$). Уменьшение по всем каскадам равно:

$$K = k_1 k_2 \dots k_L \quad (7)$$

Будем оценивать быстрдействие вентиля с помощью относительной задержки $\tau = t / RC_n$, где t – задержка вентиля, R – сопротивление открытого транзистора, C_n – ёмкость нагрузки вентиля. Относительную задержку вентиля (без учёта паразитных емкостей) можно просто выразить через индекс задержки (ИЗ) I – число последовательно соединённых транзисторов в цепи перезаряда нагрузки [4]: $\tau = I$.

Для обобщения формул введём структурный параметр S , учитывающий тип редуктора: $S = 1$ для Г-триггера, $S = 2$ для СПС. Тогда связь между коэффициентом редукции и ИЗ в каскаде будет иметь вид: $I_i = S k_i$.

С учётом того, что Г-триггер состоит из последовательно соединённых вентилях, а СПС – нет, общая относительная задержка СР равна:

$$T = \sum_{i=1}^L \tau_i = S \sum_{i=1}^L k_i + (2 - S) L. \quad (8)$$

Оптимизация быстродействия

Задача ставится следующим образом: определить, при каких условиях задержка СР (8) минимальна, если задан постоянный коэффициент снижения И-сигналов (7).

Решая задачу относительно k_i , с помощью множителя Лагранжа, найдём, что минимум достигается при $k_i = k$, то есть коэффициенты редукиции во всех каскадах должны быть одинаковыми. Тогда $K = k^L$. Представим теперь (8) в виде:

$$T = \frac{\ln K}{\ln k} (S k + 2 - S) \quad (9)$$

Выражение (9) имеет минимум по k . Этот минимум достигается при следующих значениях:

$$\begin{aligned} k &= e = 2.72 \text{ для СПС,} \\ k &= 3.59 \text{ для Г-триггера.} \end{aligned} \quad (10)$$

Заметим, что коэффициент редукиции для СПС ограничен числом 2, так как при этом число входов её вентилях уже достигает четырёх. Кроме того, СР, построенная только на СПС, доводит конечное число И-сигналов до двух, и требуется ещё дополнительный Г-триггер, чтобы получить один И-сигнал на выходе.

Сделаем сравнение СР с различными параметрами на нескольких примерах. Пусть требуется редуцировать N И-сигналов до одного. В Табл. 1 приведены относительные задержки вариантов реализаций СР.

Табл. 1. Относительные задержки схем редукиции

| Вариант СР | $N = 16$ | $N = 32$ | $N = 64$ |
|-----------------------------------|----------|----------|----------|
| СПС + конечный Г-триггер, $k = 2$ | 15 | 19 | 23 |
| Г-триггер, $k = 2$ | 12 | 15 | 18 |
| Г-триггер, $k = 3$ | 11 | 13 | 16 |
| Г-триггер, $k = 4$ | 10 | 13 | 15 |

Учитывая, что паразитные ёмкости сильнее влияют на задержку Г-триггера с $k = 4$, чем с $k = 3$, можно сделать такой вывод. Оптимальными по быстродействию будут СР, выполненные на Г-триггерах с $k = 3$ или $k = 4$ (значения, ближайšie к оптимальному).

Оптимизация затрат в транзисторах

Определим условия минимальности числа транзисторов в СР.

Пусть необходимо редуцировать N И-сигналов до одного и СР состоит из одинаковых редукторов с коэффициентом k . Оценивать затраты будем величиной *удельных затрат редукации* Z - числом транзисторов на один входной И-сигнал.

Обозначим z_p – число транзисторов в одном редукторе, n - число входов одного редуктора, M - число редукторов. Отметим, что для СПС $n=2k$, а для Г-триггеров $n=k$.

Общие затраты на редукацию составят:

$$Z N = M z_p + D, \quad (11)$$

где D - поправка, учитывающая реализацию схемы. Она появляется при нарушении однородности СР, когда приходится использовать редуктор с отличающимися от остальных параметрами. Например, в схеме на СПС конечным редуктором должен быть Г-триггер. Поскольку нарушений обычно мало, D не превышает нескольких единиц.

Число редукторов является суммой геометрической прогрессии:

$$M = \sum_{i=1}^L N / (n r^i) = \frac{Nk - 1}{n(k - 1)}. \quad (12)$$

Подставляя это выражение в (11), найдем:

$$Z = \frac{kz_p}{n(k - 1)} + \frac{1}{N} \left(D - \frac{z_p}{n(k - 1)} \right). \quad (13)$$

Таким образом, удельные затраты на индикацию определяются в основном параметрами применяемого редуктора. Назовем *затратным показателем редуктора* (ЗПР) величину

$$Q_p = \frac{kz_p}{n(k - 1)}. \quad (14)$$

Она является асимптотической, для больших N , оценкой удельных затрат на индикацию. С помощью ЗПР удобно также сравнивать редукторы между собой - чем меньше этот показатель, тем эффективнее редуктор.

С точки зрения затрат имеют значение две реализации Г-триггера: на обычных вентилях и на элементах с внутренним 3-м состоянием [5]. Вторую обозначим как ГЗ-триггер. Эту реализацию в литературе часто называют С-элементом.

В Табл. 2 приведены величины ЗПР для различных редукторов.

Табл. 2. Затратные показатели редукторов

| Число входов n | СПС | Г-триггер | ГЗ-триггер |
|----------------|-----|-----------|------------|
| 2 | - | 12 | 8 |
| 3 | 12 | 6 | 5 |
| 4 | 8 | 6.7 | 4 |

Расчёты конкретных СР показывают, что при $N \geq 16$ ЗПР (14) оценивает сверху удельные затраты на редукцию с погрешностью не более 6.25 %.

При сравнении ЗПР видно, что СПС проигрывает по эффективности Г-триггерам, а наилучшим редуктором для СР является схема Г-триггера с внутренним 3-м состоянием.

Заключение

Схемы индикации, понижающие число И-сигналов при соблюдении условия тотальности, вносят существенный вклад в общую задержку ССС-схем и их затраты в транзисторах и потому требуют оптимизации.

Существует всего два функциональных типа схем редукции – схемы параллельного сжатия и Г-триггеры.

Проведённая оптимизация показывает, что как по быстродействию, так и по затратам в транзисторах Г-триггеры более эффективны, чем СПС.

ЛИТЕРАТУРА

1. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под ред. В.И.Варшавского. – М.: Наука, 1986. - 398с.
2. Филин А.В., Степченков Ю.А. Компьютеры без синхронизации. // Системы и средства информатики. Вып. 9. – М.: Наука, 1999. – С. 247-261.
3. Плеханов Л.П. Логические уравнения в разработке цифровых микроэлектронных устройств. // Электронная техника. Сер.10. Микроэлектронные устройства, вып.5 (77), 1989, с.25-28.
4. Кармазинский А.Н. Методы синтеза и средства композиционного проектирования элементов быстродействующих цифровых КМДП микросхем. // Диссертация на соискание учёной степени доктора технических наук. Москва, МИФИ, 1990.
5. Плеханов Л.П. Базовые элементы самосинхронных схем КМДП-технологии. // Системы и средства информатики. Вып. 11. – М.: Наука, 2001. – С. 316-320.