

Информатика и её применения

Том 14 Выпуск 4 Год 2020

СОДЕРЖАНИЕ

О вероятностных оценках достоверности эмпирических выводов А. А. Грушо, М. И. Забежайло, Д. В. Смирнов, Е. Е. Тимонина	3
Влияние параметров изоляции на разделение ресурсов при нарезке сети Ф. А. Москалева, Ю. В. Гайдамака, В. С. Шоргин	9
Система массового обслуживания с орбитами для анализа совместного обслуживания трафика с малыми задержками URLLC и широкополосного доступа eMBB в беспроводных сетях пятого поколения П. А. Харин, Е. Д. Макеева, И. А. Кочеткова, Д. В. Ефросинин, С. Я. Шоргин	17
Стационарные характеристики системы Geo/G/1/∞ с неординарным входящим потоком, управляющим размером очереди С. И. Матюшенко, Р. В. Разумчик	25
О распределении отношения суммы элементов выборки, превосходящих некоторый порог, к сумме всех элементов выборки. II В. Ю. Королев	33
О марковских и рациональных потоках случайных событий. II В. А. Наумов, К. Е. Самуйлов	37
Методы детерминированных и рандомизированных энтропийных проекций для редукции размерности матрицы данных Ю. С. Попков, А. Ю. Попков, Ю. А. Дубнов	47
Оптимизация структуры сетей глубокого обучения М. С. Потанин, К. О. Вайсер, В. А. Жолобов, В. В. Стрижов	55
Повышение сбоеустойчивости самосинхронных схем И. А. Соколов, Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский	63
Об одном подходе к формированию в условиях высокой неопределенности маркеров конфиденциальности в системах интенсивного использования данных В. И. Будзко, В. В. Ядринцев, И. В. Соченков, В. И. Королёв, В. Г. Беленков	69
Метод визуального представления конфликтов в гибридных интеллектуальных многоагентных системах С. Б. Румовская, И. А. Кириков	77
Оценка стоимости опционов на основе моделей ARIMA-GARCH с ошибками, распределенными по закону S_U Джонсона А. Р. Данилишин, Д. Ю. Голембиовский	83

ПОВЫШЕНИЕ СБОЕУСТОЙЧИВОСТИ САМОСИНХРОННЫХ СХЕМ*

И. А. Соколов¹, Ю. А. Степченков², Ю. Г. Дьяченко³, Ю. В. Рождественский⁴

Аннотация: Анализируется проблема устойчивости самосинхронных (СС) схем, изготовленных по технологии комплементарный металл–диэлектрик–полупроводник (КМДП), к кратковременным логическим сбоям (ЛС), генерируемым внешними воздействиями: ядерными частицами, космическими лучами, электромагнитными наводками. Практические СС-схемы реализуются в виде конвейера с запрос-ответным взаимодействием между его ступенями и двухфазной дисциплиной работы с чередованием рабочей фазы и спейсера. Комбинационная часть ступени конвейера использует парафазное со спейсером кодирование информационных сигналов. Индикаторная подсхема ступени конвейера подтверждает окончание переключения всех элементов ступени, возбужденных в текущей фазе работы, и формирует сигналы управления запрос-ответным взаимодействием ступеней конвейера. Рассмотрены физические причины появления ЛС и проанализированы типы сбоев, возможных в КМДП-СС-схемах с проектными нормами 65 нм и ниже. Сравниваются характеристики сбоеустойчивости разных вариантов СС-регистров хранения. Предлагаются схемотехнические и топологические методы повышения сбоеустойчивости СС-конвейера. Даются оценки сбоеустойчивости СС-конвейера в зависимости от места появления ЛС.

Ключевые слова: самосинхронная схема; сбоеустойчивость; конвейер; рабочая фаза; спейсер

DOI: 10.14357/19922264200409

1 Введение

Широкое использование цифровых микросхем в условиях неблагоприятной радиационной обстановки и переход к субмикронным технологиям их изготовления сделали актуальной задачу повышения устойчивости цифровых микросхем к ЛС. Логический сбой — это изменение уровня сигнала в узле схемы из-за кратковременной причины — пролета через тело полупроводника микросхемы одинокой ядерной частицы (ЯЧ), мощного электромагнитного импульса, сильной помехи по шинам питания или по сигнальным линиям и т. д.

В комбинационных схемах, находящихся в статическом состоянии, ЛС прекращается сам собой по окончании действия физической причины его появления. Но в конвейерных синхронных схемах даже кратковременный ЛС может успеть записаться в выходной регистр и испортить результат обработки данных. Повышение быстродействия цифровых схем усугубляет эту проблему.

Элементы с памятью (триггеры, ячейки памяти) более чувствительны к ЛС, поскольку ЛС в них может инвертировать хранимый бит данных, который самостоятельно не восстановится после исчезновения причины сбоя.

Самосинхронные схемы [1] обладают высокой устойчивостью к ЛС [2] за счет избыточного кодирования информационных сигналов и запрос-ответной дисциплины взаимодействия функциональных СС-блоков. Однако индикаторная часть СС-схем традиционно реализуется на элементах с памятью — гистерезисном триггере (Г-триггере [1]). Кроме того, практические СС-схемы имеют конвейерную реализацию, аналогично синхронным аналогам, с регистром в каждой ступени конвейера. В результате уровень сбоеустойчивости СС-схем зависит и от устойчивости к ЛС Г-триггера и разряда регистра хранения данных. Поэтому задача повышения устойчивости СС-конвейера к кратковременным одиночным ЛС является актуальной.

Данная статья анализирует естественную сбоеустойчивость СС-конвейера в КМДП-базисе с проектными нормами не более 65 нм и предлагает схемотехнические методы ее повышения.

2 Типы логических сбоев в самосинхронных схемах

Физической причиной ЛС в КМДП-схемах служит индуцирование избыточных носителей заряда

* Исследование выполнено при финансовой поддержке Минобрнауки (проект 075-15-2020-799).

¹Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ISokolov@ipiran.ru

²Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

³Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru

⁴Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

Таблица 1 Возможные изменения ПФС сигнала из-за ЛС

№ п/п	Спейсер «00»		Спейсер «11»	
	До ЛС	После ЛС	До ЛС	После ЛС
1	00	01	11	01
2	00	10	11	10
3	00	11	11	00
4	01	11	01	00
5	10	11	10	00
6	01	00	01	11
7	10	00	10	11

(электронно-дырочных пар) в теле полупроводника и сигнальных трассах из-за внешнего воздействия или сильных помех. Под действием электрического поля электроны и дырки в полупроводнике разлетаются в противоположных направлениях, порождая ток ионизации (ТИ) в узле схемы. В первом приближении импульс ТИ описывается формулой [3]:

$$I_{ТИ}(t) = \frac{Qk}{\tau_{сп} - \tau_{н}} \left(e^{-t/\tau_{сп}} - e^{-t/\tau_{н}} \right),$$

где Q — интегральный заряд, образовавшийся в объеме полупроводника; $\tau_{н}$ и $\tau_{сп}$ — постоянные времени нарастания и спада импульса ТИ; k — коэффициент, характеризующий часть общего заряда Q , попавшего в данный узел схемы. Интегральный заряд Q оценивается по формуле:

$$Q = \frac{q\rho L_{тр}\theta LET}{E_{eh}},$$

где q — заряд электрона; ρ — плотность полупроводника; $L_{тр}$ — длина трека ЯЧ в полупроводнике; θ — угол падения частицы; LET — потери энергии частицы; E_{eh} — энергия образования электронно-дырочной пары.

В наихудшем случае ТИ приводит к кратковременной инверсии логического уровня на выходе сбойного элемента на время рассасывания заряда Q , но следующая часть СС-схемы может воспринять ЛС и зафиксировать в регистре.

Сильные помехи по сигнальным линиям и шинам питания и земли за счет паразитных емкостных связей наводят положительные или отрицательные импульсы напряжения на соседние трассы. При определенных условиях (амплитуде помехи, соотношении паразитных емкостей трасс-«агрессоров» и трассы-«жертвы») перепад напряжения может инвертировать логический уровень на трассе-«жертве».

В комбинационных СС-схемах информационные сигналы представлены в парафазном коде со спейсером [1]. Парафазный сигнал (ПФС) формируется парой дуальных логических ячеек. В работе [2] было показано, что в СС-схемах, изготовленных по объемной КМДП-технологии с проектными нормами 65 нм и ниже, при надлежащем размещении в топологии дуальных ячеек и трасс ПФС ЛС может привести к изменению текущего состояния ПФС с нулевым («00») или единичным («11») спейсером в соответствии с табл. 1.

Однако свойства СС-схем и индикация состояния, инверсного спейсера (антиспейсера, АС), как второго спейсера [2] маскируют часть ЛС.

3 Сбоеустойчивость самосинхронных схем

Вероятность распространения ЛС в СС-схеме зависит от ряда факторов: типа ЛС; текущей фазы (рабочая фаза или спейсер); времени появления ЛС до момента срабатывания индикаторных выходов схемы; маскирования сбойного ПФС остальными сигналами СС-схемы; длительности ЛС; места появления ЛС.

На практике СС-схемы реализуются в виде конвейера, пример которого показан на рис. 1. Здесь Ст1, Ст2 и Ст3 — ступени конвейера; Г — Г-триггер, формирующий фазовый сигнал управления регистром.

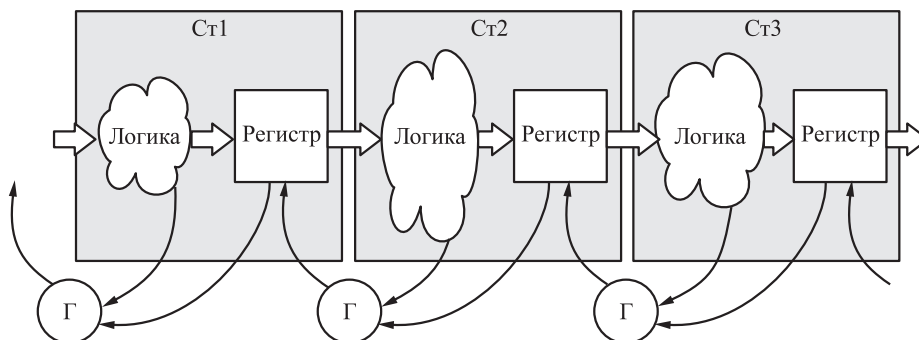


Рис. 1 Схема СС-конвейера

Вероятность распространения кратковременного одиночного ЛС в СС-конвейере в первом приближении рассчитывается по формуле:

$$P_{\text{ЛС}} = P_{\text{РФ}} [(P_{\text{вх}}P_{\text{зн1}} + P_{4-7}P_{\text{зн2}}) P_{\text{ЗР1}} + P_{\text{И1}}] + P_{\text{СФ}} [(P_{\text{вх}}P_{\text{зн3}} + P_{1-3}P_{\text{зн4}}) P_{\text{ЗР2}} + P_{\text{И2}}], \quad (1)$$

где $P_{\text{РФ}}$ и $P_{\text{СФ}}$ — вероятности пребывания СС-схемы в рабочей фазе и в спейсере в момент появления ЛС; $P_{\text{вх}}$ — вероятность того, что данный ЛС появился в выходном регистре предыдущей ступени; $P_{\text{ЗР1}}, \dots, P_{\text{ЗР4}}$ — вероятности того, что данный ЛС не будет замаскирован логикой ступени; P_{1-3} и P_{4-7} — вероятности принадлежности ЛС к типам 1–3 или 4–7 из табл. 1 соответственно; $P_{\text{ЗР1}}$ и $P_{\text{ЗР2}}$ — вероятности записи ЛС в выходной регистр ступени; $P_{\text{И1}}$ и $P_{\text{И2}}$ — вероятности того, что данный ЛС появился в индикаторной части ступени.

Формула (1) дает оценку сверху. Она учитывает вклад трех частей ступени СС-конвейера: комбинационной части (КЧ), индикаторной части (ИЧ) и выходного регистра (ВР), — но не учитывает времени появления ЛС в рабочем цикле СС-схемы и соотношений длительностей ЛС, рабочей и спейсерной фаз разных ступеней конвейера.

Сбоеустойчивость СС-конвейера зависит от сбоеустойчивости всех его частей: КЧ, ИЧ и ВР. Рассмотрим каждую из них, оценивая их устойчивость с помощью вероятностного подхода [2]. Критическими считаются ЛС, приводящие к искажению обрабатываемых данных или остановке конвейера.

3.1 Комбинационная часть ступени самосинхронного конвейера

Анализ влияния одиночного кратковременного ЛС, возникшего в КЧ ступени СС-конвейера, на работоспособность конвейера показал, что благодаря двухфазной дисциплине работы, парафазному со спейсером кодированию информационных сигналов и индикации окончания переключения всех элементов схемы, возбужденных на данной фазе, КЧ конвейера устойчива к 85,5% ЛС [2]. Схематические и топологические методы, предложенные в работе [2], повышают устойчивость КЧ СС-конвейера к одиночным ЛС, приведенным в табл. 1, до уровня 98,9% при условии индикации АС как второго спейсера.

3.2 Регистр ступени самосинхронного конвейера

В СС-конвейерах с ПФС разряд регистра ступени традиционно реализуется на двух Г-триггерах

и индикаторном элементе [4], обеспечивая хранение рабочего состояния и спейсера ПФС при минимальных аппаратных затратах. Но такая реализация обладает низкой сбоеустойчивостью.

Возможные варианты разряда СС-регистра хранения представлены на рис. 2. Все они имеют парафазные вход (R, S) и выход (Q, QV) с нулевым спейсером, сигнал разрешения записи (E), регулирующий фазовые переходы регистра, и индикаторный выход (I). Рисунок 3 иллюстрирует реализацию Г-триггера G12AT (из разряда регистра на рис. 2, ж) с нулевым спейсером [5], устойчивого к АС на входе.

Таблица 2 содержит оценки устойчивости разрядов СС-регистра хранения, приведенных на рис. 2, к ЛС из табл. 1 и показатели сложности их реализации в КМДП-транзисторах. Сравнение характеристик вариантов разряда СС-регистра хранения показывает, что максимально защищенным от ЛС оказывается разряд вида рис. 2, а. Наилучшим отношением показателя сбоеустойчивости к сложности реализации обладает разряд вида рис. 2, ж.

Таким образом, классический Г-триггер не рекомендуется использовать для реализации разряда регистра СС-конвейера, предназначенного для эксплуатации в условиях активных неблагоприятных внешних воздействий.

3.3 Индикаторная часть ступени самосинхронного конвейера

Индикаторная часть — наиболее чувствительная часть СС-конвейера. Критическая ситуация возможна при преждевременном переключении Г-триггера, формирующего сигнал управления регистром ступени. В результате регистр может раньше времени перейти в спейсер (рабочее состояние) и тем самым помешать правильному переключению следующей ступени конвейера.

Однако использование сбоеустойчивой DICE-подобной реализации Г-триггеров [2] обеспечивает их абсолютную устойчивость к ЛС, указанным в табл. 1, и предотвращает появление критической ситуации в конвейере. В результате ЛС может привести лишь к временной приостановке конвейера: по окончании ЛС конвейер продолжит нормальную работу.

3.4 Общая сбоеустойчивость самосинхронного конвейера

В реальных СС-схемах КЧ ступени конвейера обычно имеет площадь топологической реализации в несколько раз больше, чем регистр ступени. Пусть, например, это соотношение равно двум. Площадь ИЧ также меньше площади КЧ примерно

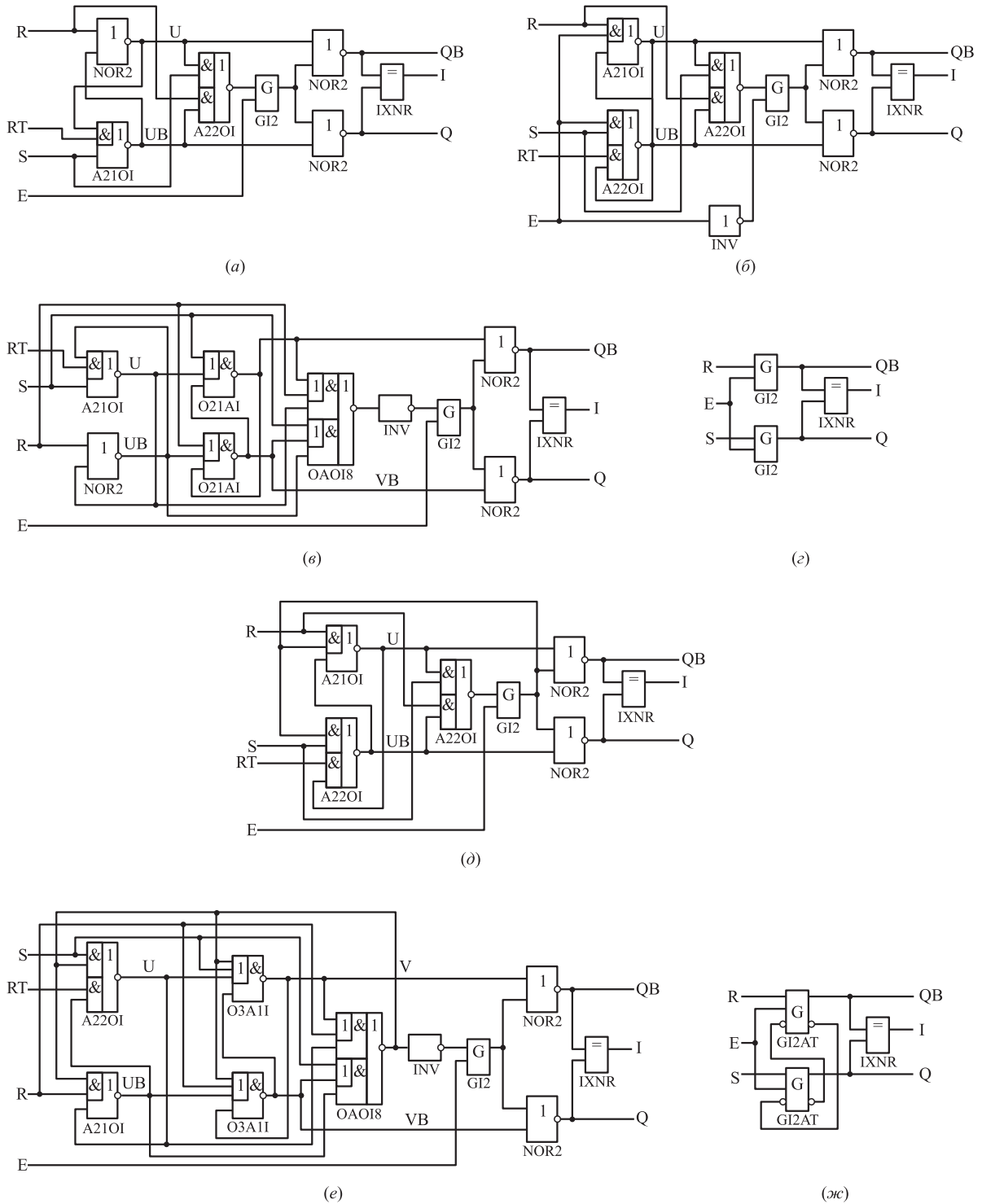


Рис. 2 Варианты сбоеустойчивого разряда регистра СС-конвейера

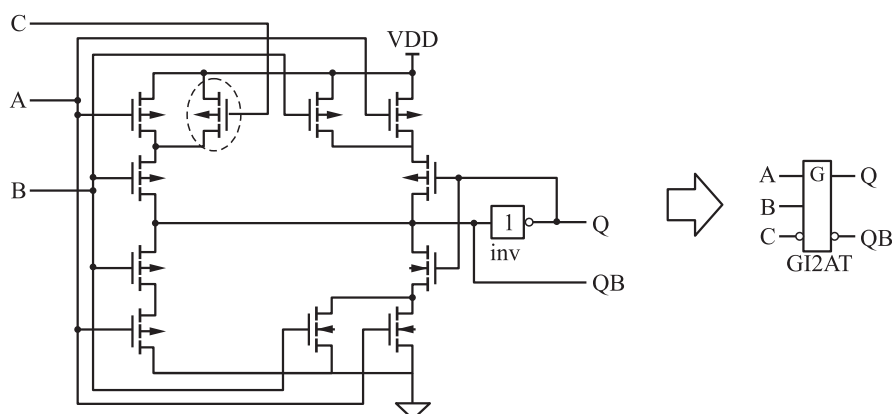


Рис. 3 Схема Г-триггера, защищенного от АС на входе

Таблица 2 Вероятность внесения ошибки в обрабатываемые данные из-за ЛС в ступени конвейера

№ п/п	Тип разряда регистра	Устойчивость к ЛС, %			Число транзисторов
		В КЧ	В регистре	Общая	
1	Рис. 2, а	98,76	93,62	97,78	44
2	Рис. 2, б	97,66	96,27	98,04	54
3	Рис. 2, в	89,84	89,99	92,42	62
4	Рис. 2, г	86,36	58,59	82,83	30
5	Рис. 2, д	97,92	94,53	97,59	48
6	Рис. 2, е	98,18	92,43	97,20	70
7	Рис. 2, ж	97,88	91,41	96,76	32

в 2 раза. Тогда при равномерном распределении сбоев по площади СБИС вероятность их появления в КЧ в 2 раза больше вероятности их появления в регистре и ИЧ. С учетом отсутствия критических ситуаций при ЛС в ИЧ вероятность распространения ЛС по СС-конвейеру для разных вариантов реализации разряда регистра будет соответствовать результатам, приведенным в табл. 2 в графе «общая устойчивость».

4 Заключение

Индикация антиспейсера ПФС как второго спейсера и использование DICE-подобного Г-триггера с «самолечением» АС обеспечивают существенное повышение сбоеустойчивости комбинационной и индикаторной частей СС-конвейера.

Классический вариант разряда регистра СС-конвейера на обычных Г-триггерах имеет сравнительно низкую сбоеустойчивость — на уровне 83%.

Наилучшую сбоеустойчивость по отношению к кратковременным одиночным ЛС демонстрирует вариант СС-конвейера, регистр в котором реализуется на одноканальном RS-триггере с разрешени-

ем записи. Он устойчив к 98% ЛС в ступени конвейера.

Литература

1. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent hardware: The theory and practice of self-timed design. — New York, NY, USA: J. Wiley & Sons, 1994. 368 p.
2. Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors // Advances Science Technology Engineering Systems J., 2020. Vol. 5. Iss. 2. P. 44–56.
3. Nicolaidis M. Soft errors in modern electronic systems. — New York, NY, USA: Springer, 2011. 316 p.
4. Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченко Д. Ю., Рождественская А. В., Сурков А. В. Самосинхронный умножитель с накоплением: варианты реализации // Системы и средства информатики, 2014. Т. 24. № 3. С. 63–77.
5. Соколов И. А., Захаров В. Н., Степченко Ю. А., Дьяченко Ю. Г. Устройство сбоеустойчивого разряда самосинхронного регистра хранения: Заявка на изобретение № 2020140031 от 28.02.20.

Поступила в редакцию 13.03.2020

IMPROVEMENT OF SELF-TIMED CIRCUIT SOFT ERROR TOLERANCE

I. A. Sokolov, Yu. A. Stepchenkov, Yu. G. Diachenko, and Yu. V. Rogdestvenski

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

Abstract: The paper considers a tolerance of self-timed (ST) circuits fabricated with complementary metal–oxide–semiconductor (CMOS) process to short-term soft errors generated by external causes, namely, nuclear particles, cosmic rays, electromagnetic pulses, and noises. Pipeline implementation is usual for practical ST-circuits. Its control bases on handshake between pipeline stages and two-phase operation discipline with a sequence of the working phase and spacer one. Combinational part of the pipeline stage uses dual-rail information signal coding with a spacer. The pipeline stage indication part acknowledges a switching completion of all stage cells, fired at the current operation phase, and generates handshake signals in ST-pipeline stages control. The paper discusses the physical causes of the short-term soft errors. It analyzes soft error types that may appear in CMOS ST-circuits fabricated with 65-nanometer and below standard bulk process. The tolerance level of the proposed soft error hardened ST-register bits is discussed and compared. The paper suggests circuitry and layout techniques improving ST-pipeline soft error tolerance and estimates soft error immunity level for all pipeline parts depending on soft error location.

Keywords: self-timed circuit; tolerance; pipeline; working phase; spacer

DOI: 10.14357/19922264200409

Acknowledgments

The research was supported by the Ministry of Science and Higher Education of the Russian Federation, project No. 075-15-2020-799.

References

1. Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. *Concurrent hardware: The theory and practice of self-timed design*. New York, NY: J. Wiley & Sons. 368 p.
2. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances Science Technology Engineering Systems J.* 5(2):44–56.
3. Nicolaidis, M. 2011. *Soft errors in modern electronic systems*. New York, NY: Springer. 316 p.
4. Stepchenkov, Y., Y. Diachenko, Y. Rogdestvenski, N. Morozov, D. Stepchenkov, A. Rogdestvenskene, and A. Surkov. 2014. Samosinkhronny umnozhitel' s nakopleniem: varianty realizatsii [Self-timed fused multiply-add unit: Implementation variants]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 24(3):63–77.
5. Sokolov, I. A., V. N. Zakharov, Yu. A. Stepchenkov, and Yu. G. Diachenko. 2020. Ustroystvo sboeustoychivogo razryada samosinkhronnogo registra khraneniya [Fault-tolerance bit device for self-timed storage register]. Application for Patent RF No. 2020140031.

Received March 13, 2020

Contributors

Sokolov Igor A. (b. 1954) — Doctor of Science in technology, Academician of RAS, director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; isokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44- 2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru