

## УСТОЙЧИВОСТЬ САМОСИНХРОННЫХ КОМБИНАЦИОННЫХ СХЕМ К КРАТКОВРЕМЕННЫМ ЛОГИЧЕСКИМ СБОЯМ\*

*Ю. А. Степченко<sup>1</sup>, Ю. Г. Дьяченко<sup>2</sup>, Ю. В. Рождественский<sup>3</sup>,  
Н. В. Морозов<sup>4</sup>, Д. Ю. Степченко<sup>5</sup>, Д. Ю. Дьяченко<sup>6</sup>*

**Аннотация:** Рассматривается вопрос устойчивости самосинхронных (СС) комбинационных схем, изготовленных по технологии комплементарный металл – диэлектрик – полупроводник (КМДП), к кратковременным логическим сбоям (ЛС), вызываемым внешними причинами или внутренними помехами, не приводящими к разрушению полупроводниковых структур. Обсуждаются последствия воздействия физических причин, приводящих к ЛС в микросхеме, изготовленной по КМДП-технологии с проектными нормами 65 нм и ниже. Введена классификация ЛС в СС комбинационных КМДП-схемах в зависимости от времени их появления и типа сбоя. Самосинхронные схемы имеют более высокую степень устойчивости к кратковременным ЛС, чем их синхронные аналоги, благодаря двухфазной дисциплине работы, запрос-ответному взаимодействию и парафазному кодированию информационных сигналов. Предложены схемотехнические и топологические методы, обеспечивающие снижение чувствительности СС комбинационных КМДП-схем к логическим сбоям за счет гарантированного отсутствия биполярного влияния источника ЛС на элементы, формирующие парафазные сигналы, и на их трассы в топологии схемы.

**Ключевые слова:** самосинхронная схема; логический сбой; сбоеустойчивость; КМДП; рабочая фаза; спейсер; топология

**DOI:** 10.14357/08696527200201

### 1 Введение

Широкое использование интегральных КМДП-микросхем в аппаратуре, работающей в условиях воздействия неблагоприятных факторов и при ограни-

---

\* Исследование выполнено за счет гранта Российского научного фонда (проект 19-11-00334).

<sup>1</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

<sup>2</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaura@mail.ru

<sup>3</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

<sup>4</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

<sup>5</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, stepchenkov@mail.ru

<sup>6</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaden87@gmail.com

ченном напряжении питания, ставит задачу обеспечения их надежности и сбоек устойчивости. Неблагоприятные факторы способны вызвать критический ЛС в комбинационной схеме. Поэтому задача анализа появления и распространения ЛС в цифровых схемах является актуальной.

В синхронных схемах даже кратковременное изменение сигнала, произошедшее непосредственно перед активным фронтом тактового импульса, с большой вероятностью запишется в регистр и испортит данные. Самосинхронные схемы [1, 2] способны детектировать появление ЛС и в большинстве случаев либо замаскировать его, либо приостановить обработку данных до его окончания.

В данной статье рассматривается проблема сбоек устойчивости комбинационных цифровых СС-схем, изготовленных по современной КМДП-технологии с проектными нормами 65 нм и ниже, и предлагаются способы их защиты от кратковременных ЛС.

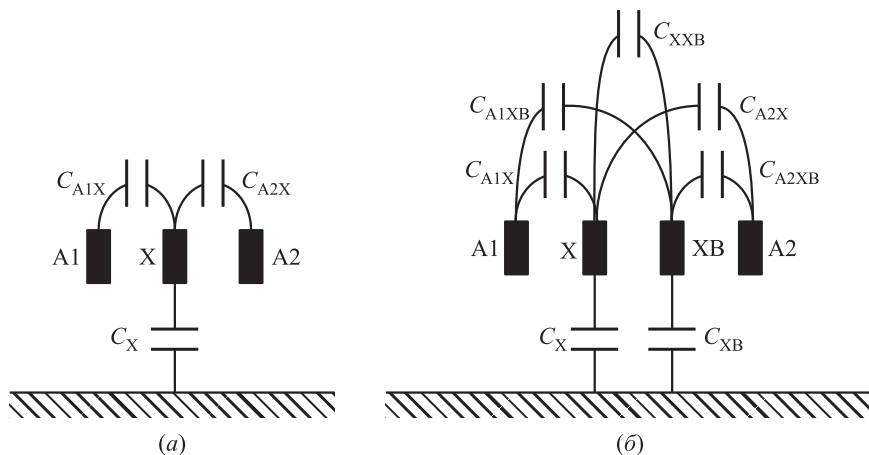
## 2 Типы логических сбоек в комбинационных самосинхронных схемах

Рассматриваемые СС-схемы используют парафазное со спейсером (ПФС) кодирование сигналов и строго соблюдают принцип запрос-ответного взаимодействия соседних в тракте обработки информации СС функциональных блоков. Любую СС-схему можно структурно разделить на две части: информационную, реализующую алгоритм обработки данных, и индикаторную, подтверждающую окончание переключения информационной части в текущую фазу работы. Появление ЛС в этих частях СС-схемы по-разному влияет на работоспособность СС-схемы.

### 2.1 Механизмы появления логических сбоек в КМДП-схемах

Существуют два основных механизма возникновения ЛС: ионизационный [3] и емкостной [4]. Ионизационный механизм запускается ядерной частицей или космическим лучом, проникающим в полупроводник. Пролет ядерной частицы через тело полупроводника вызывает импульсный ток ионизации длительностью  $10^{-11}$ – $10^{-8}$  с [5] и может вызвать сбойное переключение элементов схемы.

Второй источник ЛС — наводки через паразитную емкостную связь трасс межсоединений и шин питания и «земли» в топологической реализации КМДП БИС (больших интегральных схем). Рисунок 1 демонстрирует упрощенную модель перекрестных наводок для унарного сигнала X [4] и ПФС-сигнала (X, XB). Трасса-«жертва» унарного сигнала X связана паразитными емкостями  $C_{A1X}$  и  $C_{A2X}$  с соседними трассами-«агрессорами» A1 и A2 и паразитной емкостью  $C_X$  — с подложкой (рис. 1, a). В наихудшем случае, при одновременном переключении трасс-«агрессоров» в одном направлении, на трассе-«жертве» индуцируется импульс напряжения, амплитуда которого пропорциональна отношению  $(C_{A1X} + C_{A2X}) / (C_{A1X} + C_{A2X} + C_X)$ . Его длительность зависит от длительности фронта (спада) сигналов на трассах-«агрессорах» и нагрузочной



**Рис. 1** Модель перекрестных наводок для унарного сигнала (а) и ПФС-сигнала (б)

способности драйвера сигнала X. Обычно она меньше длительности ЛС, вызванного ионизационным механизмом.

Если компоненты одного ПФС-сигнала имеют разных соседей, то в наихудшем случае возможно одновременное появление на них импульсов напряжения разной полярности. Это может вызвать переключение атакованного ПФС-сигнала из корректного рабочего состояния (КРС) в противоположное — сбойное рабочее состояние (СРС).

Аналогичным образом действуют источники глобальных наводок: шумы по шинам питания и земли, шум по подложке, электромагнитный импульс от внешнего источника. Однако они, как правило, симметрично влияют на оба компонента ПФС-сигнала. В результате ПФС-сигнал из КРС может переключиться только в спейсер или его инверсию — антиспейсер (АС).

Из-за меньшей длительности наводки через паразитную емкостную связь менее опасны, чем сбой, вызванные ядерной частицей или космическими лучами. Но частота их появления сравнима с частотой работы схемы, поэтому они не менее важны.

## 2.2 Классификация логических сбоев в комбинационных самосинхронных схемах

Все возможные случаи ЛС в информационной части комбинационных СС-схем показаны в таблице. Классификация ЛС в комбинационных СС-схемах на основании их типа и времени появления показана на рис. 2. Однако вероятность появления событий, соответствующих случаям 8 и 9, можно свести к нулю с помощью следующих топологических методов:

Возможные изменения ПФС-сигнала из-за ЛС

№ случая ЛС	Нулевой спейсер		Единичный спейсер	
	Исходное состояние	Состояние после ЛС	Исходное состояние	Состояние после ЛС
1	00	01	11	01
2	00	10	11	10
3	00	11	11	00
4	01	11	01	00
5	10	11	10	00
6	01	00	01	11
7	10	00	10	11
8	01	10	01	10
9	10	01	10	01

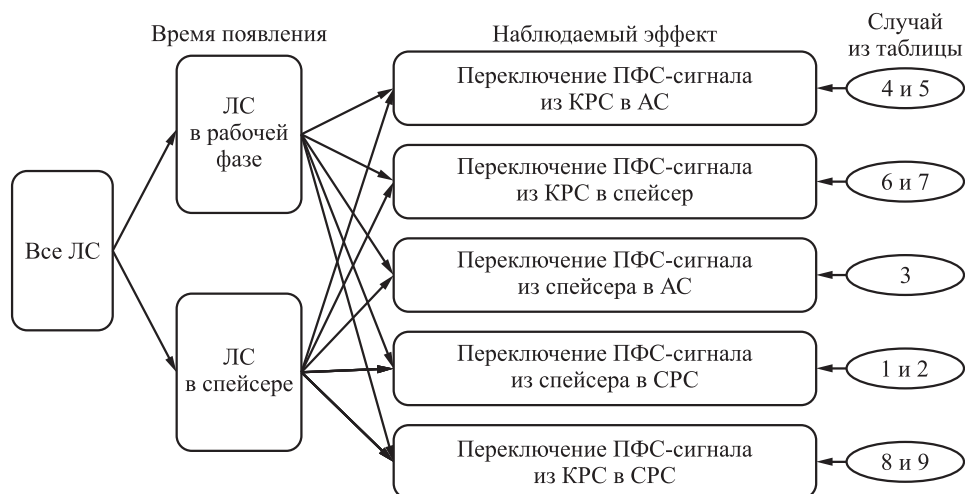


Рис. 2 Классификация ЛС в комбинационных СС-схемах

- принудительного расположения пары элементов, формирующих ПФС-сигнал, рядом друг с другом [3];
- принципа «витой пары» при разводке ПФС-сигнала (использование соседних трасс в каждом топологическом слое, см. рис. 1, б), тогда воздействие трасс-«агрессоров» на обе его части будет симметричным.

Таблица описывает ЛС только ПФС-сигналов. Однако на унарных сигналах индикаторной подсхемы СС-схемы также может появиться ЛС. Он ошибочно подтвердит завершение перехода индицируемой схемы в рабочую (спейсерную) фазу и спровоцирует преждевременное переключение ее входов в спейсер (рабочее состояние). Возникнет критический останов. Решает эту проблему DICE-реализация выходного гистерезисного триггера (Г-триггера) [6] в каждой индикаторной

подсхеме и всех Г-триггеров схемы управления. Тогда ЛС в схеме управления приведет лишь к задержке в работе СС-схемы.

Представленная на рис. 2 классификация кратковременных ЛС служит основой для вычисления количественных оценок вероятности повреждения информации, обрабатываемой комбинационной СС-схемой, вследствие ЛС.

### 3 Заключение

Благодаря ПФС-кодированию информационных сигналов, строгой индикации окончания переключений всех элементов схемы и запрос-ответному взаимодействию СС-схемы обладают высокой устойчивостью к одиночным ЛС, вызванным внешними и внутренними источниками.

Принудительное размещение пары элементов, формирующих ПФС-сигнал, рядом друг с другом в топологии СС-схемы и использование соседних трасс в каждом топологическом слое для разводки ПФС-сигнала (по типу «витой пары») делают ЛС типа «переключение ПФС-сигнала из корректного рабочего состояния в инверсное рабочее состояние» принципиально невозможным.

Повышение устойчивости индикаторной подсхемы СС-схемы к одиночным ЛС обеспечивается DICE-реализацией выходного Г-триггера в каждой индикаторной подсхеме и всех Г-триггеров схемы управления.

### Литература

1. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent hardware: The theory and practice of self-timed design. — J. Wiley & Sons, 1994. 368 p.
2. *Степченко Ю. А., Дьяченко Ю. Г., Горелкин Г. А.* Самосинхронные схемы — будущее микроэлектроники // Вопросы радиоэлектроники, 2011. № 2. С. 153–184.
3. *Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y.* Fault-tolerance of self-timed circuits // 10th Conference (International) on Dependable Systems, Services, and Technologies Proceedings. — IEEE, 2019. P. 41–44. doi: 10.1109/DESSERT.2019.8770047.
4. *Taubin A., Kondratyev A., Cortadella J., Lavagno L.* Behavioral transformations to increase noise immunity in asynchronous specifications // 5th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings. — IEEE, 1999. P. 36–47. doi: 10.1109/ASYNC.1999.761521.
5. *Eaton P., Benedetto J., Mavis D., Avery K., Sibley M., Gadlage M., Turflinger T.* Single event transient pulse width measurements using a variable temporal latch technique // IEEE T. Nucl. Sci., 2004. Vol. 51. Iss. 6. P. 3365–3368. doi: 10.1109/TNS.2004.840020.
6. *Danilov I. A., Gorbunov M. S., Shnaider A. I., Balbekov A. O., Rogatkin Y. B., Bobkov S. G.* DICE-based Muller C-elements for soft error tolerant asynchronous ICs // 16th European Conference on Radiation and Its Effects on Components and Systems. — IEEE, 2016. Art. ID: F4. P. 1–4. doi: 10.1109/RADECS.2016.8093145.

*Поступила в редакцию 17.02.19*

## SELF-TIMED COMBINATIONAL CIRCUIT TOLERANCE TO SHORT-TERM SOFT ERRORS

*Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski, N. V. Morozov,  
D. Yu. Stepchenkov, and D. Yu. Diachenko*

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

**Abstract:** The paper considers self-timed (ST) complementary metal–oxide–semiconductor (CMOS) combinational circuit tolerance to short-term soft errors caused by the external sources or internal noises that do not lead to semiconductor structure destruction. The paper discusses the consequences of physical causes impact, leading to soft errors in a chip manufactured by the 65-nanometer and below CMOS process. It introduces soft error classification in CMOS ST combinational circuits depending on their appearance time and the type of failure. Self-timed circuits have a higher degree of resistance to short-term soft errors than their synchronous counterparts due to the two-phase operation discipline, request-acknowledge interaction, and dual-rail information signal coding. The paper proposes circuitry and layout methods ensuring the lowering of CMOS ST combinational circuit sensitivity to soft errors due to the guaranteed absence of the bipolar influence of the soft error source on the cells forming dual-rail signals and on their wires in the circuit layout.

**Keywords:** self-timed circuit; soft error; fault tolerance; CMOS; working phase; spacer; layout

**DOI:** 10.14357/08696527200201

### Acknowledgments

The research was funded by a grant from the Russian Science Foundation (Project No. 19-11-00334).

### References

1. Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. *Concurrent hardware: The theory and practice of self-timed design*. J. Wiley & Sons. 368 p.
2. Stepchenkov, Yu. A., Yu. G. Diachenko, and G. A. Gorelkin. 2011. Samosinkhronnye skhemy — budushchee mikroelektroniki [Self-timed circuits are microelectronics future]. *Voprosy radioelektroniki* [Issues of Radioelectronics] 2:153–184.
3. Stepchenkov, Yu. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Yu. Diachenko. 2019. Fault-tolerance of self-timed circuits. *10th Conference (International) on Dependable Systems, Services, and Technologies Proceedings*. IEEE. 41–44. doi: 10.1109/DESSERT.2019.8770047.

4. Taubin, A., A. Kondratyev, J. Cortadella, and L. Lavagno. 1999. Behavioral transformations to increase noise immunity in asynchronous specifications. *5th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings*. IEEE. 36–47. doi: 10.1109/ASYNC.1999.761521.
5. Eaton, P., J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger. 2004. Single event transient pulse width measurements using a variable temporal latch technique. *IEEE T. Nucl. Sci.* 51(6):3365–3368. doi: 10.1109/TNS.2004.840020.
6. Danilov, I. A., M. S. Gorbunov, A. I. Shnaider, A. O. Balbekov, Y. B. Rogatkin, and S. G. Bobkov. 2016. DICE-based Muller C-elements for soft error tolerant asynchronous ICs. *16th European Conference on Radiation and Its Effects on Components and Systems*. IEEE. Art. No. F4. doi: 10.1109/RADECS.2016.8093145.

*Received February 17, 2020*

## **Contributors**

**Stepchenkov Yuri A.** (b. 1951) — Candidate of Science (PhD) in technology, Head of Department, leading scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

**Diachenko Yuri G.** (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Rogdestvenski Yuri V.** (b. 1952) — Candidate of Science (PhD) in technology, Head of Laboratory, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru

**Morozov Nikolai V.** (b. 1956) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

**Stepchenkov Dmitri Yu.** (b. 1973) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; stepchenkov@mail.ru

**Diachenko Denis Y.** (b. 1987) — research-engineer, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com