

Техническое описание

1 Микросхема состоит из 5 основных блоков:

- блока управления приемопередатчиком последовательного кода;
- интерфейсного блока для управления внешней памятью;
- приемника последовательного кода;
- передатчика последовательного кода;
- формирователя синхросигналов.

2 Начальная инициализация микросхемы осуществляется сигналом низкого уровня и формируется через триггер Шмитта.

3 Микросхема включает в себя генератор тактовой частоты.

4 Формирователь синхросигналов обеспечивает формирование и выдачу сетки частот $f_0/2$, $f_0/4$, $f_0/8$, $f_0/16$, а также формирование внутренних частот 2МГц, 250кГц, 100кГц.

5 Интерфейсный блок обеспечивает прием адресной информации в протоколе обмена процессора МК-51 по шине адрес/данные (шина AD).

6 Блок управления приемопередатчиком обеспечивает считывание данных по шине AD с приемника последовательного кода, а также запись данных с шины AD в передатчик последовательного кода и его инициализацию.

7 Интерфейсный блок обеспечивает запоминание и выдачу младшего байта адреса.

8 Интерфейсный блок обеспечивает формирование и выдачу сигналов управления внешней памятью.

9 Передатчик последовательного кода обеспечивает выдачу 32-х импульсов данных, длительностью 5мкс в последовательном коде с одного из двух выходов (прямой или инверсный) с частотой 100кГц в зависимости от сигналов управления.

10 Приемник последовательного кода обеспечивает прием последовательного 32-х разрядного кода по двухпроводной линии (данные, синхронизация) и формировать 3 байта выходной информации.

11 На входе приемника последовательного кода реализована задержка сигнала синхронизации на время 0,5 – 1 мкс.

12 Выводы микросхемы 1-8 и 56-63 (шина "Адрес/данные), вывод 47 имеют внутренние резисторы доопределения до высокого логического уровня с номиналом 10..35кОм.

13 Выводы микросхемы 13-15 имеют триггера Шмитта..

14 Выводы 39, 40 позволяют реализовать кварцевый генератор с частотой следования импульсов $f_0=16$ МГц.



Рисунок 1. Структурная схема БИС

Таблица 1. Внешние выводы МБИС

| Выводы | | Используемые состояния | | Нагрузка | Назначение |
|--------|----------------------|------------------------|-------|----------|---|
| Но-мер | Условное обозначение | Вход | Выход | | |
| 1. | AD7 | 10 | HL | | 7-ой разряд шины "Адрес - данные" |
| 2. | AD6 | 10 | HL | | 6-ой разряд шины "Адрес - данные" |
| 3. | AD5 | 10 | HL | | 5-ый разряд шины "Адрес - данные" |
| 4. | AD4 | 10 | HL | | 4-ый разряд шины "Адрес - данные" |
| 5. | AD3 | 10 | HL | | 3-ий разряд шины "Адрес - данные" |
| 6. | AD2 | 10 | HL | | 2-ой разряд шины "Адрес - данные" |
| 7. | AD1 | 10 | HL | | 1-ый разряд шины "Адрес - данные" |
| 8. | AD0 | 10 | HL | | 0-ой разряд шины "Адрес - данные" |
| 9. | RDC4 | | HL | | 4-ый разряд дешифратора адреса памяти |
| 10. | RDC3 | | HL | | 3-ый разряд дешифратора адреса памяти |
| 11. | RDC2 | | HL | | 2-ый разряд дешифратора адреса памяти |
| 12. | RDC1 | | HL | | 1-ый разряд дешифратора адреса памяти |
| 13. | CLIN2 | 10 | | | Первый вход синхронизации последовательного канала данных |
| 14. | CLIN2 | 10 | | | Второй вход синхронизации последовательного канала данных |
| 15. | DIN | 10 | | | Вход последовательного канала данных |
| 17. | OBMPR | | HL | | Прямой сигнал выхода последовательного канала данных |
| 18. | OBMI | | HL | | Инверсный сигнал выхода последовательного канала данных |
| 19. | BSKDP | | HL | | Прямой сигнал блокировки канала данных |
| 20. | BSKDI | | HL | | Инверсный сигнал блокировки канала данных |
| 21. | RG31 | | HL | | 31-ый разряд сдвигового регистра передатчика |
| 22. | D0 | 10 | | | Вход 0-го разряда сдвигового регистра передатчика |
| 24. | ADR0R | | HL | | 0-ой разряд адреса регистра |
| 25. | ADR1R | | HL | | 1-ый разряд адреса регистра |
| 26. | ADR2R | | HL | | 2-ый разряд адреса регистра |
| 27. | ADR3R | | HL | | 3-ый разряд адреса регистра |
| 28. | ADR4R | | HL | | 4-ый разряд адреса регистра |
| 29. | ADR5R | | HL | | 5-ый разряд адреса регистра |
| 30. | ADR6R | | HL | | 6-ой разряд адреса регистра |
| 31. | ADR7R | | HL | | 7-ой разряд адреса регистра |

Продолжение таблицы 1

| Выводы | | Используемые состояния | | Нагрузка | Назначение |
|------------|-------------------------|------------------------|-------|----------|---|
| Но- мер | Условное обозначение | Вход | Выход | | |
| 32. | INIT | 10 | | | Начальная инициализация БИС |
| 33. | F016 | | HL | | Частота 1 МГц |
| 34. | F08 | | HL | | Частота 2 МГц |
| 35. | F04 | | HL | | Частота 4 МГц |
| 36. | F02 | | HL | | Частота 8 МГц |
| 37. | O16M | | H | | Выход генератора |
| 38. | I16M | 0 | | | Вход генератора |
| 39. | CE1PR | | HL | | Сигнал разрешения процессора 1 |
| 40. | CE2PR | | HL | | Сигнал разрешения процессора 2 |
| 41. | CE3PR | | HL | | Сигнал разрешения процессора 3 |
| 42. | CE4PR | | HL | | Сигнал разрешения процессора 4 |
| 43. | CEFL | | HL | | Сигнал разрешения обращения к памяти |
| 44. | BLCEFL | | HL | | Блокировка разрешения обращения к памяти |
| 45. | IBCEFL | 10 | | | Вход блокировки разрешения обращения к памяти |
| 49. | GOTOV | | HL | | Сигнал готовности |
| 52. | PME | 10 | | | Вход разрешения программной памяти |
| 53. | ALE | 10 | | | Сигнал фиксации адреса |
| 54. | RD | 10 | | | Сигнал чтения данных |
| 55. | WR | 10 | | | Сигнал записи данных |
| 56. | AD15 | 10 | | | 15-ый разряд шины "Адрес - данные" |
| 57. | AD14 | 10 | | | 14-ый разряд шины "Адрес - данные" |
| 58. | AD13 | 10 | | | 13-ый разряд шины "Адрес - данные" |
| 59. | AD12 | 10 | | | 12-ый разряд шины "Адрес - данные" |
| 60. | AD11 | 10 | | | 11-ый разряд шины "Адрес - данные" |
| 61. | AD10 | 10 | | | 10-ый разряд шины "Адрес - данные" |
| 62. | AD9 | 10 | | | 9-ый разряд шины "Адрес - данные" |
| 63. | AD8 | 10 | | | 8-ой разряд шины "Адрес - данные" |