

Техническое описание.

Микросхема 5503XM5-118 является контроллером параллельного интерфейса (далее по тексту КПИ), предназначенным для организации обмена по магистрали МПИ между БЦВМ МВС-4 и периферийными модулями САУ. Типовая структурная схема такого модуля «Устройство преобразования сигналов» (УПС) представлена на рисунке 2.

КПИ обеспечивает:

- Ввод и вывод дискретной информации с портов разовых команд;
- Работу с двухпортовой памятью контроллера мультиплексного обмена, реализованного на микросхеме 1582ВЖ2-0043;
- Доступ БЦВМ МВС-4 к двухпортовой памяти для записи и чтения информации принимаемой и передаваемой контроллером мультиплексного обмена;
- Контроль исправности БЦВМ с помощью сторожевого таймера, входящего в состав КПИ;
- Автономную выдачу и прием разовых команд в случае получения информации об отказе БЦВМ или частичном отказе источника вторичного питания;
- Оперативный доступ БЦВМ МВС-4 к информации в двухпортовой памяти с помощью прерывания по приему или выдачи информации в МКИО;
- Контроль исправности резервированного мультиплексного канала обмена и его блокировку в случае обнаружения отказа;
- Аппаратную поддержку выполнения трех типов команд принятых из мультиплексного канала обмена.

Структурная схема КПИ

Структурная схема КПИ представлена на рисунке 1. В состав КПИ входят следующие составные части:

- Интерфейсный модуль МПИ;
- Схема формирования вектора прерывания;
- Схема совпадения поадресов;
- Буферный регистр выходного порта 0;
- Буферный регистр выходного порта 1;
- Буферный регистр входного порта 0;
- Буферный регистр входного порта 1;
- Регистр управления;
- Регистр состояния;
- Регистр вектора прерывания;
- Технологический регистр;
- Блок логики аварийных ситуаций;
- Арбитр магистралей;
- Сторожевой таймер МВС-4;
- Сторожевой таймер МКИО;
- Регистр команд МКИО;
- Счетчик слов МКИО;
- Регистр поадреса МКИО;
- Блок формирования адреса БОЗУ;
- Интерфейсный модуль БОЗУ и МКИО.

Описание работы микросхемы

Данная микросхема предназначена для работы в составе модуля УПС, который включает в себя следующие составляющие:

- Буферное оперативное запоминающее устройство (БОЗУ);
- Контроллер резервированного мультиплексного канала обмена (КМКИО);
- Блок преобразователей уровня входных разовых команд 27В->5В с трехстабильными выходами;
- Блок преобразователей уровней выходных разовых команд 5В->27В с регистрами на входе;
- Регистр адреса и направления передачи информации БОЗУ.

Структурная схема УПС представлена на рисунке 2.

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

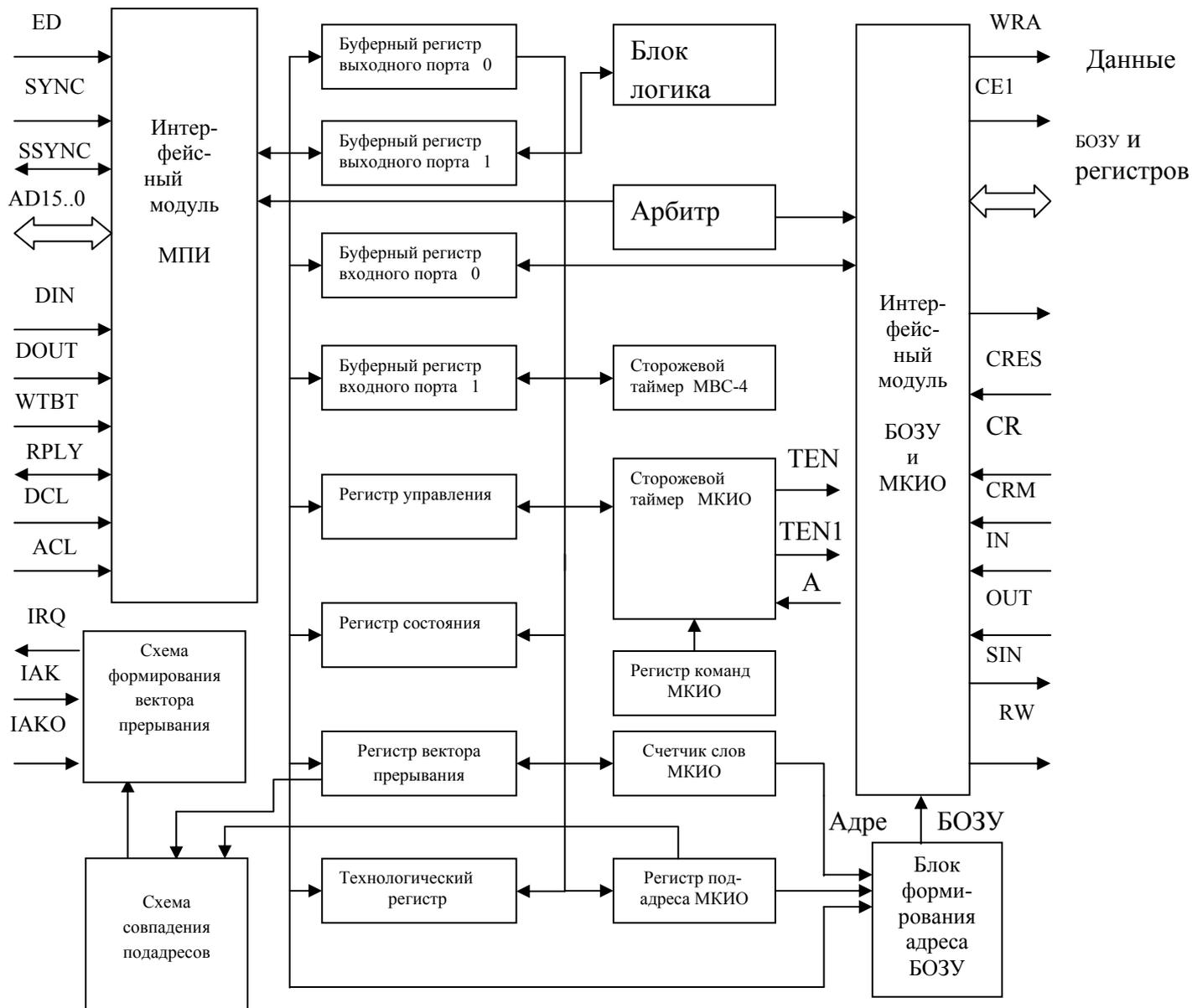


Рисунок .1 Структурная схема КПИ

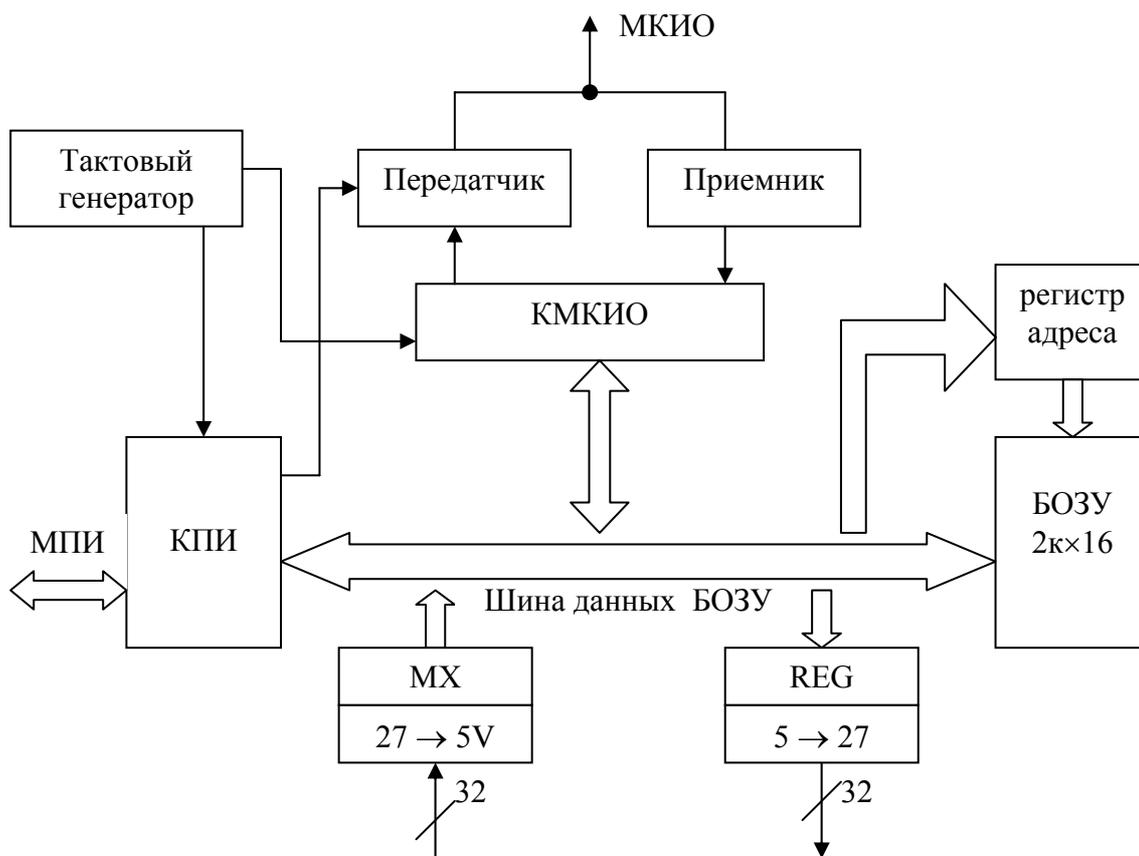


Рисунок 2. Структурная схема УПС

Таблица 1. Внешние выводы МБИС

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1	AD11	10	HLZ	R	11-Й РАЗРЯД АДРЕСА-ДАННЫХ
2	DD11	10	HLZ	R	11-Й РАЗРЯД ШИНЫ ДАННЫХ
3	AD10	10	HLZ	R	10-Й РАЗРЯД АДРЕСА-ДАННЫХ
4	DD10	10	HLZ	R	10-Й РАЗРЯД ШИНЫ ДАННЫХ
5	AD9	10	HLZ	R	9-Й РАЗРЯД АДРЕСА-ДАННЫХ
6	DD9	10	HLZ	R	9-Й РАЗРЯД ШИНЫ ДАННЫХ
7	AD8	10	HLZ	R	8-Й РАЗРЯД АДРЕСА-ДАННЫХ
8	DD8	10	HLZ	R	8-Й РАЗРЯД ШИНЫ ДАННЫХ
9	ED	10			СИГНАЛ ВЫБОРКИ АДРЕСОВ ВНЕШНИХ УСТРОЙСТВ
10	WRG1		HL		СИГНАЛ ЗАПИСИ в 1-Й РЕГИСТР РК
11	WRG0		HL		СИГНАЛ ЗАПИСИ в 0-Й РЕГИСТР РК
12	BLC		HL		СИГНАЛ БЛОКИРОВКИ МИКРОСБОРОК
13	ACL	10			СИГНАЛ ИСПРАВНОСТИ ВИП +5В
14	FAST	10			СИГНАЛ ТЕХНОЛОГИЧЕСКОГО РЕЖИМА РАБОТЫ
15	SYNC	10			СИНХРОИМПУЛЬС ЦИКЛА АДРЕСНОГО ОБМЕНА ПО МПИ
16	SSYNC		HLZ	R	СИГНАЛ КВИТАНЦИИ ПО АДРЕСУ НА МПИ
17	TEN0		HL		СИГНАЛ РАЗРЕШЕНИЯ ПЕРЕДАЧИ ПО 0-МУ МКО
18	TEN1		HL		СИГНАЛ РАЗРЕШЕНИЯ ПЕРЕДАЧИ ПО 1-МУ МКО
19	OERG		HL		СИГНАЛ ЧТЕНИЯ РК
20	OEP		HL		СИГНАЛ РАЗРЕШЕНИЯ ВЫХОДОВ РК
21	RW		HL		СИГНАЛ ЧТЕНИЯ КОНТРОЛЛЕРА МКО
22	A	10			НОМЕР АКТИВНОГО КАНАЛА МКО
23	WRA		HL		СИГНАЛ ЗАПИСИ АДРЕСА
24	CE1		HL		СИГНАЛ ВЫБОРКИ БОЗУ
25	DD0	10	HLZ	R	0-Й РАЗРЯД ШИНЫ ДАННЫХ
26	AD0	10	HLZ	R	0-Й РАЗРЯД АДРЕСА-ДАННЫХ
27	DD1	10	HLZ	R	1-Й РАЗРЯД ШИНЫ ДАННЫХ
28	AD1	10	HLZ	R	1-Й РАЗРЯД АДРЕСА-ДАННЫХ
29	DD2	10	HLZ	R	2-Й РАЗРЯД ШИНЫ ДАННЫХ
30	AD2	10	HLZ	R	2-Й РАЗРЯД АДРЕСА-ДАННЫХ
31	DD3	10	HLZ	R	3-Й РАЗРЯД ШИНЫ ДАННЫХ
32	GND				ВЫВОД "ОБЩИЙ"
33	AD3	10	HLZ	R	3-Й РАЗРЯД АДРЕСА-ДАННЫХ
34	DD4	10	HLZ	R	4-Й РАЗРЯД ШИНЫ ДАННЫХ
35	AD4	10	HLZ	R	4-Й РАЗРЯД АДРЕСА-ДАННЫХ
36	DD5	10	HLZ	R	5-Й РАЗРЯД ШИНЫ ДАННЫХ
37	AD5	10	HLZ	R	5-Й РАЗРЯД АДРЕСА-ДАННЫХ
38	DD6	10	HLZ	R	5-Й РАЗРЯД ШИНЫ ДАННЫХ
39	AD6	10	HLZ	R	5-Й РАЗРЯД АДРЕСА-ДАННЫХ

Продолжение таблицы 1.

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
40	DD7	10	HLZ	R	5-Й РАЗРЯД ШИНЫ ДАННЫХ
41	AD7	10	HLZ	R	5-Й РАЗРЯД АДРЕСА-ДАННЫХ
42	QIN	10			СИГНАЛ ЗАПРОСА НА ЗАПИСЬ
43	OUT	10			СИГНАЛ ЗАПРОСА НА ЧТЕНИЕ
44	SIN		HL		СИГНАЛ КВИТАНЦИИ ЗАПИСИ
45	CR	10			СТРОБ ОБМЕНА ПО МКО
46	CRM	10			СИГНАЛ ПРИЕМА КОМАНДЫ ПО МКО
47	CRES	10			СИГНАЛ СБРОСА ПО МКО
48	IAKO		HL		СИГНАЛ ТРАНСЛЯЦИИ РАЗРЕШЕНИЯ ПРЕРЫВАНИЯ
49	IAKI	10			СИГНАЛ РАЗРЕШЕНИЯ ВВОДА ВЕКТОРА ПО МПИ
50	IRQ		LZ	R	СИГНАЛ ЗАПРОСА НА ПРЕРЫВАНИЕ
51	DCL	10			СИГНАЛ ИНТЕГРАЛЬНОЙ ИСПРАВНОСТИ ВИП
52	CLK				ВХОД ТАКТОВОЙ ЧАСТОТЫ
53	RPLY		HLZ	R	СИГНАЛ КВИТАНЦИИ ПО ДАННЫМ НА МПИ
54	DOUT	10			СИГНАЛ ЗАПИСИ ДАННЫХ ПО МПИ
55	DIN	10			СИГНАЛ ЧТЕНИЯ ДАННЫХ ПО МПИ
56	AD15	10	HLZ	R	15-Й РАЗРЯД АДРЕСА-ДАННЫХ
57	DD15	10	HLZ	R	15-Й РАЗРЯД ШИНЫ ДАННЫХ
58	AD14	10	HLZ	R	14-Й РАЗРЯД АДРЕСА-ДАННЫХ
59	DD14	10	HLZ	R	14-Й РАЗРЯД ШИНЫ ДАННЫХ
60	AD13	10	HLZ	R	13-Й РАЗРЯД АДРЕСА-ДАННЫХ
61	DD13	10	HLZ	R	13-Й РАЗРЯД ШИНЫ ДАННЫХ
62	AD12	10	HLZ	R	12-Й РАЗРЯД АДРЕСА-ДАННЫХ
63	DD12	10	HLZ	R	12-Й РАЗРЯД ШИНЫ ДАННЫХ
64	UCC				ВЫХОД "ПИТАНИЕ"

Кроме того микросхема состыкована с БЦВМ МВС4 по магистрали МПИ и принимает от вторичного источника питания сигналы исправности источника +5В и интегральный сигнал исправности источников напряжений питания САУ.

Арбитр магистралей входящий в состав КПИ осуществляет доступ с разделением во времени к БОЗУ КМКИО, процессора БЦВМ МВС4 и порта ввода-вывода.

Запросом на захват магистрали от КМКИО является наличие переднего фронта (перехода из низкого уровня в высокий) по одному из трех сигналов КМКИО:

1. QIN – запрос на запись информационного слова в БОЗУ;
2. OUT- запрос на чтение информационного слова из БОЗУ;
3. CR – запрос на запись команды управления в БОЗУ.

При выполнении этого цикла обмена обмен по шине данных производится между КМКИО и БОЗУ. КПИ захватывает шину данных только в момент выдачи адреса БОЗУ в

адресной фазе обмена. КПИ осуществляет инкрементацию адреса при записи или чтении информационных слов МККИО и разделения адресов областей обмена в соответствии с принятым подадресом, направлением передачи по МККИО и видом обмена по МККИО. Высокий уровень сигнала CRM информирует КПИ о цикле приема команды управления по МККИО и подадрес при этом не учитывается при формировании адреса в БОЗУ.

Запросом на захват магистрали от БЦВМ МВС-4 является наличие цикла адресного обмена по МПИ при обращении к области адресов БОЗУ 160000(8)...167776(8) при наличии низкого уровня на входе выбора страницы внешних устройств на МПИ -сигнал ED.

При выполнении этого цикла обмена обмен по шине данных производится между КПИ и БОЗУ. КПИ захватывает шину данных в момент выдачи адреса БОЗУ в адресной фазе обмена и при выполнении цикла записи в БОЗУ.

Запросы на захват магистрали от порта ввода-вывода формирует таймер находящийся в составе арбитра магистралей каждые 24 мкс. КПИ захватывает шину данных в момент выдачи адреса мультиплексора входного преобразователя уровней разовых команд в адресной фазе обмена и при выполнении цикла записи в регистры выходного преобразователя уровней разовых команд.

Наихудшее время ожидания предоставления магистрали БОЗУ составляет 6 мкс.

Рассмотрим цикл обращения к БОЗУ (рисунок 3 - 4). КПИ выставляет на шину данных БОЗУ адрес БОЗУ и сигнал направления передачи информации. Через 330нС КПИ выдает сигнал WRA, длительностью 330нС по переднему фронту которого адрес и тип обмена записываются в регистр адреса БОЗУ и на вход из регистра адреса RW БОЗУ выставляется уровень, соответствующий направлению передачи информации в данном цикле. Через 330нС адрес с шины данных снимается и выставляются данные по записи в цикле записи в БОЗУ или шина данных переводится в высокоимпедансное состояние при цикле чтения информации из БОЗУ. Через 330нС выдается сигнал выборки БОЗУ CE1 по которому БОЗУ принимает или выдает данные на шину данных БОЗУ. Через 330нС данные с шины данных БОЗУ записываются в технологический регистр который используется для хранения данных в течении цикла обмена с БОЗУ.

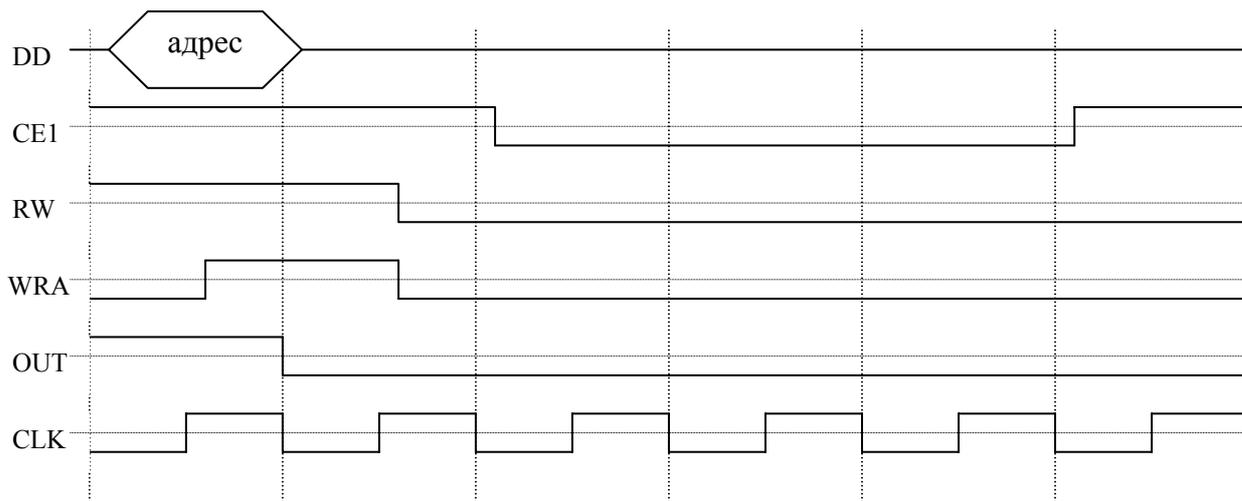


Рисунок 3. Диаграмма записи КМКИО -> БОЗУ

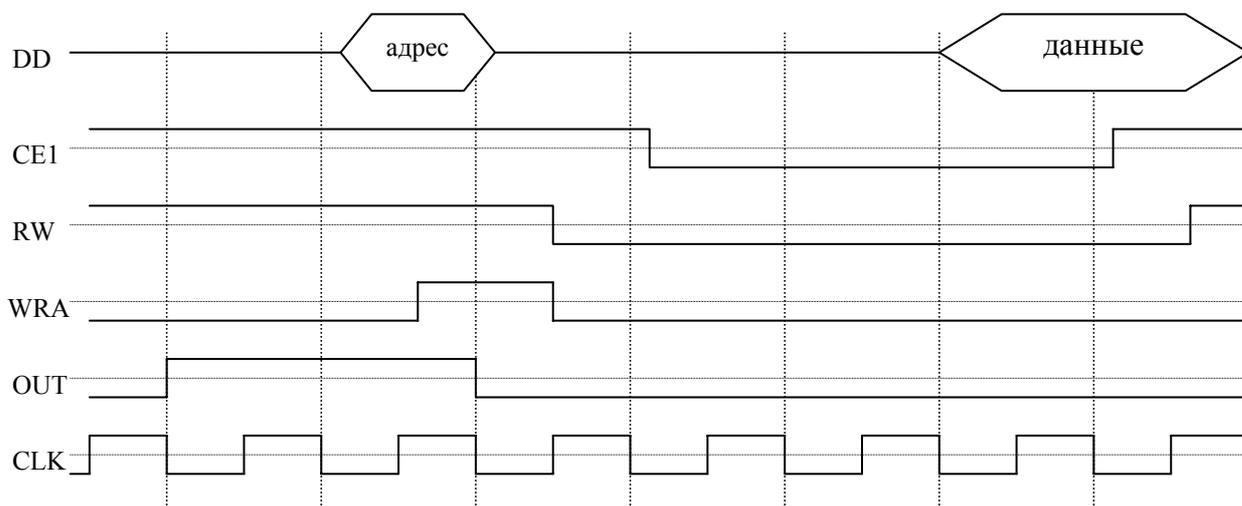


Рисунок 4. Диаграмма чтения КМКИО -> БОЗУ

В цикле чтения БОЗУ КМКИО через 330нС выдается низким(активным) уровнем сигнал SIN по заднему фронту которого данные с шины записываются в КМКИО. Далее снимается сигнал CE1 и магистраль данных БОЗУ переводится в высокоимпедансное состояние. Обмен с БОЗУ на этом заканчивается.

В цикле обмена с портом вместо сигнала выборки БОЗУ выдается либо сигнал чтения входного преобразователя разовых команд OERG по которому преобразованные им данные выдаются на шину данных для записи во внутренние регистры КПИ, либо один из сигналов записи WRG0 или WRG1 в регистр выходного преобразователя уровней разовых команд. По переднему фронту сигналов WRG0 или WRG1 информация с шины данных пишется в регистры выходного преобразователя уровней разовых команд.

Сторожевые таймеры

В состав КПИ входят три типа сторожевых таймера:

Сторожевой таймер БЦВМ МВС-4. Проверяет наличие меандра с частотой 10Гц±20% по заданному разряду в регистре управления. При отсутствии этого меандра в течении 300мС после старта БЦВМ МВС4 по включению питания и в течении 150мС в последующих случаях вырабатывается внутренний сигнал неисправности БЦВМ МВС4. Временной порог срабатывания по отсутствию меандра переключается при первой записи в регистр управления.

Сторожевой таймер МККИО. Данный таймер отслеживает длительность обмена по МККИО в пределах 820мкС и при превышении этой величины блокирует передатчик активного в данный момент резерва МККИО. Длительность обмена по МККИО проверяется по сигналу СР, который стоит в высоком уровне в течении всего цикла обмена по МККИО.

Таймер блокировки дребезга кнопок управления режимами САУ. Сигналы «ОТКЛ. АВТ» и «ОТКЛ. АУТ.» для того чтобы в режиме работы без БЦВМ блока логики аварийных ситуаций

Блок приема и выдачи разовых команд

Данное устройство включает в себя четыре регистра и таймер. Таймер выдает временные отсчеты по 24мкС. Работа блока производится циклически, цикл составляет 4 отсчета таймера. За 4 фазы этого цикла производятся соответственно следующие действия:

1. Запись информации из буферного регистра выходного порта 0 в 0-ю пару регистров выходного преобразователя уровней разовых команд;
2. Запись информации из буферного регистра выходного порта 1 в 1-ю пару регистров выходного преобразователя уровней разовых команд;
3. Считывание по 0-му адресу мультиплексора входного преобразователя уровней в буферный регистр входного порта 0;
4. Считывание по 1-му адресу мультиплексора входного преобразователя уровней в буферный регистр входного порта 1.

Буферные регистры выходных портов доступны по записи и чтению с магистрали МПИ при отсутствии аварийных ситуаций. При возникновении аварийной ситуации информация в них фиксируется. Буферные регистры входного порта доступны только по чтению с магистрали МПИ.

При старте по включению питания в них прописываются аппаратно логические 0. Блок приема и выдачи разовых команд по включению питания формирует высоким уровнем сигнал блокировки выходных каскадов регистров выходного преобразователя уровней разовых команд (выход ОЕР) и после 1-го цикла записи в них информации снимает блокировку, переводя данный сигнал в низкий уровень.

Интерфейсный модуль МПИ

Обеспечивает адресный обмен между КПИ и БЦВМ МВС-4 по магистрали МПИ.

Адресное пространство модуля следующее:

Адресное пространство (8)	Назначение	Примечание
160000-160076	Зона передачи информационных слов при выполнении команд по МКИО	Из этой области адресов информация читается в порядке поступления информационных слов в МКИО. Самое первое считанное слово будет лежать по младшему адресу
160100-160176	Зона передачи информации 1 подадреса	
160200-160276	Зона передачи информации 2 подадреса	
160300-160376	Зона передачи информации 3 подадреса	
160400-160476	Зона передачи информации 4 подадреса	
160500-160576	Зона передачи информации 5 подадреса	
160600-160676	Зона передачи информации 6 подадреса	
160700-160776	Зона передачи информации 7 подадреса	
161000-161076	Зона передачи информации 8 подадреса	
161100-161176	Зона передачи информации 9 подадреса	
161200-161276	Зона передачи информации 10 подадреса	
161300-161376	Зона передачи информации 11 подадреса	
161400-161476	Зона передачи информации 12 подадреса	
161500-161576	Зона передачи информации 13 подадреса	
161600-161676	Зона передачи информации 14 подадреса	
161700-161776	Зона передачи информации 15 подадреса	
162000-162076	Зона передачи информации 16 подадреса	
162100-162176	Зона передачи информации 17 подадреса	
162200-162276	Зона передачи информации 18 подадреса	
162300-162376	Зона передачи информации 19 подадреса	
162400-162476	Зона передачи информации 20 подадреса	
162500-162576	Зона передачи информации 21 подадреса	
162600-162676	Зона передачи информации 22 подадреса	
162700-162776	Зона передачи информации 23 подадреса	
163000-163076	Зона передачи информации 24 подадреса	
163100-163176	Зона передачи информации 25 подадреса	
163200-163276	Зона передачи информации 26 подадреса	
163300-163376	Зона передачи информации 27 подадреса	
163400-163476	Зона передачи информации 28 подадреса	
163500-163576	Зона передачи информации 29 подадреса	
163600-163676	Зона передачи информации 30 подадреса	
163700-163776	Зона передачи информации групповых команд	
164000	Зона приема командного слова	
164002-164076	Зона передачи информации при выполнении команд по МКИО	
164100-164176	Зона приема информации 1 подадреса	
164200-164276	Зона приема информации 2 подадреса	
164300-164376	Зона приема информации 3 подадреса	
164400-164476	Зона приема информации 4 подадреса	
164500-164576	Зона приема информации 5 подадреса	
164600-164676	Зона приема информации 6 подадреса	

Адресное пространство (8)	Назначение	Примечание
164700-164776	Зона приема информации 7 поадреса	В эту область адресов информация пишется в порядке поступления информационных слов из МКИО. Самое первое принятое слово будет лежать по младшему адресу.
165000-165076	Зона приема информации 8 поадреса	
165100-165176	Зона приема информации 9 поадреса	
165200-165276	Зона приема информации 10 поадреса	
165300-165376	Зона приема информации 11 поадреса	
165400-165476	Зона приема информации 12 поадреса	
165500-165576	Зона приема информации 13 поадреса	
165600-165676	Зона приема информации 14 поадреса	
165700-165776	Зона приема информации 15 поадреса	
166000-166076	Зона приема информации 16 поадреса	
166100-166176	Зона приема информации 17 поадреса	
166200-166276	Зона приема информации 18 поадреса	
166300-166376	Зона приема информации 19 поадреса	
166400-166476	Зона приема информации 20 поадреса	
166500-166576	Зона приема информации 21 поадреса	
166600-166676	Зона приема информации 22 поадреса	
166700-166776	Зона приема информации 23 поадреса	
167000-167076	Зона приема информации 24 поадреса	
167100-167176	Зона приема информации 25 поадреса	
167200-167276	Зона приема информации 26 поадреса	
167300-167376	Зона приема информации 27 поадреса	
167400-167476	Зона приема информации 28 поадреса	
167500-167576	Зона приема информации 29 поадреса	
167600-167676	Зона приема информации 30 поадреса	
167700-167776	Зона приема информации 31 поадреса при выполнении групповых команд	
177440	Буферный регистр входного порта 0	Доступ только по чтению
177442	Буферный регистр входного порта 1	
177444	Буферный регистр выходного порта 0	
177446	Буферный регистр выходного порта 1	
177450	Регистр управления	
177452	Регистр состояния	Доступ только по чтению
177454	Регистр вектора прерывания программы	
177456	Технологический регистр	

Для применения данной микросхемы с БЦВМ МВС-4, имеющей 22-разрядное адресное пространство, предусмотрен сигнал ED, который предназначен для подключения к выходу дешифратора старших 6-ти разрядов адреса, реализованному в составе субблока УПС. Низкий уровень на этом входе информирует КПИ о выборке его страницы в адресном пространстве БЦВМ.

Для реализации процедуры безадресного чтения в составе КПИ реализован формирователь вектора прерывания. Этот узел формирует диаграмму запроса на ввод вектора прерывания и обрабатывает цикл ввода заданного вектора прерывания.

Рассмотрим функциональное назначение регистров более подробно.

Регистр управления (адрес 177450(8))

Номер разряда															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Содержание разрядов															
X	WTC	OEVER	OERA	X	Эталон подадреса для компаратора поадресов					1	Значение вводимого вектора прерывания				
					Разряды подадреса					Разряды вектора прерывания					
					4	3	2	1	0	7	4	3	2	5	6

X-произвольное значение, при старте по включению питания равно 0. Разряд доступен по записи и чтению.

WTC – разряд управления сторожевым таймером, для подтверждения исправности процессор БЦВМ должен менять его состояние каждые 50мс+-20%.

OEVER-бит разрешения запроса на прерывание «по приему команды с заданным подадресом» логическая 1 –прерывание разрешено; логический 0 –прерывание запрещено.

OERA- бит разрешения работы компаратора поадресов. логическая 1 –работа компаратора поадресов разрешена и прерывание возникнет по окончанию выполнения команды по МКИО с заданным подадресом; логический 0 – работа компаратора поадресов запрещена и прерывание возникнет по окончанию выполнения команды по МКИО с любым подадресом.

Содержание данного регистра по включению питания равно 0.

Регистр состояния (адрес 177452(8))

Разряды рагистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	PALM	AMKIO	Принятый подадрес и направление передачи информационных слов						APWR	MH	OMBC	KH	ACLO

PALM- бит аварии источника питания интегральный; логическая 1-авария.

AMKO –технологический бит; логическая 1 информирует о том что в данный момент обрабатывается цикл доступа КМКИО к БОЗУ.

APWR- бит старт по питанию произошел; логическая 1-соответствует состоянию источник “питания в работе переходной процесс по включению питания закончился”.

MH - бит защелки кнопки “отключения АВТ” переходит в 1 при нажатой кнопке в режиме работы “без MBC-4” при L=1 в алгоритме.

OMBC- бит срабатывания сторожевого таймера БЦВМ MBC4; логическая 1 соответствует состоянию отказа БЦВМ.

KH – бит защелки кнопки “отключения АУТ” переходит в 1 при нажатой кнопке в режиме работы “без MBC-4” при L=1 в алгоритме.

ACLO- бит состояния выхода исправности 5В источника питания логическая; 1- источник исправен.

Регистр вектора прерывания (адрес 177454(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	1	Значение вектора из регистра управления					0	0

Технологический регистр (адрес 177456(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Содержимое шины данных БОЗУ в момент цикла обмена по ней.															

Буферный регистр входного порта 0 (адрес 177440(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Содержимое шины данных БОЗУ в момент цикла чтения мультиплексора входного преобразователя уровней по адресу (0 по включению питания)															

Буферный регистр входного порта 1 (адрес 177442(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Содержимое шины данных БОЗУ в момент цикла чтения мультиплексора входного преобразователя уровней по адресу 1(0 по включению питания)															

Примечание: При преобразовании уровней часть уровней преобразуется по методу 27В->5В, 0В->0В, кроме 4 входов преобразуемых по методу 27В->0В, 0В->5В на входе микросхемы.

Буферный регистр выходного порта 0 (адрес 177444(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0 по включению питания или записанное процессором БЦВМ МВС4 число															

Буферный регистр выходного порта 1 (адрес 177446(8))

Разряды регистра															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0 по включению питания или записанное процессором БЦВМ МВС4 число															

Блок логики аварийных ситуаций

Данный узел контролирует сигналы исправности блока питания и БЦВМ МВС-4. По низкому уровню на входе DCLO (исправность источника питания +5В) КПИ устанавливается в исходное состояние далее после появления на этом входе КПИ высокого уровня КПИ переходит в рабочее состояние. Блок логики аварийных ситуаций контролирует наличие интегральной исправности напряжений выдаваемых вторичным источником питания и исправность БЦВМ МВС4. Контроль исправности остальных напряжений выдаваемых вторичным источником питания (ВИП) начинается после того как этот сигнал из начального низкого уровня при включении питания перейдет в высокий соответствующий нормальной работе ВИП и пробудет в нем не менее 1,2мс. Далее появление низкого уровня на этом входе будет считаться отказом ВИП. Контроль исправности БЦВМ МВС4 начинается через 300мс после включения питания. За это время БЦВМ должна закончить процедуру инициализации внешних устройств. Далее время настройки сторожевого таймера уменьшается до 150мс. В случае пропадания сигнала исправности остальных напряжений выдаваемых ВИП или сигнала исправности БЦВМ МВС4 КПИ запоминает наличие этого и переходит в режим работы “без БЦВМ”. В этом режиме блокируется запись информации от БЦВМ МВС4 в буферные регистры выходного порта разовых команд. Однако ранее записанные в них значения используются в алгоритме работы “без БЦВМ МВС4”.

При работе в режиме “без БЦВМ МВС4 ” включается антидребезговая защита кнопок “отключение АУТ” и “отключение АВТ”. Для обнаружения КПИ нажатия этих кнопок их необходимо удерживать более 100мс. После обнаружения нажатия это состояние запоминается и будет неизменным до снятия неисправности источника питания +5В. При переходе в режим “без БЦВМ МВС4” выдается сигнал блокировки выходов микросборок ВЛС низким уровнем (высокий уровень на этом выходе предполагает нормальную работу микросборок). Значения выдаваемые из КПИ в буферные регистры выходного преобразователя уровней разовых команд обнуляются за исключением особо оговоренных в приведенном далее алгоритме.

Блок взаимодействия с КМКИО.

Данный узел включает в себя следующие составляющие:

- Сторожевой таймер МКИО;
- Регистр команд МКИО;
- Счетчик слов МКИО;
- Регистр поадреса МКИО;
- Блок формирования адреса БОЗУ;
- Интерфейсный модуль БОЗУ и МКИО

Данный узел обеспечивает взаимодействие с КМКИО. КМКИО установлен в режим работы «оконечное устройство на МКИО». По сигналам, выдаваемым КМКИО производится запись и чтение слов в БОЗУ. Кроме этого производится аппаратная поддержка команд МКИО «заблокировать передатчик», «разблокировать передатчик» «инициализации оконечного устройства». По этим командам производится выдача соответствующих сигналов блокировки выходных каскадов передатчиков резервированного МКИО. Команды воздействуют только на выходной каскад передатчика активного в данный момент резерва МКИО. Номер активного резерва определяется сигналом номера резерва А. При А=0 активен 0-й резерв и используется сигнал ТЕН0, при А=1 0 активен 1-й резерв и используется сигнал ТЕН1. В данном узле реализован также контроль сторожевым таймером длительности обмена по МКИО и аппаратная блокировка передатчика по зависанию обмена по МКИО. При приеме команды «инициализации оконечного устройства» производится разблокировка передатчиков. При приеме и передаче информации адрес обмена с БОЗУ вычисляется:

“направление передачи информации. поадрес команды. номер слова”

В случае приема команды управления КМКИО выдает высоким уровнем сигнал CRM и по нему поадрес считается равным 0. Код команды пишется также в зону с нулевым поадресом.

Защита от “дребезга” (устойчивый прием в течении 0,1 с.) сигналов: ОТКЛ.АВТ, ОТКЛ.АУТ.
 НУ-низкий уровень напряжения КМОП.
 ВУ-высокий уровень напряжения КМОП.

Сигналы оборудования	Условное обозначение	Логический Вход Наличие \ отсутствие	Выход по Q-BUS “1”-наличие “0”-отсутствие Адрес \ разряд
Запрос ПГ1		ВУ \ НУ	17777440 \ 15
Запрос ПГ2		ВУ \ НУ	14
Увод		ВУ \ НУ	13
СУ		ВУ \ НУ	12
Обжатие КВТ		НУ \ ВУ	11
Обжатие КВК		НУ \ ВУ	10
ОТКЛ. АВТ		НУ \ ВУ	9
Стойка обжата		ВУ / НУ	8
ПОС. СДУ		ВУ / НУ	7
Тест СДУ		ВУ / НУ	6
Шасси обжато		ВУ / НУ	5
Резерв		ВУ / НУ	4
Резерв		ВУ / НУ	3
Резерв		ВУ / НУ	2
Резерв		ВУ / НУ	1
Резерв		ВУ / НУ	0
Меньше		ВУ / НУ	17777442 \ 15
Больше		ВУ / НУ	14
Тормоз РУД		ВУ / НУ	13
ОТКЛ. АУТ		НУ / ВУ	12
ИСПР. ДПР1		ВУ / НУ	11
ИСПР. ДПР2		ВУ / НУ	10
Резерв		ВУ / НУ	9
Резерв		ВУ / НУ	8
Резерв		ВУ / НУ	7
Запрет НК		ВУ / НУ	6
Запрет ФК		ВУ / НУ	5
Обнул.интегр.		ВУ / НУ	4
Резерв		ВУ / НУ	3
ПИО		ВУ / НУ	2
ВВОД отказа		ВУ / НУ	1
Резерв		ВУ / НУ	0
АСП из ИВЭ		ВУ-испр. НУ- отказ БП	

Сигналы СПО	Вход по Q-BUS "1"-наличие "0"-отсутствие Адрес \ разряд	Логика формирования потенциального выхода мк \ сх Логический выход Наличие \ отсутствие	Исходное состояние
АВТ.	17777444 \ 15	ВУ / НУ	НУ
АВТ. без СУ	14	См. алгоритм	НУ
ДИР	13	ВУ / НУ	НУ
УВОД	12	ВУ / НУ	НУ
ВКЛ. МПТ	11	ВУ / НУ	-
ВКЛ. МПК	10	ВУ / НУ	-
КАБР.	9	ВУ / НУ	НУ
ПРАВ.	8	ВУ / НУ	НУ
ЛЕВ.	7	ВУ / НУ	НУ
ПИКИР.	6	ВУ / НУ	НУ
ИСПР. САУ	5	См. алгоритм	НУ
УПР.ВР.	4	См. алгоритм	НУ
ИСПР. МВС	3	ВУ=ИСПР.МВС (наличие импульсов с f=10 Гц.) НУ=ОТКАЗ МВС. (отсутствие импульсов 0,3 с.при включении питания и 0,15 с. в Остальных случаях.)	-
АВТ. без СУ	2	ВУ / НУ	НУ
ИСПР. САУ	1	ВУ / НУ	НУ
УПР. ВР.	0	ВУ / НУ	НУ
АУТ	17777446 / 15	ВУ / НУ	НУ
ИСПР. АУТ	14	См. алгоритм	НУ
УПР. Т. ВР.	13	См. алгоритм	НУ
Мвкл.осн. к	12	ВУ / НУ	НУ
Мвкл.рез. к	11	ВУ / НУ	НУ
Мсц \ валов	10	См. алгоритм	НУ
Мсц	9	ВУ / НУ	НУ
ТЕСТ ОК ИМАТ	8	ВУ / НУ	НУ
ТЕСТ РК ИМАТ	7	ВУ / НУ	НУ
ТЕСТ ДЛУ	6	ВУ / НУ	НУ
ИСПР. АУТ	5	ВУ / НУ	НУ
УПР. Т. ВР.	4	ВУ / НУ	НУ
Резерв	3	ВУ / НУ	НУ
Резерв	2	ВУ / НУ	НУ

Сигналы СПО	Вход по Q-BUS “1”-наличие; “0”- отсутствие Адрес \ разряд	Логический выход Наличие \ отсутствие	Исходное состояние
Резерв	1	ВУ / НУ	НУ
Резерв	0	ВУ / НУ	НУ
БЛОКИРОВКА	-	См. алгоритм	ВУ

АЛГОРИТМ ФОРМИРОВАНИЯ ПОТЕНЦИАЛЬНОГО ВЫХОДА

