

Программные средства обеспечения доверенности проекта интегральных микросхем

Установка

ОС Windows:

1. Запустить setup.exe
2. После запуска установочного файла откроется окно установки программы
3. Выбрать папку для установки программы, нажать «Далее»
4. Выбрать папку для создания ярлыка программы, нажать «Далее»
5. При необходимости создания ярлыка на Рабочем столе поставить соответствующую галочку, нажать «Далее»
6. Нажать «Установить»
7. Ожидать окончания установки
8. Если на компьютере не установлены средства MS Visual C++ 2015-2022 Redistributable, в новом окне установки нажать «Установить». Если средства установлены, окно предложить исправить или удалить средства, нажать «Исправить».
9. По окончании установки средств MS Visual C++ 2015-2022 Redistributable, нажать «Заккрыть»
10. Если на компьютере не установлены средства MS .NET 8, в новом окне установки данного средства нажать «Установить» и «Заккрыть» после успешного завершения установки
11. При успешном окончании установки появится окно «Завершение Мастера установки TrustIC», нажать «Завершить»
12. Запустить программу с помощью ярлыка на рабочем столе или меню «Пуск»

ОС семейства Linux (Debian):

1. В директории с trustic.deb запустить консоль
2. Выполнить:

```
sudo apt update
```

для обновления списка доступных пакетов
3. Для установки пакета ввести в консоль:

```
sudo apt install ./trustic.deb
```
4. В процессе установки будут скачаны необходимые пакеты (libtcl8.6, dotnet-runtime-8.0), для подтверждения скачивания необходимо ввести в консоли символ `y`.
5. Ожидать окончания установки
6. Запустить программу из консоли с помощью команды:

```
TrustIC
```

Эксплуатация

Назначение

Программные средства (TrustIC) включают в себя:

- Подсистемы трансляции поведенческого описания схемы на языке Verilog и синтеза из поведенческого описания схемы в базис библиотек БСК;
- Подсистемы аттестации проекта ДМ и подготовки информации для производства ДМ, а именно: проверки отсутствия несанкционированных функциональных изменений логической схемы после синтеза топологии ДМ, проверки соответствия состава ячеек топологии составу ячеек логической схемы.

Руководство пользователя

При первом запуске программы пользователя встретит следующее окно:

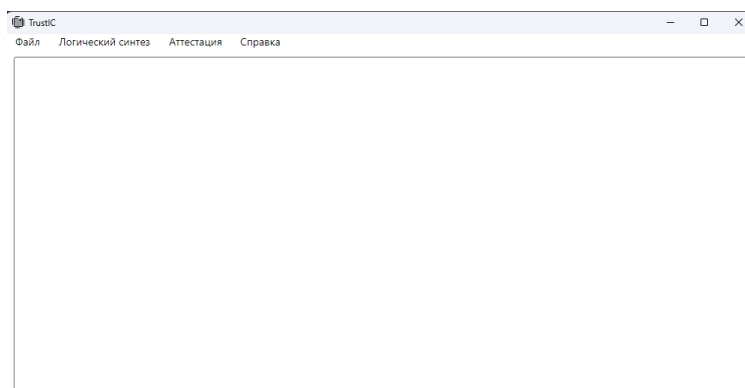


Рис. 1 - Окно ПС TrustIC при первом запуске

В верхней части окна приложения находятся меню с элементами «Файл» и «Логический синтез», «Аттестация», «Справка».

«Файл» содержит «Открыть папку проекта», «Закрыть папку проекта», «Выход».

«Открыть папку проекта» - вызов системного окна выбора директории, открытие выбранной папки и разблокировка функций САПР.

«**Закрыть папку проекта**» - закрытие проекта, блокировка функций САПР.

«**Выход**» - Закрытие ПС TrustIC

Для работы необходимо открыть проект:

Меню в верхней части окна – **Файл – Открыть папку проекта**.
Проектом является папка с исходниками.

После открытия проекта разблокируются основные подсистемы, представленные в Меню в верхней части окна.

При повторном запуске приложения открывается последний открытый проект и восстанавливаются заполненные формы.

В меню «Логический синтез» входят: «Трансляция», «Стандартный маршрут» и «Расширенный маршрут».

«Трансляция»

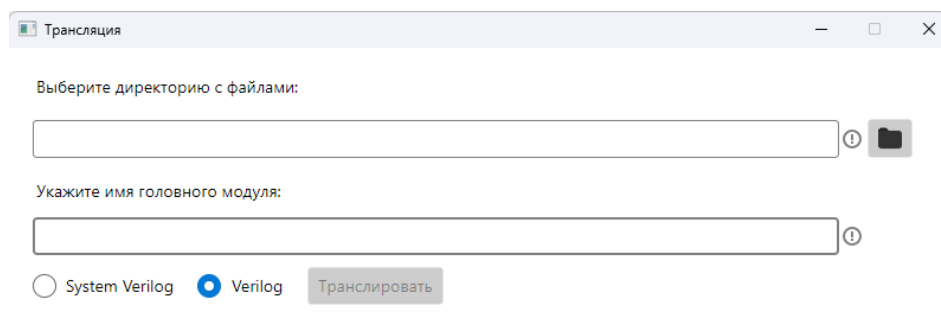


Рис. 2 – Окно «Трансляция»

Форма трансляции состоит из нескольких полей.

– «Выберете директорию с файлами» - необходимо ввести путь до директории с исходниками. Для более удобного выбора директории справа от поля ввода находится кнопка вызова системного окна выбора директории.

– «Укажите имя головного модуля» - необходимо ввести название головного модуля.

– Кнопки выбора языка описания аппаратуры предполагают произвести анализ схемы на одном из предлагаемых языков: Verilog или System Verilog.

– Кнопка «Транслировать» станет активна только после корректного ввода всех полей. Если кнопка неактивна, рядом с полем, введенным неверно находится значок восклицательного знака. При наведении курсора на этот значок появляется всплывающее сообщение с описанием ошибки ввода данных.

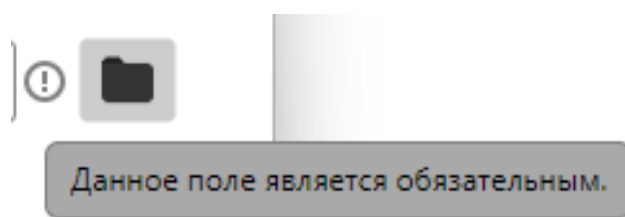


Рис. 3 – Пример ошибки ввода

Результатом работы данного окна является иерархический Verilog-нетлист в базисе Verific-модулей. Файл с результатом находится в папке проекта в папке «out». В эту же папку копируется файл «verificmodels.v» с необходимыми для синтеза модулями.

«Стандартный маршрут»

Форма окна «Стандартный маршрут синтеза» состоит из следующих полей:

– Добавьте Verilog-файлы – необходимо добавить Verilog-файлы для последующего синтеза. В процесс синтеза будут добавлены только выбранные файлы, помеченные галочкой. Для того, чтобы файл не участвовал в синтезе достаточно убрать галочку напротив него. Так же при наведении на конкретный файл появляется кнопка «Корзины», позволяющая удалить файл из списка.

- Добавьте библиотеки ячеек – аналогично с добавлением Verilog-файлов;

Стандартный маршрут синтеза

Добавьте Verilog-файлы: Данное поле является обязательным.

Добавить

Добавьте библиотеки ячеек: Данное поле является обязательным.

Добавить

Головной модуль

Основной буфер

Имя входа основного буфера

Имя выхода основного буфера

Запустить

Рис. 4 – Окно «Стандартный маршрут синтеза»

- Головной модуль – необходимо ввести название головного модуля.
- Основной буфер – необходимо ввести название буфера, который будет использоваться в синтезе. Данное и последующие поля необходимы для синтеза конструкции assign и buf языка Verilog.
- Имя входа основного буфера – необходимо ввести название входа основного буфера.
- Имя выхода основного буфера - необходимо ввести название выхода основного буфера.
- Кнопка «Запустить» станет активна только после корректного ввода всех полей.

При успешном выполнении синтеза в папке проекта появится выходной Verilog-нетлист. Подробности выполнения синтеза отражены в файле log.txt.

«Расширенный маршрут»

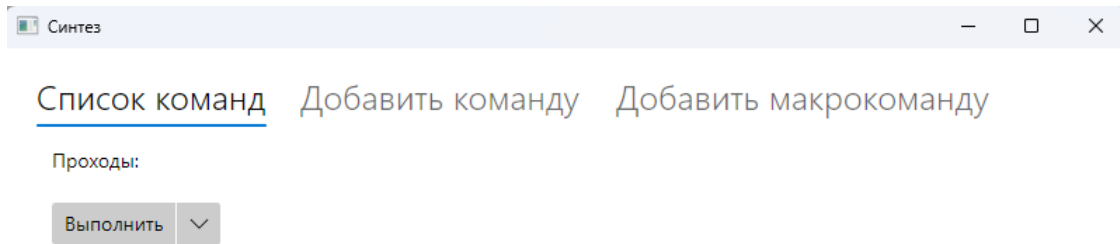


Рис. 11 – Окно синтеза схемы

Окно расширенного маршрута синтеза состоит из трех вкладок: «Список команд», «Добавить команду», «Добавить макрокоманду».

«Добавить команду» состоит из нескольких вкладок. Каждая вкладка позволяет добавить одну команду, позволяющую произвести действие с проектом.

Список команд Добавить команду Добавить макрокоманду

Чтение Verilog-файла
Головной модуль
Трансляция процессов
Конечный автомат
Память
Тех-мэппинг
ABC
Тех-мэппинг триггеров
Буферы
Запись Verilog-файла
Оптимизация
Статистика

Нетлист:

Путь до файла

☒ Verilog ☐ SystemVerilog

Добавить

Рис. 12 – Вкладка «Добавить Команду»

Каждая команда представляет собой команду yosys с определенными параметрами, обозначенными на вкладке каждой команды. Некоторые формы требуют обязательные к заполнению поля. До тех пор, пока эти поля не будут заполнены корректно, кнопка «Добавить» будет неактивна.

Список команд

Добавить команду

Добавить макрокоманду

Чтение Verilog-файла

Головной модуль

Трансляция процессов

Конечный автомат

Память

Тех-мэппинг

ABC

Тех-мэппинг триггеров

Буферы

Запись Verilog-файла

Оптимизация

Статистика

Библиотеки ячеек:

☒ D:\Work\DMSN\testFiles\Libraries\5529.lib
☐ D:\Work\DMSN\testFiles\Libraries\5529IO.lib

Добавить библиотеку

Файл с параметрами цепи:

Целевая задержка (нс)

☐ Быстрый проход
☐ Включить последовательную логику

Добавить

Рис. 13 – Пример корректно заполненной формы добавления команды «ABC», предназначенной для мэппинга в базисе указанных библиотек

«Добавить макрокоманду» состоит из одной вкладки «Verific». Макрокоманда создает последовательность из команд, позволяющих провести первичный синтез посредством средств Verific.

После добавления команд во вкладке «Список команд», будут отражены все добавленные команды. Имена команд соответствуют именам команд в yosys.

На вкладке «Список команд» находится кнопка «Выполнить», запускающая процесс синтеза в yosys. Также существует возможность сохранить файл с расширением «.tcl», хранящий в себе список созданных команд.

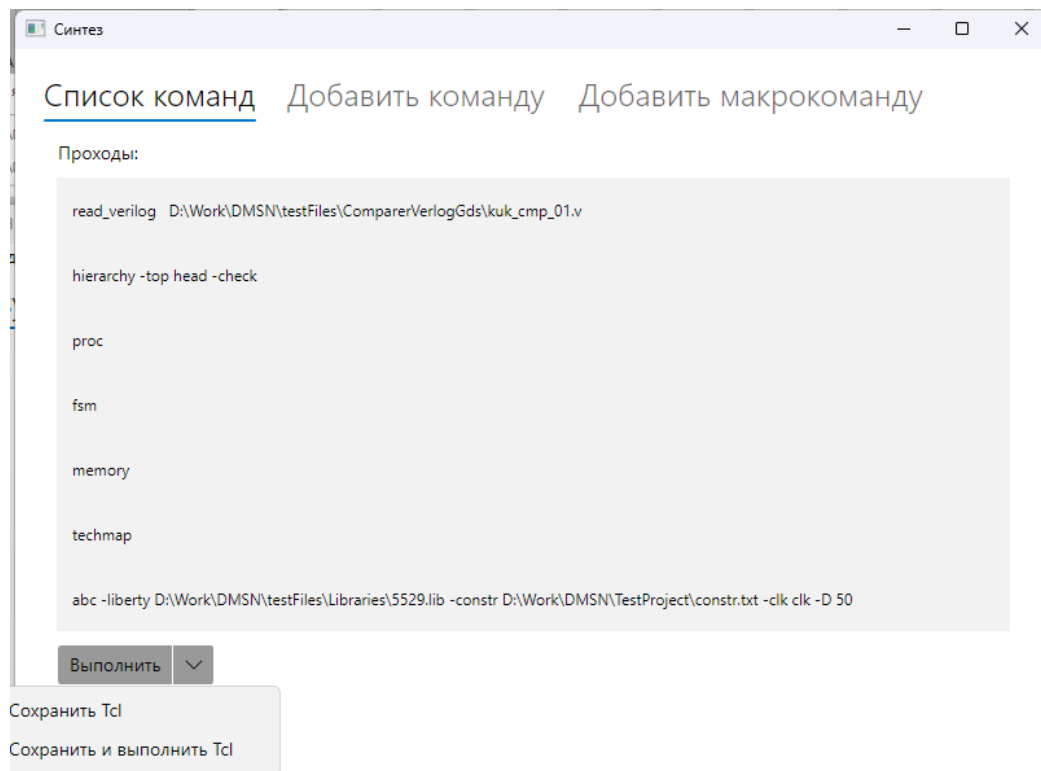


Рис. 14 – Пример списка команд

Последовательность команд можно изменить путем перетаскивания команды на другое место в списке. Ненужные команды можно удалить путем наведения курсора на команду, а затем нажатия на появившийся значок удаления.

После составления списка команд предлагается выполнить их. В этом случае команды передадутся уosys, окно синтеза закроется, в терминал будет направлена вся информация. Помимо выполнения есть возможность сохранения последовательности команд в файл tcl, а также сохранение и выполнение списка команд.

«Аттестация» содержит «Сравнение двух Verilog-нетлистов» и «Сравнение Verilog-нетлиста и GDS»

«Сравнение двух Verilog-нетлистов»

Сравнить Verilog-нетлисты

Первый файл Verilog Netlist:

Второй файл Verilog Netlist:

Добавьте библиотеки ячеек: Данное поле является обязательным.

Добавить

☐ Игнорировать цепи загрузки прошивки (контакты SI и SO)

Отмена Сравнить

Рис. 4 – Окно «Сравнение двух Verilog-нетлистов»

Форма состоит из следующих полей:

- «Первый файл Verilog Netlist» - необходимо ввести путь до Verilog-нетлиста;
- «Второй файл Verilog Netlist» - необходимо ввести путь до другого Verilog-нетлиста;
- «Библиотеки ячеек» - выбор библиотек, рядом с которыми находятся кнопки включения/выключения для сравнения. При наведении на каждую библиотеку появляется значок удаления;

Библиотеки ячеек:

☒ D:\Work\DMSN\testFiles\Libraries\5529.lib

☐ D:\Work\DMSN\testFiles\Libraries\5529IO.lib

Добавить библиотеку

Рис. 5 – Форма добавления библиотек.

- Кнопка «Добавить библиотеку» - открывает системное окно выбора файла. Разрешается выбрать файл только с расширением «.lib». После выбора файла, библиотека добавится в форму выбранных библиотек. Для

включения библиотеки в процесс сравнения необходимо поставить галочку в чек-боксе текущей библиотеки;

Сравнить Verilog-нетлисты

Первый файл Verilog Netlist:

E:\Work\TrustIC-build\Tests\ComparerVerlogVerilog\Test1.v

Второй файл Verilog Netlist:

E:\Work\TrustIC-build\Tests\ComparerVerlogVerilog\Test2.v

Добавьте библиотеки ячеек:

- ☒ E:\Work\TrustIC-build\Tests\5529.lib
- ☒ E:\Work\TrustIC-build\Tests\5529IO.lib

Добавить

☐ Игнорировать цепи загрузки прошивки (контакты SI и SO)

Отмена Сравнить

Рис. 6 – Корректно заполненная форма сравнения «Verilog-Verilog»

– Чек-брокс «Игнорировать цепи загрузки прошивки (контакты SI и SO)» – для включения данного параметра необходимо поставить галочку в чек-боксе;

– Кнопка «Отмена» - выход из окна сравнения;

– Кнопка «Сравнить» - запуск процесса сравнения нетлистов в базе выбранных библиотек. Происходит закрытие окна и отображение процесса сравнения в консоли.

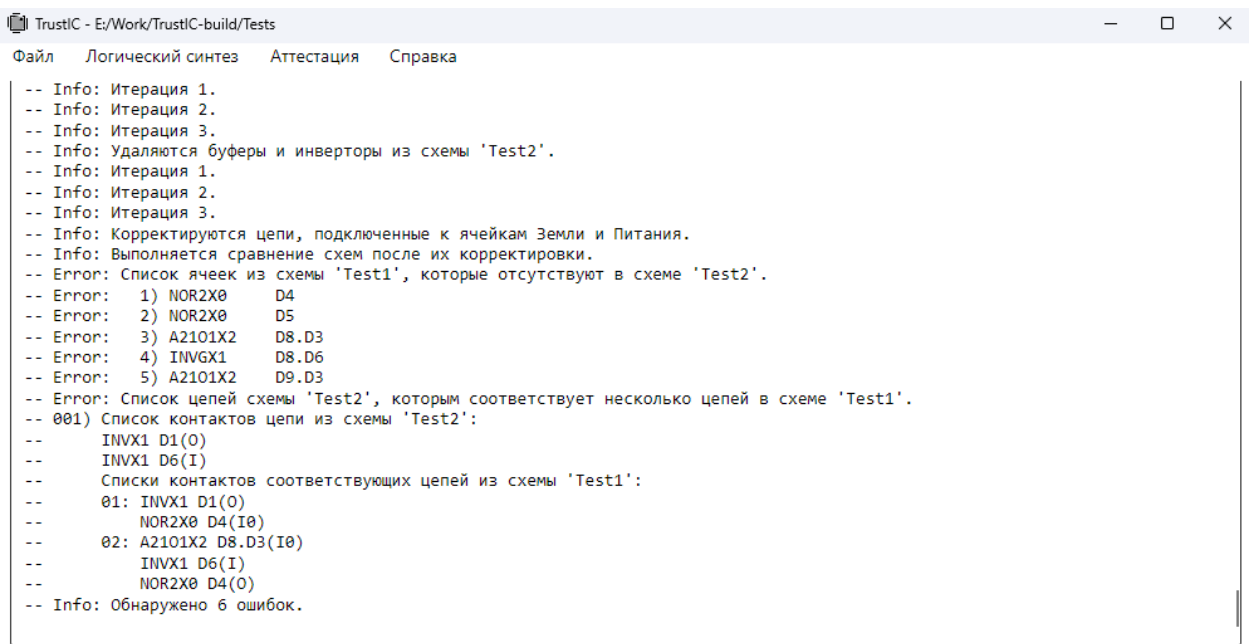


Рис. 7 – Результат сравнения нетлистов «Verilog-Verilog»

«Сравнение Verilog-нетлиста и GDS»

Рис. 8 – Окно сравнения Verilog-нетлиста и GDS-файла

Форма состоит из тех же полей, что и окно сравнения двух Verilog-нетлистов, за исключением поля ввода пути до GDS-файла. При поиске gds-файла через системный поиск установлен фильтр: выбрать разрешается только файл с расширением «.gds»

Сравнить Verilog-нетлист и GDS-файл

Файл Verilog Netlist:

E:\Work\TrustIC-build\Tests\ComparerVerlogGds\kuk_cmp_01.v

Файл GDS:

E:\Work\TrustIC-build\Tests\ComparerVerlogGds\kuk_cmp_01.gds

Добавьте библиотеки ячеек:

- ☒ E:\Work\TrustIC-build\Tests\5529.lib
- ☒ E:\Work\TrustIC-build\Tests\5529IO.lib

Добавить

Отмена Сравнить

Рис. 9 – Корректно заполненная форма сравнения «Verilog-Gds»

Результатом работы сравнения Verilog-нетлиста и Gds-файла является вывод информации в консоль графического интерфейса.

```

TrustIC - E:\Work\TrustIC-build\Tests
Файл  Логический синтез  Аттестация  Справка

-- Info: Сравнивается состав ячеек схемы 'E://Work//TrustIC-build//Tests//ComparerVerlogGds//kuk_cmp_01.v' и топологии 'E://Work//TrustIC-build//Tests//ComparerVerlogGds//kuk_cmp_01.gds'.
-- Info: Список количества примитивов в каждом слое топологии:
--   <Номер слоя> <Количество>
--   23           21570
--   27           31745
--   34           17172
--   36           9517
-- Warning: Список неопознанных ссылок из файла с топологией:
--   <Имя ссылки>   <Количество>
--   M1_POLY_2xE    3048
--   M1_POLY_2xN    7258
--   M1_POLY_2xS    4457
--   M1_POLY_2xW    2805
--   M2_M1_2xE      8639
--   M2_M1_2xN      8075
--   M2_M1_2xS      5734
--   M2_M1_2xW      4916
--   M3_M2_2xE      5704
--   M3_M2_2xN      8617
--   M3_M2_2xS      4635
--   M3_M2_2xW      2830
--   M4_M3_2xN      8999
--   M4_M3_2xS      2875
-- Info: Составы ячеек в схеме и топологии совпадают.
  
```

Рис. 10 – Результат сравнения «Verilog-Gds»