

Раздел 9. Микросхема защиты от тиристорного эффекта

Содержание

9.1.	Назначение	9-2
9.2.	Общие сведения	9-2
9.2.1.	Условное графическое обозначение микросхемы.	9-2
9.2.2.	Назначение выводов	9-3
9.2.3.	Упрощенная структура микросхемы	9-4
9.2.4.	Рекомендуемая схема включения	9-5
9.2.5.	Работа микросхемы при защите от тиристорного эффекта	9-6
9.2.6.	Работа микросхемы при таймауте сторожевого таймера	9-7
9.2.7.	Принудительное отключение питания и тестовый режим	9-8
9.2.8.	Защита микросхемы от кратковременных сбоев питания	9-8
9.3.	Технические характеристики	9-10
9.3.1.	Электрические параметры	9-10
9.3.2.	Механические и климатические факторы	9-12
9.3.3.	Специальные воздействия и надежность	9-12
9.3.4.	Прочие характеристики	9-13
9.4.	Чертеж корпуса	9-15

9.1. Назначение

Микросхемы 1469TK025 и 1469TK035 (далее по тексту просто «микросхема», конкретный тип будет упомянут только для описания различий) предназначена для предохранения электронной аппаратуры от тиристорного эффекта (тиристорного «защелкивания»), вызванного тяжелыми заряженными частицами и протонами. Микросхема устанавливается в разрыв цепи питания и реализует защиту по току, т.е. отключает защищаемые узлы при возрастании тока потребления выше заданного порога. Рекомендуемая область применения — бортовое оборудование летательных и космических объектов.

9.2. Общие сведения

Микросхема разрешена для применения в специальной аппаратуре и обладает следующими возможностями:

- Напряжение питания $3,3В \pm 10\%$.
- Задаваемый порог срабатывания защиты по току от тиристорного эффекта.
- Задаваемые время реакции и длительность отключения питания при обнаружении превышения током заданного порога.
- Аналоговое регулирование тока нагрузки после срабатывания защиты.
- Необязательный дополнительный уровень защиты от тиристорного защелкивания.
- Сторожевой таймер с задаваемым временем таймаута.
- Сигнализация о фактах срабатывания защиты по току и таймауте сторожевого таймера.
- Возможность внешнего управления.
- Внутренний силовой ключ защиты.
- Защита самой микросхемы от кратковременных сбоев питания.
- Радиационнотойкая технология.

9.2.1. Условное графическое обозначение микросхемы

На рис. 9-1 приведено рекомендуемое условное графическое изображение микросхемы.

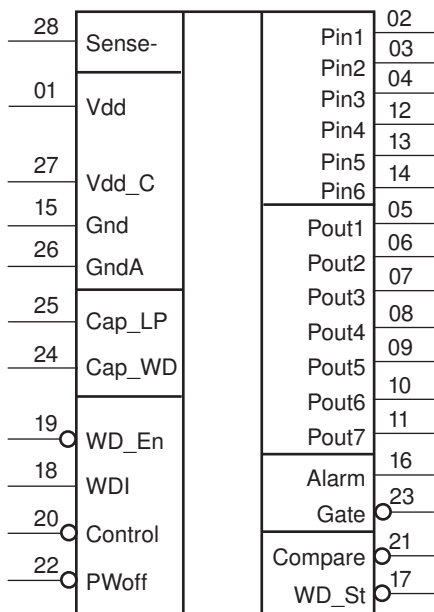


Рис. 9-1. Условное графическое изображение микросхемы

Официальное обозначение: микросхема 1469TK025 или 1469TK035 АЕНВ.431260.042 ТУ.

9.2.2. Назначение выводов

В табл. 9-1 приведено краткое описание выводов микросхемы.

Таблица 9-1. Описание выводов микросхемы

Номер	Имя	Тип	Буфер	Описание
1	Vdd	P, AI		Вывод подключения «плюса» источника питания и неинвертирующий вход компаратора датчика тока
2	Pin1	P		Исток внутреннего р-канального ключа защиты
3	Pin2	P		Исток внутреннего р-канального ключа защиты
4	Pin3	P		Исток внутреннего р-канального ключа защиты
5	Pout1	P		Сток внутреннего р-канального ключа защиты
6	Pout2	P		Сток внутреннего р-канального ключа защиты
7	Pout3	P		Сток внутреннего р-канального ключа защиты
8	Pout4	P		Сток внутреннего р-канального ключа защиты
9	Pout5	P		Сток внутреннего р-канального ключа защиты
10	Pout6	P		Сток внутреннего р-канального ключа защиты
11	Pout7	P		Сток внутреннего р-канального ключа защиты
12	Pin4	P		Исток внутреннего р-канального ключа защиты
13	Pin5	P		Исток внутреннего р-канального ключа защиты
14	Pin6	P		Исток внутреннего р-канального ключа защиты
15	Gnd	P		Вывод для подключения общего провода источника питания (цифровая земля)
16	Alarm	DO		Выход управления дополнительным уровнем защиты (сток п-канального ключа, активный низкий)
17	WD_St	DO		Выход признака срабатывания защиты по таймауту сторожевого таймера (сток п-канального ключа, активный низкий)
18	WDI	DI		Вход для периодического сброса сторожевого таймера (активный высокий)
19	WD_En	DI		Вход разрешения работы сторожевого таймера (активный низкий)
20	Control	DI		Вход сброса сигналов Compare и WD_St (активный высокий)
21	Compare	DO		Выход признака срабатывания защиты от тиристорного эффекта (сток п-канального ключа)
22	PWoff	DI		Вход внешнего отключения питания нагрузки (активный высокий)
23	Gate	DO	CMOS	Выход управления внутренним ключом защиты (затвор р-канального ключа) с возможностью подключения внешнего ключа
24	Cap_WD	DI		Вывод подключения внешнего конденсатора, задающего частоту генератора сторожевого таймера (фактически — его таймаут)
25	Cap_LP	DI		Вывод подключения внешнего конденсатора, задающего частоту генератора схемы защиты (фактически — ее время реакции и длительность отключения)
26	GndA	P		Вывод для подключения общего провода источника питания (аналоговая земля)
27	Vdd_C	P		Вывод подключения внешнего конденсатора резервного питания
28	Sense-	AI		Инвертирующий вход компаратора датчика тока

Условные обозначения в таблице: CMOS — КМОП; DI, DO — цифровой вход и выход, AI — аналоговый вход, P — питание.

9.2.3. Упрощенная структура микросхемы

Упрощенная структура микросхемы защиты приведена на рис. 9-2.

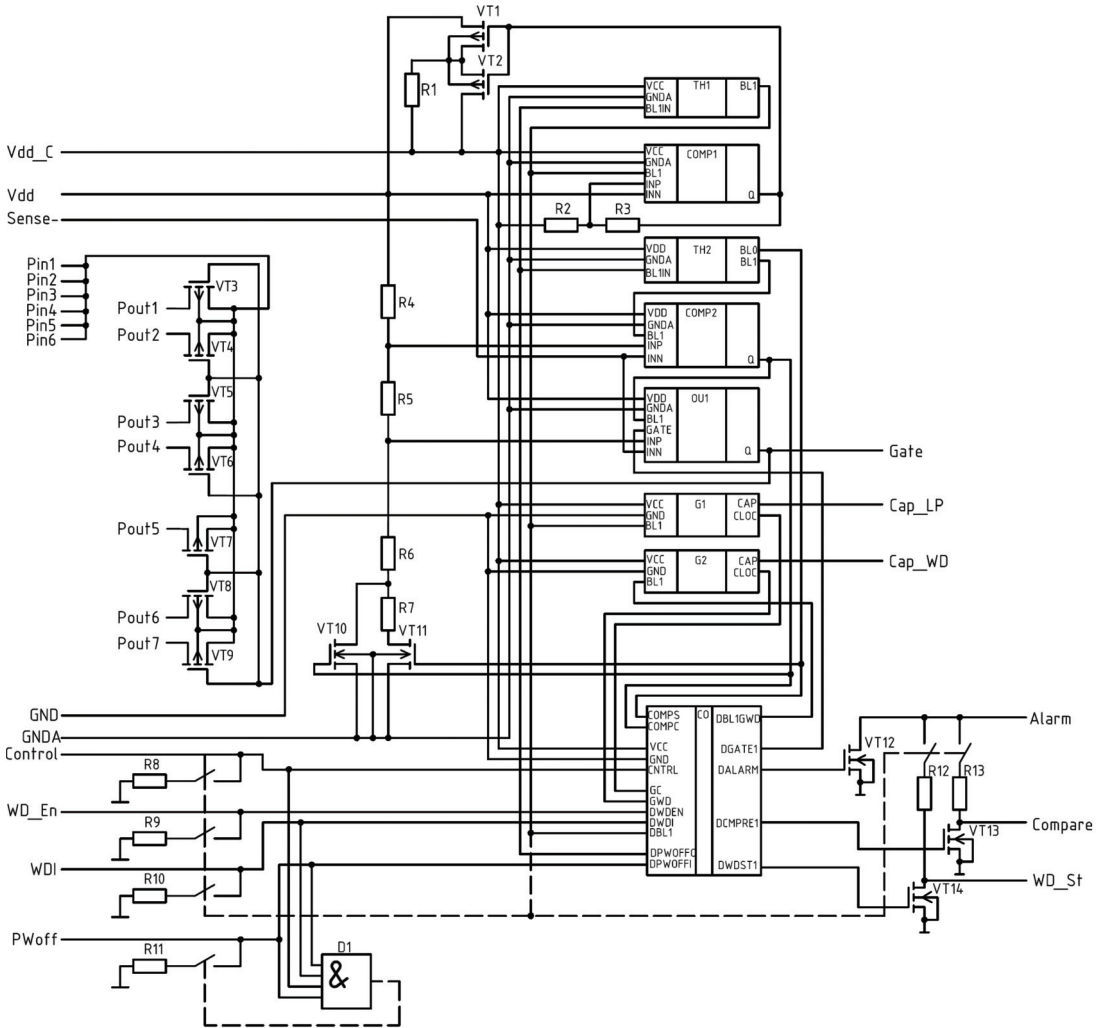


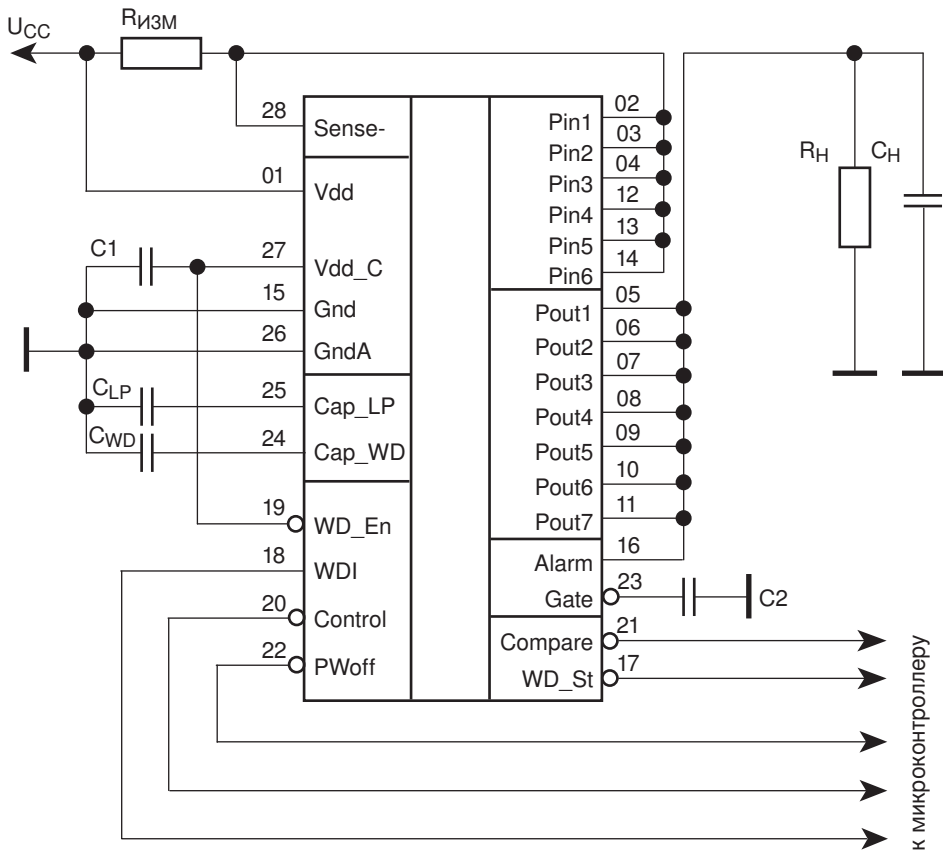
Рис. 9-2. Внутренняя структура микросхемы

В состав микросхемы входят следующие основные узлы:

- COMP1 — компаратор питания, отслеживает превышение напряжения на выводе Vdd_C относительно напряжения на выводе Vdd;
- TH2 — супервизор питания на выводе Vdd;
- TH1 — супервизор питания на шине Vdd_C;
- COMP2 — компаратор датчика тока;
- OU1 — усилитель;
- G1 — генератор тактовой частоты схемы управления защитой по току, частота задается встроенным конденсатором и внешним конденсатором, подключаемым к выводу Cap_LP;
- G2 — генератор тактовой частоты сторожевого таймера, частота задается встроенным конденсатором и внешним конденсатором, подключаемым к выводу Cap_WD;
- CO — блок управления.

9.2.4. Рекомендуемая схема включения

Пример включения микросхемы защиты от тиристорного эффекта приведен на рис. 9-3.



Примечание к рисунку. В данном примере сторожевой таймер отключен. Для включения достаточно соединить вход WD_En с общим проводом.

Рис. 9-3. Пример включения

Назначение компонентов схемы:

1. $R_{ИЗМ}$ — датчик тока нагрузки, рассчитывается по формуле $R_{ИЗМ} = U_{ТЛР} / I_{ЗАЩ}$ где:
 $R_{ИЗМ}$ — сопротивление датчика, Ом;
 $U_{ТЛР}$ — напряжение порога срабатывания защиты, В (см. табл. 9-2, стр. 9-10);
 $I_{ЗАЩ}$ — ток срабатывания защиты, А.
2. R_H и C_H — защищаемая нагрузка (рекомендуется $C_H < 100\text{мкФ}$).
3. $C1$ — конденсатор резервного питания микросхемы на случай кратковременного отключения U_{CC} . Рекомендуемые емкость $> 0,3\text{мкФ}$ и напряжение $> 10\text{В}$.
4. C_{LP} — конденсатор задания частоты генератора схемы управления защитой по току, см. рис. 9-8 (стр. 9-13) или расчет по формуле $C_{LP} = T_{ПРОТ} / 11,2$ где:
 C_{LP} — емкость конденсатора, нФ;
 $T_{ПРОТ}$ — время срабатывания защиты, мс.
5. C_{WD} — конденсатор задания частоты генератора сторожевого таймера, см. рис. 9-9 (стр. 9-13) или расчет по формуле $C_{WD} = T_{WD} / 112$ где:
 C_{WD} — емкость конденсатора, нФ;
 T_{WD} — время таймаута сторожевого таймера, мс.
6. $C2$ — конденсатор фильтрации ВЧ помехи на затворе ключа питания, рекомендуемое значение 2нФ .

9.2.5. Работа микросхемы при защите от тиристорного эффекта

Пороговое значение тока нагрузки, при котором срабатывает защита от тиристорного эффекта, задается сопротивлением низкоомного резистора $R_{ИЗМ}$ в цепи питания, включенного между входами Vdd и Sense-. При превышении напряжением на $R_{ИЗМ}$ порогового значения срабатывания защиты внутренний компаратор COMP2 выдает на блок управления СО сигнал к началу ограничения тока нагрузки, на выводе Compare появляется низкий логический уровень. Выход Compare позволяет определить имел ли место факт срабатывания защиты по току и может быть использован для проверки правильности выбора датчика тока.

На рис. 9-4 показан пример временной диаграммы работы микросхемы при защите от тиристорного эффекта.

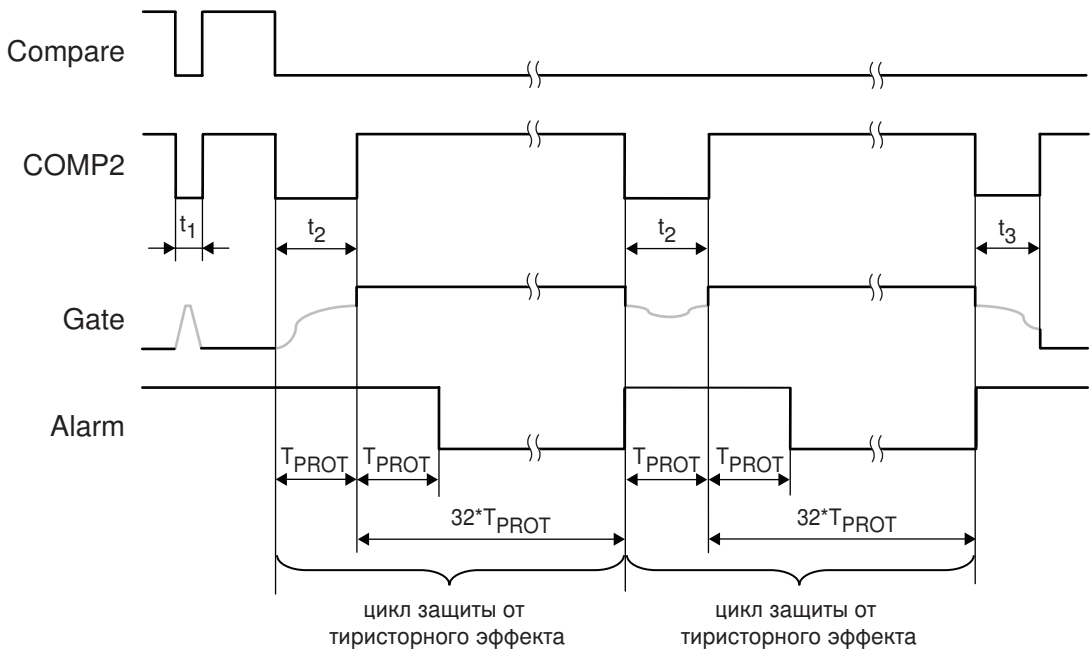


Рис. 9-4. Временная диаграмма защиты от тиристорного эффекта

Если длительность сигнала Compare не превышает время T_{PROT} (см. рис. 9-4: $t_1 < T_{PROT}$), то происходит ограничение тока в защищаемой цепи на время t_1 , а затем сигналы Compare и Gate возвращаются в исходное состояние и питание защищаемой цепи восстанавливается.

Если сигнал на выходе внутреннего компаратора COMP2 (см. рис. 9-2 стр. 9-4) о превышении порогового значения U_{TLP} длится больше времени T_{PROT} (см. рис. 9-4: $t_2 > T_{PROT}$), то схема управления защитой по току выдает на усилитель ОУ1 сигнал блокировки, который формирует на выводе Gate высокий логический уровень, полностью отключая питание защищаемой цепи. При этом сигнал на выводе микросхемы Compare переходит в состояние низкого логического уровня. Высокий уровень на выводе Compare может быть восстановлен подачей сигнала высокого логического уровня на вход Control длительностью не менее T_{PROT} , или подачей сигнала высокого логического уровня на вход PWoff длительностью не менее 1мкс, или сбросом микросхемы по питанию.

Спустя время T_{PROT} после момента отключения питания нагрузки, схема управления устанавливает низкий логический уровень на внешнем выводе Alarm: открывает ключ VT12 (рис. 9-2 стр. 9-4) и обеспечивает шунтирование защищаемой нагрузки. Вывод Alarm предназначен для снятия остаточного напряжения (разряда конденсаторов фильтра питания) с защищаемой цепи, с целью полного подавления тиристорного эффекта от паразитных токов.

Максимальная мощность рассеивания ключа на выводе Alarm ограничивает емкость нагрузки C_H значением 100 мкФ.

По истечении времени $32 \cdot T_{PROT}$ с момента отключения питания нагрузки схема управления восстанавливает высокий логический уровень сигналов Alarm и Gate, усилитель OU1 переходит в нормальный режим работы с возможностью ограничения тока нагрузки. На этом цикл защиты от тиристорного эффекта заканчивается. Если при последующем включении питания защищаемой цепи наблюдается повышенный ток в течение времени T_{PROT} , то происходит повторение цикла защиты. Полное восстановление нормального питания защищаемой цепи произойдет при условии спада тока защищаемой цепи ниже порогового уровня отпускания защиты за время $t_3 < T_{PROT}$, см. рис. 9-4 (стр. 9-6).

При включении питания защищаемой цепи заряд конденсаторов фильтра питания вызывает бросок тока потребления, который может превышать порог срабатывания схемы защиты от тиристорного эффекта. Чтобы избежать ошибочного отключения питания, следует выбирать T_{PROT} большим, чем длительность пика тока потребления: $t_3 < T_{PROT}$, см. рис. 9-4 (стр. 9-6).

9.2.6. Работа микросхемы при таймауте сторожевого таймера

При низком логическом уровне на внешнем входе WD_En разрешается работа сторожевого таймера. Блокировка сторожевого таймера осуществляется высоким логическим уровнем WD_En или срабатыванием защиты от тиристорного эффекта. На рис. 9-5 показан пример временной диаграммы работы сторожевого таймера микросхемы.

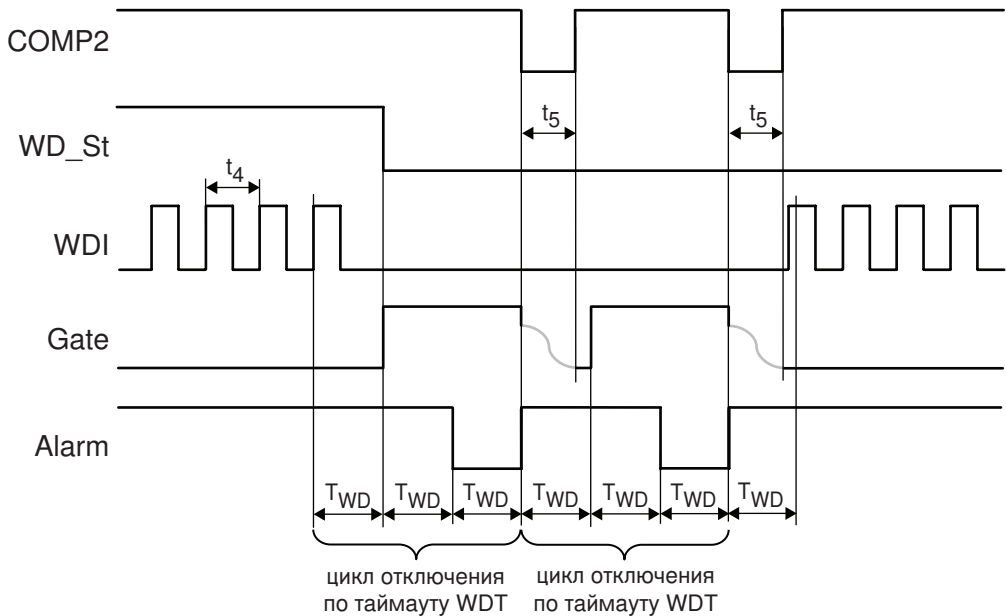


Рис. 9-5. Временная диаграмма отключения по таймауту сторожевого таймера

Время таймаута сторожевого таймера T_{WD} определяется величиной емкости конденсатора C_{WD} (рис. 9-3 стр. 9-5). При включенном сторожевом таймере подача на вход WDI импульсов шириной не менее $T_{WD}/30$ и периодом $t_4 < T_{WD}$ сбрасывает внутренний счетчик и отключение питания в защищаемой цепи не производится (левая часть диаграммы на рис. 9-5). Если за время T_{WD} период сигнала WDI не завершается, то наступает таймаут сторожевого таймера и выполняется цикл отключения защищаемой цепи. При таймауте устанавливается низкий логический уровень на выходе микросхемы WD_St , что позволяет определить имел ли место факт срабатывания защиты по таймауту сторожевого таймера. Высокий уровень на выходе WD_St может быть восстановлен

подачей высокого логического уровня на вход Control длительностью не менее T_{PROT} , подачей высокого логического уровня на вход PWoff длительностью не менее 1мкс, или сбросом микросхемы по питанию.

По истечении времени T_{WD} с момента обнаружения таймаута формируется низкий логический уровень на выводе Alarm. Длительность отключения питания защищаемой цепи с момента срабатывания сторожевого таймера равна $2 \cdot T_{WD}$. После этого сигнал Alarm возвращается в состояние высокого логического уровня и питание защищаемой цепи восстанавливается. Сигнал на выводе Gate полностью восстанавливается после истечения времени t_5 броска тока включения нагрузки (рис. 9-5 стр. 9-7 — $t_5 < T_{WD}$).

Если на вход WDI по-прежнему не поступает периодический сигнал сброса, то цикл отключения по таймауту повторится через T_{WD} .

Появление высокого уровня на внешнем входе WD_En приводит к выключению сторожевого таймера и производит немедленное восстановление питания защищаемой цепи, но не влияет на низкий уровень сигнала WD_St.

9.2.7. Принудительное отключение питания и тестовый режим

Высокий уровень на входе PWoff возвращает в исходное состояние все узлы микросхемы, отключает внутренние резисторы доопределения с выводов WD_En, WDI, Control, Compare, WD_St и устанавливает выходы микросхемы в 3-е логическое состояние «обрыв». При этом вывод Gate принимает состояние высокого логического уровня, который приводит к отключению питания защищаемой цепи.

Если при этом дополнительно подать высокий уровень на входы WDI, WD_En и Control, то происходит отключение внутреннего резистора доопределения на самом входе PWoff. Комбинация из одновременных высоких уровней на входах WDI, WD_En, Control и PWoff является тестовой и используется для контроля токов утечки при изготовлении микросхемы.

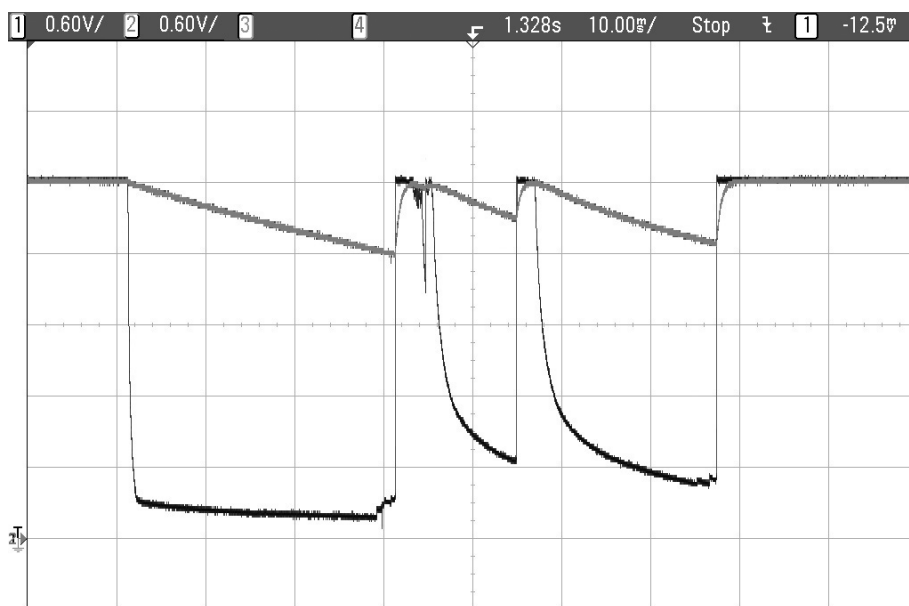
Следует обратить внимание, что для предотвращения самопроизвольного включения тестового режима при включении питания рекомендуется снаружи на любой из входов WDI, WD_En, Control или на все подать низкий уровень.

Функционирование восстанавливается по низкому уровню на входе PWoff.

9.2.8. Защита микросхемы от кратковременных сбоев питания

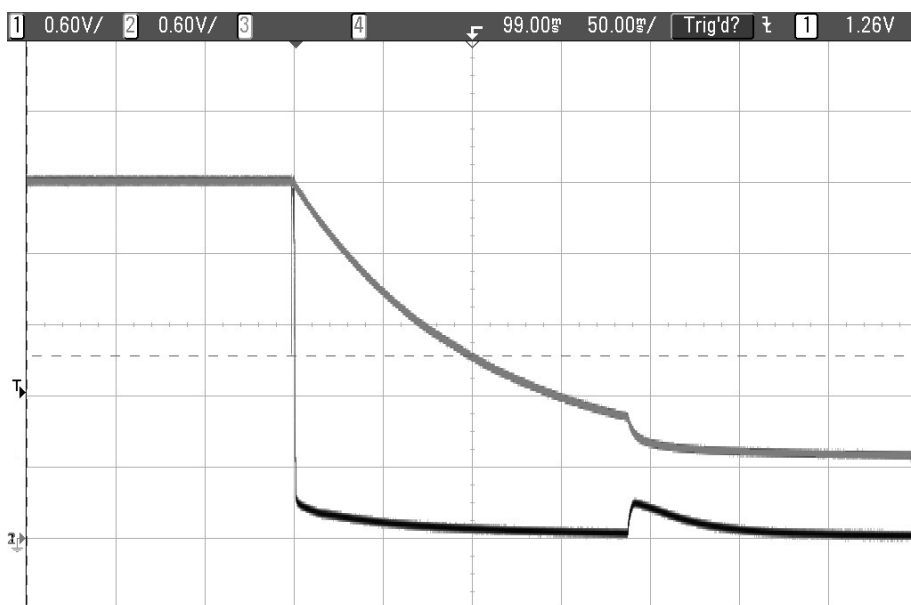
Из-за вероятности кратковременного нарушения питания под воздействием радиационных факторов, предусмотрены средства резервного питания микросхемы от дополнительного внешнего конденсатора, подключаемого к выводу Vdd_C (C1 на рис. 9-3 стр. 9-5).

Основной источник питания подключается к выводу Vdd. При штатном функционировании основного источника потребляемый ток протекает через замкнутые ключи (VT1 и VT2 на рис. 9-2 стр. 9-4), соединяющие выходы Vdd и Vdd_C и управляемые компаратором COMP1. В случае снижения напряжения на выводе Vdd из-за сбоя основного источника питания внутренний компаратор COMP1 срабатывает и размыкает ключи, после чего питание микросхемы поддерживается за счет внешнего конденсатора C1. Выбор номинала C1 позволяет задать время автономного функционирования микросхемы. Примеры осциллограмм напряжений на выводах Vdd и Vdd_C при кратковременном нарушении и аварии питания микросхемы приведены на рис. 9-6 (стр. 9-9) и рис. 9-7 (стр. 9-9).



Примечания к рисунку. Масштаб по вертикали 0,6 В, по горизонтали 10 мс. Черный цвет — напряжение на выводе Vdd, серый — Vdd_C. C1=10 мкФ, сторожевой таймер отключен.

Рис. 9-6. Осциллограмма напряжений при кратковременных нарушениях питания



Примечания к рисунку. Масштаб по вертикали 0,6 В, по горизонтали 50 мс. Черный цвет — напряжение на выводе Vdd, серый — Vdd_C. C1=10 мкФ, сторожевой таймер отключен.

Рис. 9-7. Осциллограмма напряжений при аварии питания

9.3. Технические характеристики

9.3.1. Электрические параметры

Таблица 9-2. Электрические параметры (часть 1 из 2)

Наименование параметра, единица и режим измерения	Символ	Норма параметра		Температура среды, °C
		не менее	не более	
Выходное напряжение низкого уровня на выходах Compare и WD_St, В (при $U_{CC}=2,7$ В и $I_{OL}=1,2$ мА).	U_{OL}	—	0,3	+25 ±10 -60 +85
Выходное напряжение низкого уровня на выходе Alarm, В (при $U_{CC}=2,7$ В и $I_{OL}=4$ мА).	U_{OL}	—	0,3	+25 ±10 -60 +85
Выходное напряжение низкого уровня на выходе Gate, В (при $U_{CC}=2,7$ В и $I_{OL}=5,0$ мкА).	U_{OL}	—	0,3	+25 ±10 -60 +85
Выходное напряжение высокого уровня на выходе Gate, В (при $U_{CC}=2,7$ В).	U_{OH}	2,4	—	+25 ±10 -60 +85
Выходное сопротивление на каждом из выходов Pout1...Pout7 относительно входа Vdd, Ом (при $U_{CC}=2,7$ В).	R_{ON}	—	2,2	+25 ±10 -60 +85
Ток потребления статический, мкА (при $U_{CC}=3,63$ В).	I_{CC}	—	50	+25 ±10
			100	-60 +85
Ток потребления динамический, мА (при $U_{CC}=3,63$ В, сторожевой таймер включен ???, частота генераторов ???).	I_{OCC}	—	0,6	+25 ±10
			1,0	-60 +85
Ток утечки низкого и высокого уровней на входе Sense-, мкА (при $U_{CC}=3,63$ В).	I_{ILL}, I_{ILH}	-0,3	0,3	+25 ±10
		-3,0	3,0	-60 +85
Входной ток низкого и высокого уровней в состоянии «выключено» на входе WD_En, мкА (при $U_{CC}=3,63$ В).	I_{IZL1}, I_{IZH1}	-0,3	0,3	+25 ±10
		-3,0	3,0	-60 +85
Входной ток низкого и высокого уровней в состоянии «выключено» на входах Control, WDI, мкА (при $U_{CC}=3,63$ В).	I_{IZL2}, I_{IZH2}	-0,8	0,8	+25 ±10
		-8,0	8,0	-60 +85
Выходной ток низкого и высокого уровней в состоянии «выключено» на выходах Pout1...Pout7, мкА (при $U_{CC}=3,63$ В).	I_{OZL2}, I_{OZH2}	-1,5	1,5	+25 ±10
		-2,0	2,0	-60 +85
Выходной ток низкого и высокого уровней в состоянии «выключено» на выходах Compare, Alarm, WD_St, Cap_WD, Cap_LP, мкА (при $U_{CC}=3,63$ В).	I_{OZL1}, I_{OZH1}	-0,3	0,3	+25 ±10
		-3,0	3,0	-60 +85
Ток доопределения до низкого и высокого уровня на входах Cap_WD, Cap_LP, мкА (при $U_{CC}=3,63$ В).	I_{D1}, I_U	64	100	+25 ±10 -60 +85
Ток доопределения до низкого уровня на входах PWOFF, Control, WDI, WD_En, мкА (при $U_{CC}=3,63$ В)	I_{D2}	20	50	+25 ±10 -60 +85
Порог срабатывания схемы защиты от тиристорного эффекта (напряжение между входами Vdd и Sense-), мВ (при $U_{CC}=3,3$ В).	U_{TLP}	80	120	+25 ±10 -60 +85

Таблица 9-2. Электрические параметры (часть 2 из 2)

Наименование параметра, единица и режим измерения	Символ	Норма параметра		Температура среды, °C
		не менее	не более	
Порог отпускания схемы защиты от тиристорного эффекта (напряжение между входами Vdd и Sense-), мВ (при U _{CC} =3,3 В).	U _{TNC}	70	110	+25 ±10 -60 +85
Время включения защиты от тиристорного эффекта, мс (при C _{LP} =6,8 нФ и U _{CC} =2,7 В).	T _{PROT1}	70	90	+25 ±10 -60 +85
Емкость на входах Control, WDI, Sense-, WD_En, PWOFF, пФ (при U _{CC} =2,7 В).	C _I	—	10	+25 ±10 -60 +85
Емкость на входах Pin1...Pin6, пФ.	C _{PIN}	—	300	+25 ±10 -60 +85
Емкость на выходах Alarm, WD_St, Compare, пФ.	C _O	—	10	+25 ±10 -60 +85
Емкость на выходах Pout1...Pout7, пФ.	C _{POUT}	—	120	+25 ±10 -60 +85
Емкость вывода Gate, пФ.	C _{GATE}	—	230	+25 ±10 -60 +85
Емкость выводов Cap_LP, CapWD, пФ.	C _{LPWD}	—	10	+25 ±10 -60 +85
Время включения защиты от тиристорного эффекта, мс (при отсутствии внешнего C _{LP} и U _{CC} =2,7 В).	T _{PROT2}	—	0,5	+25 ±10 -60 +85
Время таймаута сторожевого таймера, мс (при отсутствии внешнего C _{WD} и U _{CC} =2,7 В).	T _{WD2}	—	2,5	+25 ±10 -60 +85
Длительность рабочего состояния при сбое питания (кратком замыкании вывода Vdd на общий провод), мс (при C1=10мкФ и U _{CC} =2,7 В).	T _{KZ}	100	—	+25 ±10 -60 +85

В табл. 9-3 приведены предельно-допустимые и предельные режимы работы микросхемы.

Таблица 9-3. Предельно-допустимые и предельные режимы (часть 1 из 2)

Наименование параметра и единица измерения	Символ	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U _{CC}	4,5	5,5	-0,2	7
Внешнее напряжение на отключенном выходе, В	U _{OZ}	0	U _{CC}	-0,4	U _{CC} +0,4 (но < 4,0)
Входное напряжение низкого уровня, В	U _{IL}	0	0,4 ⁽¹⁾	-0,4	—
Входное напряжение высокого уровня, В	U _{IH}	U _{CC} -0,4 ⁽¹⁾	U _{CC}	—	U _{CC} +0,4 (но < 4,0)
Выходной ток низкого уровня, мА	I _{OL}	—	3,0	—	6,0
Выходной ток высокого уровня, мА	I _{OH}	—	1,5	—	3,0
Емкость нагрузки цифровых выходов, пФ	C _L	—	150	—	250

Таблица 9-3. Предельно-допустимые и предельные режимы (часть 2 из 2)

Наименование параметра и единица измерения	Символ	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Емкость нагрузки выходов Cap_LP и Cap_WD, нФ	C _{LP} C _{WD}	—	100	—	220

Примечания.

1. С учетом всех видов помех.

9.3.2. Механические и климатические факторы

Стойкость микросхемы к внешним механическим воздействиям соответствует ОСТ 11 0998. Стойкость к воздействию климатических факторов по ОСТ 11 0998, в том числе см. табл. 9-4.

Таблица 9-4. Стойкость к внешним климатическим факторам

Воздействие и единица измерения	Значение	
	Мин.	Макс.
Повышенная рабочая температура среды, °C		+85
Повышенная предельная температура среды, °C		+125
Пониженная рабочая температура среды, °C	-60	
Пониженная предельная температура среды, °C	-60	
Изменение температуры среды в пределах, °C	-60	+125

9.3.3. Специальные воздействия и надежность

Стойкость микросхем к специальным факторам с характеристиками 7.И, 7.С, и 7.К соответствует ГОСТ РВ 20.39.414.2 с характеристиками по группам исполнения, приведенным в таблице 4.

Таблица 9-5. Стойкость к внешним специальным воздействиям

Виды специальных факторов	Характеристики специальных факторов	Значения характеристик специальных факторов	
		1469ТН025	1469ТН035
7.И	7.И ₁	5У _С	4У _С
	7.И ₆	6У _С	6У _С
	7.И ₇	0,5•5У _С	5•4У _С
	7.И ₈	1У _С	0,013•1У _С
	7.И ₁₂ —7.И ₁₃	2•2Р	2Р
7.С	7.С ₁	5У _С	4У _С
	7.С ₄	5У _С	3•4У _С
7.К	7.К ₁	2К ⁽¹⁾⁽²⁾	2К
	7.К ₄	1К ⁽¹⁾⁽²⁾	1К ⁽¹⁾⁽²⁾
	7.К ₁₁	80МэВ•см ² /мг ⁽³⁾	41МэВ•см ² /мг

Примечания.

1. При совместном воздействии факторов с характеристиками 7.К₁ и 7.К₄.
2. При независимом воздействии факторов с характеристиками 7.К₁ и 7.К₄.
3. По катастрофическим отказам.

В табл. 9-6 приведены характеристики надежности

Таблица 9-6. Характеристики надежности

Характеристика	Значение		Ед. изм.
	Мин.	Макс.	
Минимальная наработка	100000		час
Минимальный срок сохраняемости	25		лет

9.3.4. Прочие характеристики

На рис. 9-8 приведена зависимость времени включения защиты по току T_{PROT} от емкости внешнего конденсатора C_{LP} .

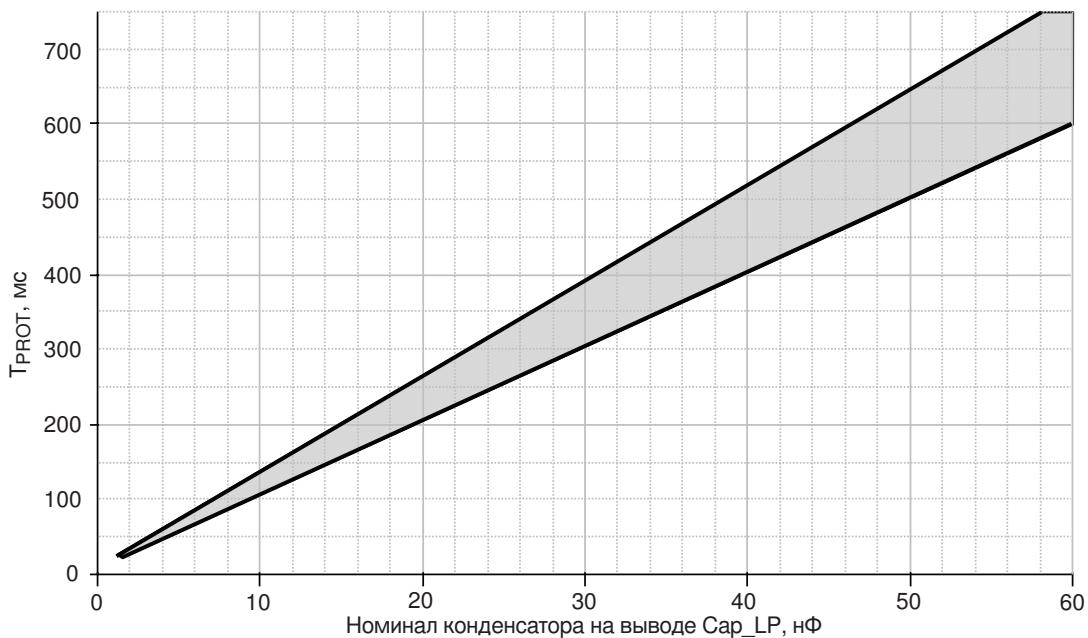


Рис. 9-8. Зависимость времени включения защиты по току от емкости C_{LP}

На рис. 9-9 (стр. 9-13) приведена зависимость длительности таймаута сторожевого таймера T_{WD} от емкости внешнего конденсатора C_{WD} .

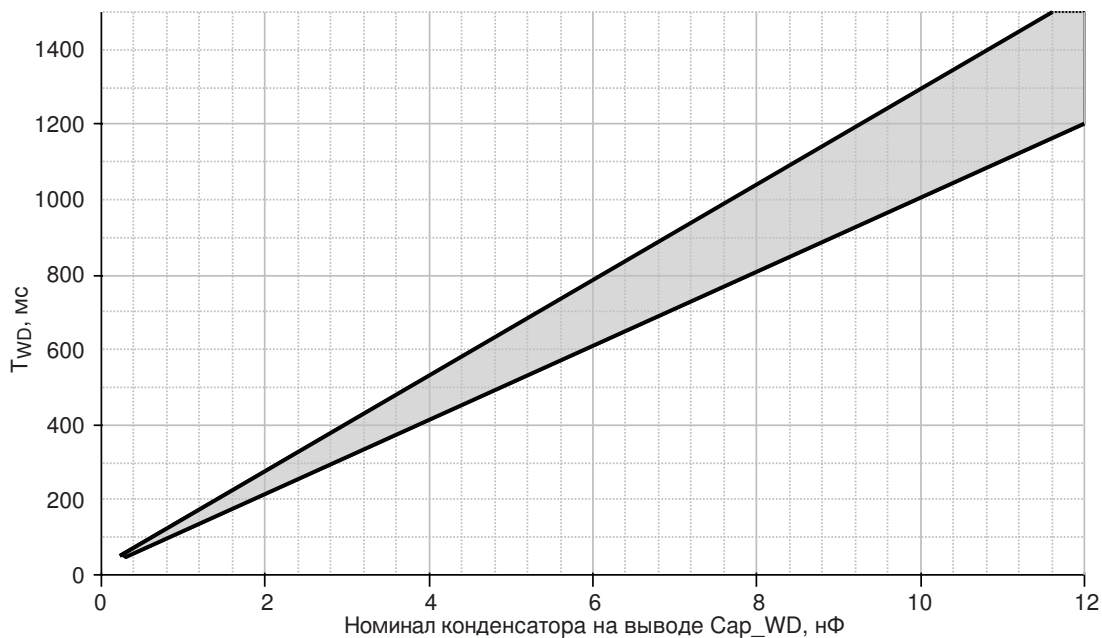


Рис. 9-9. Зависимость длительности таймаута сторожевого таймера от емкости C_{WD}

На рис. 9-10 приведена зависимость порога срабатывания защиты по току U_{TLP} от напряжения питания U_{CC} .

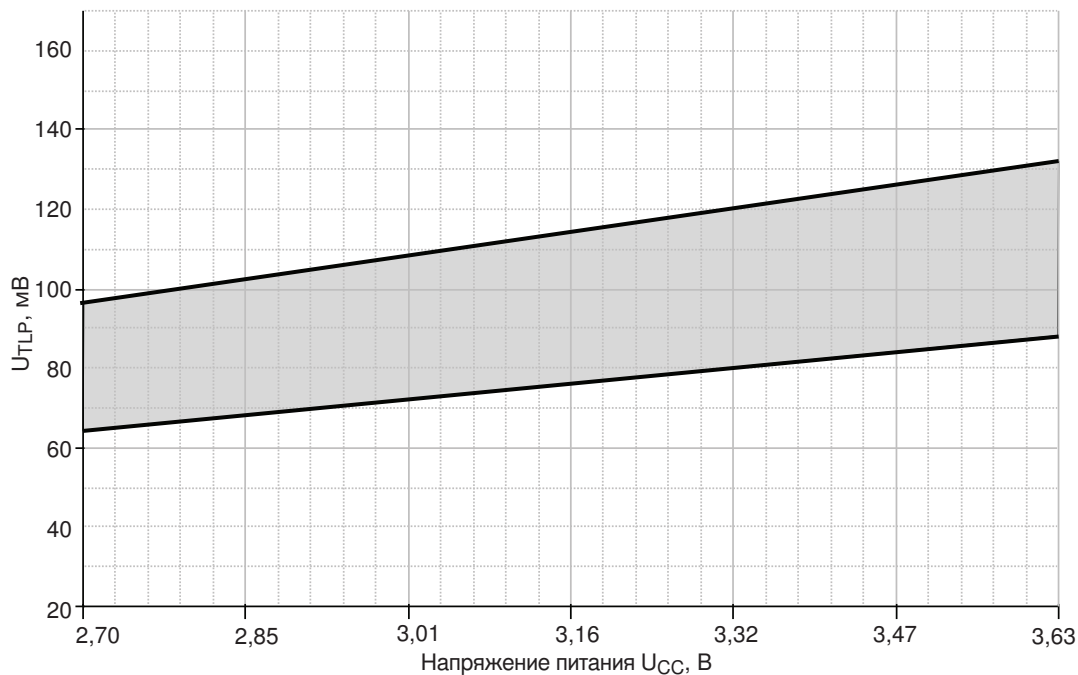


Рис. 9-10. Зависимость порога срабатывания защиты по току U_{TLP} от напряжения питания U_{CC}

На рис. 9-11 приведена зависимость порога отключения защиты по току U_{TNC} от напряжения питания U_{CC} .

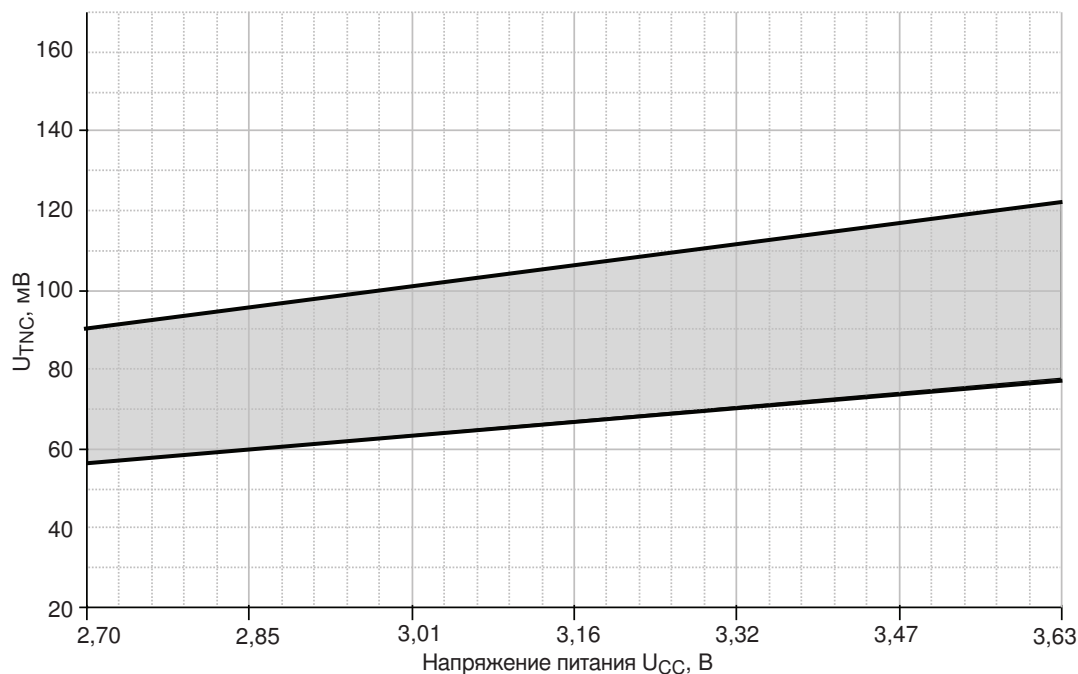


Рис. 9-11. Зависимость порога отключения защиты по току U_{TNC} от напряжения питания U_{CC}

9.4. Чертеж корпуса

Микросхема изготавливается в керамическом корпусе типа МК 5123.28-1.01.

Чертеж корпуса приведен на рис. 9-12

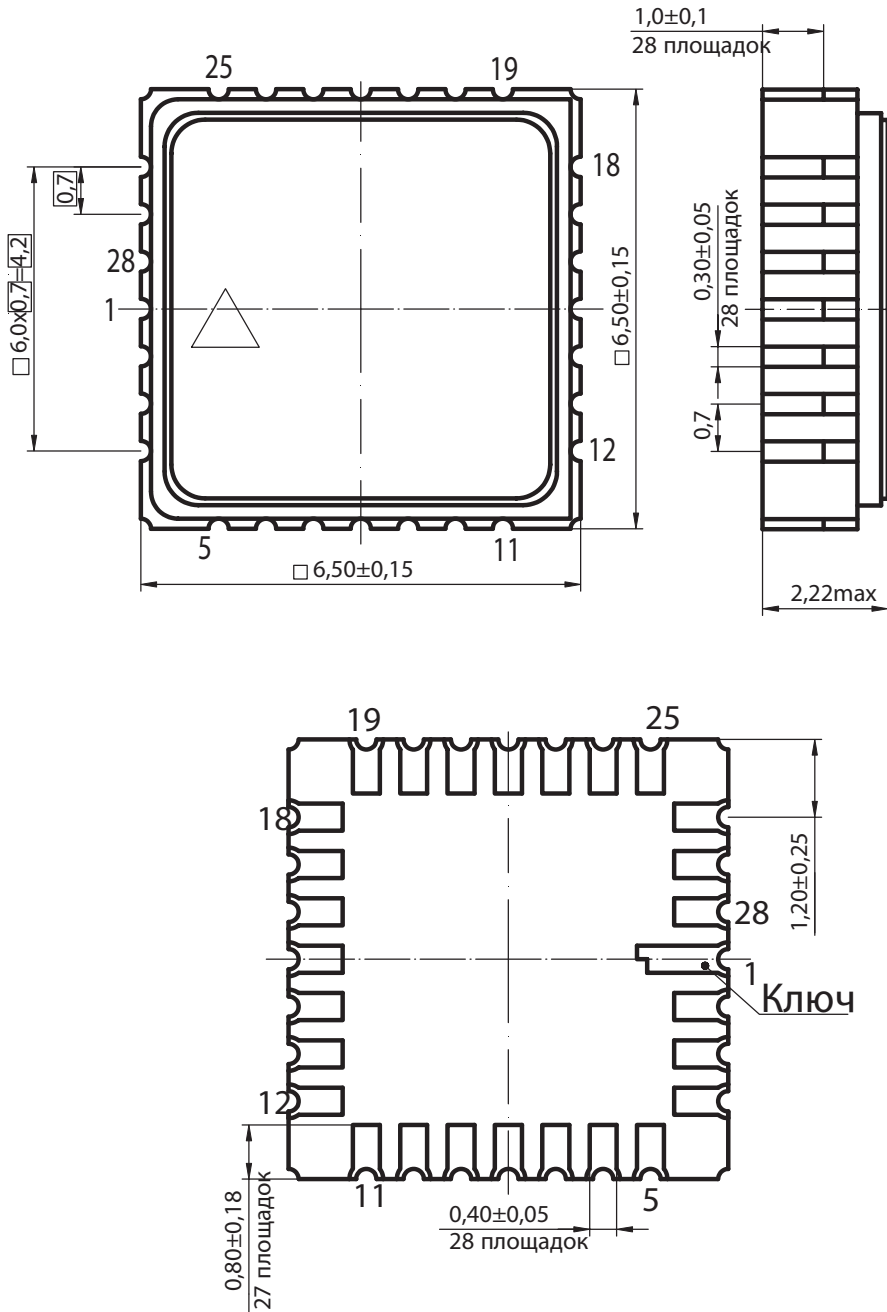


Рис. 9-12. Чертеж корпуса микросхемы

