

## **Техническое описание.**

Калькожержателем карты заказа является ФГУП ЦНИИ «Субмикрон»

### **1. Назначение и состав МБИС**

1.1 МБИС предназначена для использования в составе вычислителя, построенного на основе программируемого микроконтроллера, и выполняет следующие функции:

- 1) обеспечивает информационное взаимодействие микроконтроллера вычислителя с внешней средой по последовательной системной магистрали с целью передачи данных в память вычислителя, воздействия на его вычислительный процесс, выдачи результатов вычислений, информирования о состоянии вычислителя;
- 2) осуществляет деление частоты 6 МГц с целью формирования меток времени для таймеров вычислителя;
- 3) формирует сигналы данных в последовательном информационном канале, связывающем микроконтроллер с внешней аппаратурой абонента.

Структурная схема МБИС представлена на рисунке 1.

### **2. Состав МБИС**

2.1. В состав МБИС входят следующие составные части:

- адаптер последовательной магистрали (АПМ);
- блок прямого доступа к памяти (БПДП);
- блок функциональных регистров (БФР);
- формирователь сигналов канала абонента (ФСКА);
- делитель частоты (ДЧ);
- коммутаторы данных (К1, К2);
- буферы ввода-вывода сигналов (Б1ВВ-Б3ВВ);
- выходной буфер (ВБ)Ж;
- элементы ИЛИ1-ИЛИ4.

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

### **3. Описание режимов работы МБИС**

3.1 АПМ взаимодействует с дублированной последовательной системной магистралью, включающей в свой состав линии сигналов принимаемых данных («DIA», "DIB"), синхросигналов ( "SYNA", "SYNB" ), сигнала «DO» выдаваемых данных, признаков передачи по магистрали ( "ENA", "ENB" ), импульсных последовательностей частоты 12 МГц ( CLF12A, CLF12B ). На рисунке 2 представлена временная диаграмма обменов по магистрали.

Переход сигнала «ENA» в единичное состояние сигнализирует о начале информационного обмена по магистрали, который предусматривает передачу в АПМ первого 16-разрядного слова, содержащего командную информацию. Последующие операции на магистрали (передача 16-разрядных кодов в АПМ, выдача 16-разрядных кодов из АПМ, завершение обмена) определяются типом командной информации.

Сигналы «N0» и «N1» задают номер вычислителя.

3.2 ВПДП исполняет операции записи 16-разрядных информационных слов, поступающих из системной магистрали, и оперативную память, чтение из оперативной памяти слов, выдаваемых в магистраль. Обмены с памятью

производятся побайтно по параллельной магистрали, для подключения к которой используются выходы D0-D7 (они соответствуют сигналам двунаправленной шины данных), WR,RD (соответствуют сигналам «Запись», «Чтение»), A0-A16 (соответствуют сигналам шины адреса). CS0(сигнал обращения к памяти). Временные диаграммы операций обращения к оперативной памяти представлены на рисунке 3а и 3б. Значения сигналов «А6»-«А16» определяется содержимым соответствующих адресуемых регистров в БФР, значения сигналов «А0»-«А5» формируются счетчиком числа обращений в БПДП. Сигналы «HOLD» и «HLDA» соответствуют запросу и разрешению доступа к памяти.

3.3 БФР содержит адресуемые регистры, с помощью которых осуществляется взаимодействие микроконтроллера с блоками АПМ и БПДП. Обращение к регистрам производится по параллельной информационной магистрали при нулевом значении сигнала на выводе CS. Для адресации регистров используются сигналы «AP0»-«AP7» кода адреса регистра, поступающие с выводов A0-A7. Вид обращения к заданному регистру определяется нулевым значением одного из сигналов на выводах WR,RD.

3.4 Через буфер B1BV производится передача 8-разрядного кода из шины данных в БПДП, БФР (при нулевом значении сигнала «ВДД» выдачи данных) либо выдача кодов в шину этих блоков (выбор кода осуществляется с помощью коммутатора K1). При единичном значении сигнала «ВДА» («выдача адреса») через буферы B2BV, B3BV, BV производится выдача сигналов через вывода RD, WR, A0-A16; при нулевом значении сигнала «ВДА» сигналы с выводов RD, WR, A0-A7 через буферы B2BV, B3BV поступают в блок БФР, выходы элементов буфера BV находятся в третьем состоянии.

3.5 В БФР поступают сигналы срабатывания сторожевого таймера с вывода WDE и сигнал «Начальная установка по включению питания» с вывода SRSV. Из БФР выдаются сигналы сброса микроконтроллера (через вывод RPC) и сигнал запроса прерывания (через вывод IRQI).

Код КВД выдаваемых данных подается в АПМ через коммутатор K2 либо из БПДП либо из БФР. Код КПД принимаемых в БПДП, так и в БФР.

3.6 ДЧ формирует импульсные последовательности типа «меандр» с частотами 750 кГц (вывод SPO1), 1464 Гц (вывод FDC1) и 732 Гц (вывод SPO2). При единичном значении сигнала INHT1 прекращается формирование импульсов на выводе SPO1. При единичном значении сигнала INHT2 отсутствуют импульсные последовательности на выводах FDC1 и SPO2.

3.7 ФСКА обеспечивает двунаправленную передачу сигналов между выводами CDPC и ACD. Направление передачи определяется значением сигнала на выводе ACTD(единичному значению соответствует передача от вывода CDPC к выводу ACD).

Через вывод ACSP обеспечена подача синхросигнала последовательного информационного канала микроконтроллера. Этот синхросигнал используется в режиме диагностирования указанного канала. В этом режиме на выводе INHAC формируется единичное значение сигнала, при котором запрещен информационный обмен с аппаратурой абонента.

Элемелты ИЛИ1-ИЛИ4 обеспечивают подачу соответствующих сигналов на выходы АПМ, формирование импульсной последовательности частоты 12 МГц (на выводе F12) при работе любого из двух каналов системной магистрали.

3.8 Синхросигнал частоты 6 МГц, обеспечивающий работу АПМ, БПДП, БФЧ, делителя частоты ДЧ, поступают через вывод CLK. Сигнал на выводе SRF используется для установки элементов памяти МБИС в исходное состояние.

**4. Условное графическое изображение МБИС представлено на рисунке 4**

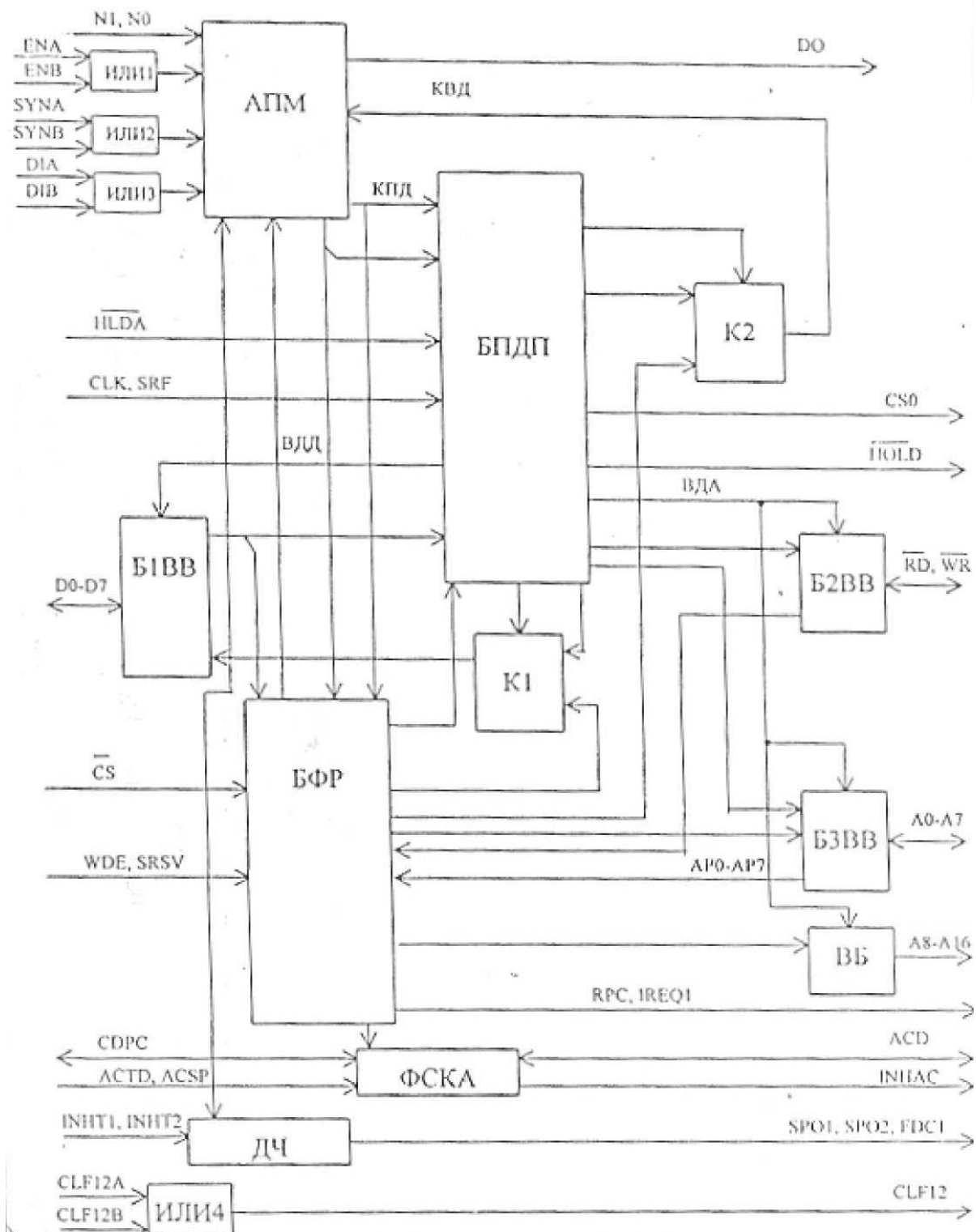


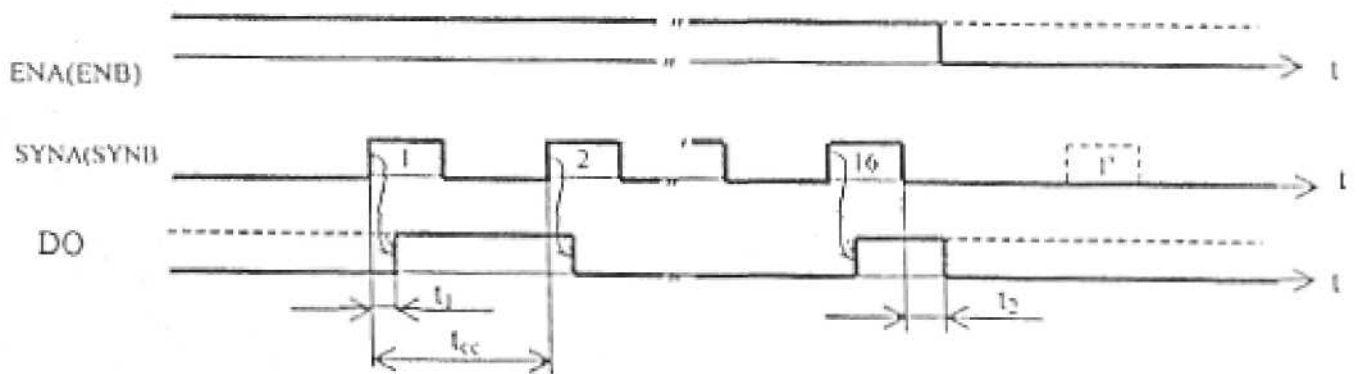
Рисунок 1. Структурная схема МБИС

Таблица 1. Внешние выводы МБИС.

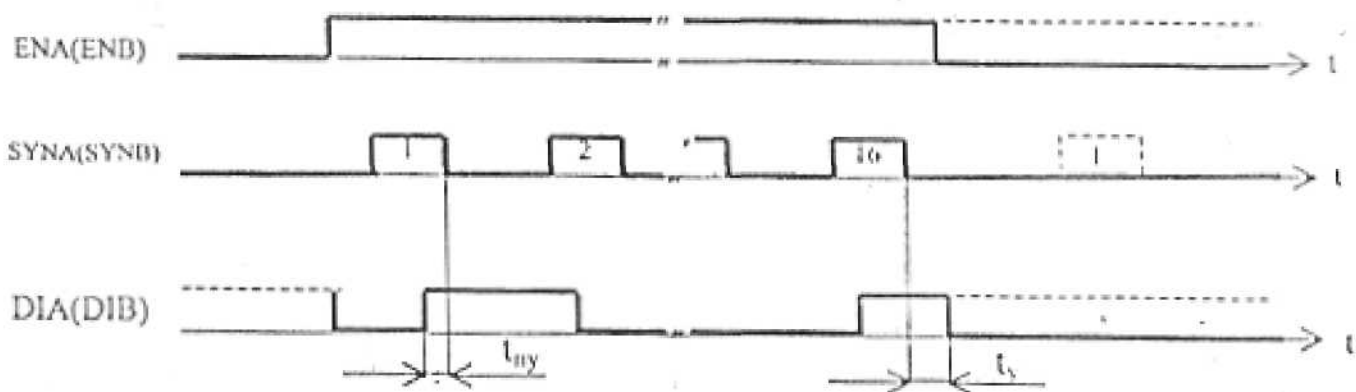
ВЫВОДЫ		ИСПОЛЬЗУЕМЫЕ СОСТОЯНИЯ		НАПРАВЛЕНИЕ	НАЗНАЧЕНИЕ
НОМЕР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ВХОД	ВЫХОД		
1	D0	10	HL		Разряд 0 шины данных
2	D1	10	HL		Разряд 1 шины данных
3	D2	10	HL		Разряд 2 шины данных
4	D3	10	HL		Разряд 3 шины данных
5	D4	10	HL		Разряд 4 шины данных
6	D5	10	HL		Разряд 5 шины данных
7	D6	10	HL		Разряд 6 шины данных
8	D7	10	HL		Разряд 7 шины данных
9	SRSV	10			Сигнал "Начальная установка по входу питания"
10	SRF	10			Сигнал "Начальная установка функциональных блоков"
11	WDE	10			Сигнал сбрасывания сторожевого таймера
12	IREQ1		HL		Сигнал запроса прерывания
13	RPC		HL		Сигнал "Обросить микроконтроллер"
14	INHAC		HL		Сигнал "Запретить передачу по каналу абонента"
15	OIA	10			Входной сигнал данных резервного канала А
16	DIB	10			Входной сигнал данных резервного канала В
17	ENA	10			Сигнал "Обмен разрешен" резервного канала А
18	ENB	10			Сигнал "Обмен разрешен" резервного канала В
19	SYNA	10			Синхросигнал резервного канала А
20	SYNB	10			Синхросигнал резервного канала В
21	MO	10			Разряд 0 номера вычислителя
22	N1	10			Разряд 1 номера вычислителя
23	DO		HL		Выходной сигнал данных
24	FDC1		HL		Импульсный сигнал 1484 Гц
25	CLF12		HL		Сигнал 12 МГц
26	OP		HL		Технологический вывод
27	INH12	10			Сигнал "Работа сторожевого таймера запрещена"
28	CDPC	10	HL		Сигнал данных канала микроконтроллера
29	ACSP	10			Синхросигнал канала абонента
30	ACTD	10			Сигнал управления направлением передачи в канале абонента
31	ADD	10	HL		Сигнал данных канала абонента
32	INH11	10			Сигнал "Работа таймеров запрещена"
33	CLF12A	10			Сигнал 12МГц резервного канала А
34	CLF12B	10			Сигнал 12МГц резервного канала В
35	SPO1		HL		Импульсный сигнал 750 кГц
36	SPO2		HL		Импульсный сигнал 732Гц
37	OP	10			Технологический вывод

Продолжение таблицы 1.

В В О Д Ы		ИСПОЛЬЗУЕМЫЕ СОСТОЯНИЯ		ГРУППА	НАЗНАЧЕНИЕ
НОМЕР	УСЛОВНОЕ ОБЪЕДИНЕНИЕ	ВХОД	ВЫХОД		
41	CS0		H Z	R	Сигнал "Выбрана оперативная память"
42	HOLD		HL		Сигнал требования "захвата" магистралей
43	A16		HLZ	R	Разряд 16 шины адреса
44	A15		HLZ	R	Разряд 15 шины адреса
45	A14		HLZ	R	Разряд 14 шины адреса
46	A13		HLZ	R	Разряд 13 шины адреса
47	A12		HLZ	R	Разряд 12 шины адреса
48	A11		HLZ	R	Разряд 11 шины адреса
49	A10		HLZ	R	Разряд 10 шины адреса
50	A9		HLZ	R	Разряд 9 шины адреса
51	A8		HLZ	R	Разряд 8 шины адреса
52	A7	10	HL	R	Разряд 7 шины адреса
53	A6	0	HL	R	Разряд 6 шины адреса
54	A5	10	HL	R	Разряд 5 шины адреса
55	A4	10	HL	R	Разряд 4 шины адреса
56	A3	10	HL	R	Разряд 3 шины адреса
57	A2	10	HL	R	Разряд 2 шины адреса
58	A1	10	HL	R	Разряд 1 шины адреса
59	A0	10	HL	R	Разряд 0 шины адреса
60	CLK	10			Сигнал синхронизации БМЦ
61	CS	10			Сигнал "Микросхема выбрана"
62	RD	10	HL		Сигнал "Чтение"
63	WE	10	HL		Сигнал "Запись"



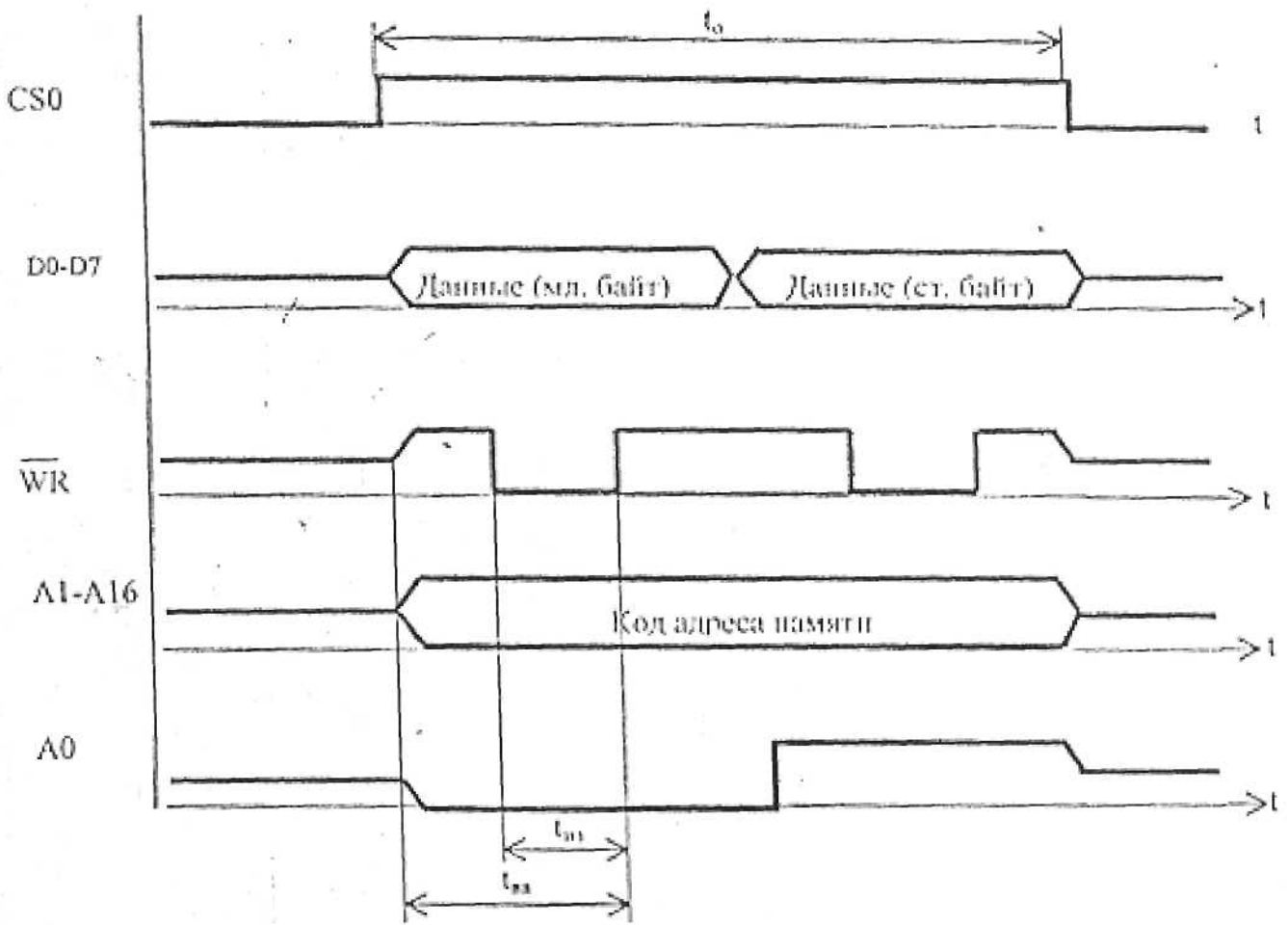
а) операция выдачи информационного слова в магистраль



б) операция приема информационного слова из магистрал

Рисунок 2 - Временная диаграмма обменов по магистрал

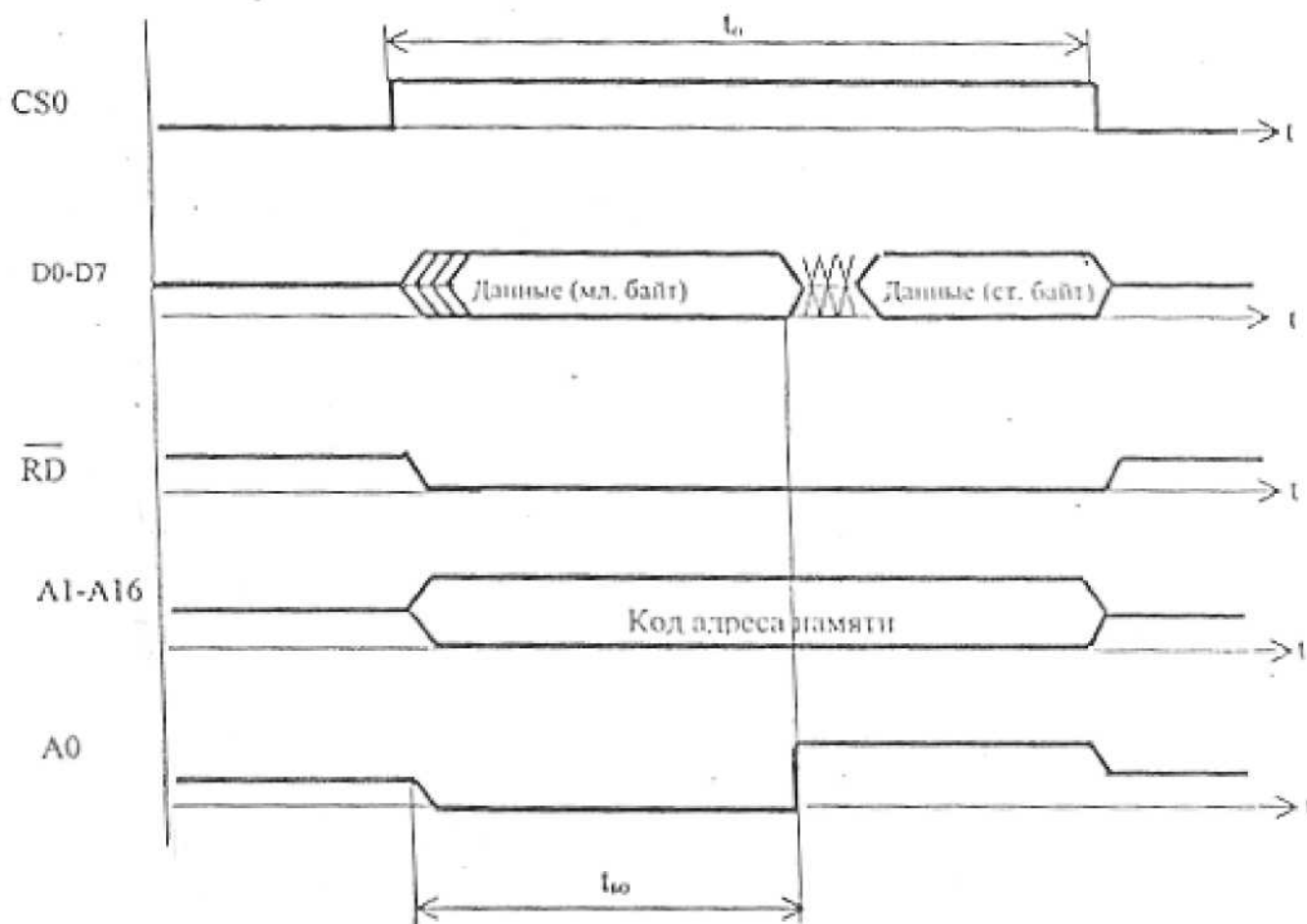
$$t_1 \leq 50 \text{ нс}; t_2 \geq 1,3 \text{ мкс}; t_{ny} \geq 30 \text{ нс}; t_y \geq 20 \text{ нс}; t_{cc} = 0,5 \text{ мкс};$$



$$t_0=0,5\text{мкс}; 70\text{нс} \leq t_{нз} \leq 95\text{нс}; 150\text{нс} \leq t_{ва} \leq 180\text{нс}$$

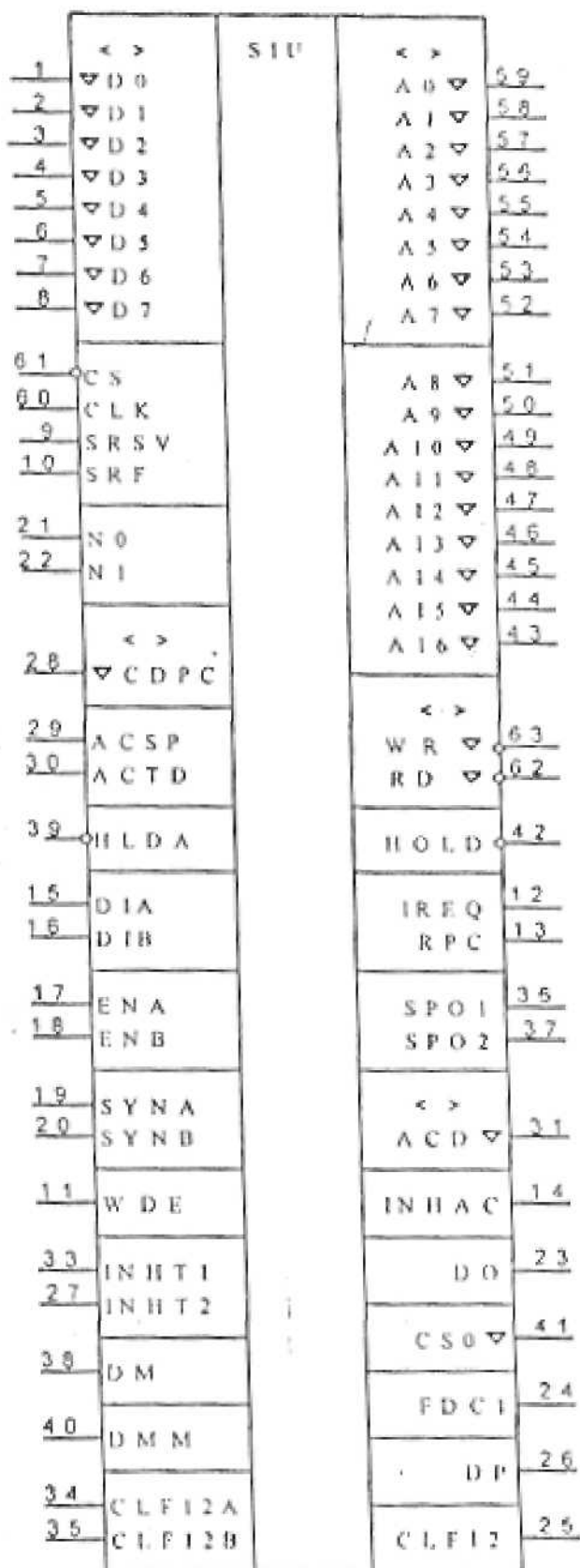
Рисунок 3а – Временная диаграмма операции записи информационного слова в память





$$t_0 = 0,5 \mu\text{с}; 236 \text{ нс} \leq t_{60} \leq 260 \text{ нс}$$

Рисунок 3 б – Временные диаграммы операции чтения информационного слова из памяти



4. Условное графическое изображение МБИС