

**5529TP015-680**

**Многофункциональная цифровая микросхема для аппаратуры специального назначения**

**Содержание**

1.	Назначение. . . . .	3
2.	Особенности 5529TP015-680 . . . . .	3
3.	Общие сведения . . . . .	3
3.1.	Упрощенная структурная схема . . . . .	4
3.2.	Описание корпуса МФЦМ . . . . .	5
3.3.	Назначение внешних выводов. . . . .	6
4.	Описание реализованных функциональных аналогов . . . . .	7
4.1.	Логика . . . . .	8
4.1.1.	4 элемента 2И-НЕ с открытым стоком (74LS03) . . . . .	8
4.1.2.	4 элемента 3И-НЕ (74LS10). . . . .	8
4.1.3.	4 элемента 3И (74LS11). . . . .	8
4.1.4.	4 элемента 3ИЛИ-НЕ (74LS27) . . . . .	8
4.1.5.	4 элемента 3ИЛИ (74LS27) . . . . .	9
4.1.6.	2 элемента 4И объединенных по 2ИЛИ-НЕ (доп. 74LS51) . . . . .	9
4.1.7.	2 элемента 4ИЛИ объединенных по 2И-НЕ (доп. 74LS51) . . . . .	9
4.1.8.	13И-НЕ (SN74LS133) . . . . .	9
4.1.9.	13ИЛИ-НЕ (доп. 74LS133) . . . . .	10
4.1.10.	4 4И и 2И объединенных по 5ИЛИ-НЕ (доп. 74LS54) . . . . .	10
4.2.	Буферы, инверторы. . . . .	10
4.2.1.	2 4-разрядных инвертора с 3-м состоянием (74AC240) . . . . .	10
4.2.2.	2 4-разрядных буфера с 3-м состоянием (74LS241) . . . . .	11
4.2.3.	2 4-разрядных буфера с 3-м состоянием (74АН244). . . . .	11
4.2.4.	8-разрядный двунаправленный буфер (1/2 74LVTH16245) . . . . .	11
4.2.5.	2 4-разрядных буфера с 3-м состоянием (1/2 IDT74FST16244) . . . . .	11
4.2.6.	8 инверторов с открытым стоком (74HC05) . . . . .	12
4.2.7.	8 буферов с открытым стоком (74HC06) . . . . .	12
4.3.	Шифраторы . . . . .	12
4.3.1.	Шифратор 9-разрядного унитарного кода (74LS147) . . . . .	12
4.3.2.	Шифратор 8-разрядного унитарного кода (74LS148) . . . . .	12
4.4.	Дешифраторы, демultipлексоры . . . . .	13
4.4.1.	4 демultipлексора 1 в 2 (???) . . . . .	13
4.4.2.	Дешифратор-демultipлексор 4 в 16 (74LS154) . . . . .	13
4.4.3.	2 дешифратора 2 в 4 (74F539) . . . . .	13
4.4.4.	Дешифратор 3 в 8 с защелкой адреса (74LS137) . . . . .	14
4.4.5.	Дешифратор 3 в 8 (74AC138) . . . . .	14
4.4.6.	2 дешифратора 2 в 4 (74АНС139) . . . . .	14
4.5.	Мultipлексоры . . . . .	15
4.5.1.	Мultipлексор из 8 в 1 (74LS151) . . . . .	15
4.6.	Триггеры . . . . .	15
4.6.1.	2 D-триггера (74LS74) . . . . .	15
4.6.2.	2 JK-триггера (74LS112). . . . .	15
4.6.3.	2 JK-триггера (74LS112). . . . .	16
4.7.	Регистры-защелки . . . . .	16
4.7.1.	8-разрядная защелка с 3-м состоянием (1/2 IDT74FCT16373) . . . . .	16
4.8.	Регистры по перепаду, сдвигатели . . . . .	16
4.8.1.	2 двунаправленных 8-разрядных регистра (1/2 74LCX16646) . . . . .	16
4.8.2.	8-разрядный регистр с асинхронным сбросом (доп. 74AC174) . . . . .	17

4.8.3.	4-разрядный регистр с асинхронным сбросом (74AC175) . . . . .	17
4.8.4.	8-разрядный регистр с инверсией 3-м состоянием (74LS534) . . . . .	17
4.8.5.	8-разрядный сдвигатель (74LS165) . . . . .	18
4.8.6.	4-разрядный универсальный сдвигатель (74LS194) . . . . .	18
4.8.7.	4-разрядный сдвигатель (74LS195) . . . . .	18
4.8.8.	4-разрядный сдвигатель с 3-м состоянием (74LS395) . . . . .	18
4.8.9.	4-разрядный регистр с 3-м состоянием (74LS173) . . . . .	19
4.8.10.	8-разрядный сдвигатель (74LS164) . . . . .	19
4.8.11.	8-разрядный сдвигатель и регистр (74LS594) . . . . .	19
4.8.12.	8-разрядный сдвигатель и регистр с 3-м состоянием (74LS595) . . . . .	19
4.9.	Счетчики . . . . .	20
4.9.1.	Синхронный счетчик по модулю 10 с загрузкой (74LS160) . . . . .	20
4.9.2.	Синхронный счетчик по модулю 16 с загрузкой (74LS161) . . . . .	20
4.9.3.	Синхронный счетчик по модулю 10 с загрузкой (74LS162) . . . . .	21
4.9.4.	Синхронный счетчик по модулю 16 с загрузкой (74LS163) . . . . .	21
4.9.5.	Синхронный реверсивный счетчик по модулю 10 с загрузкой (74LS168) . . . . .	22
4.9.6.	Синхронный реверсивный счетчик по модулю 16 с загрузкой (74LS169) . . . . .	22
4.9.7.	Синхронный реверсивный счетчик по модулю 10 с загрузкой (74LS190) . . . . .	23
4.9.8.	Синхронный реверсивный счетчик по модулю 16 с загрузкой (74LS191) . . . . .	23
4.9.9.	2 асинхронных счетчика по модулю 16 (74LS393) . . . . .	24
4.9.10.	2 синхронных счетчика по модулю 16 (74HC4520) . . . . .	24

## 1. Назначение

Многофункциональная цифровая микросхема (далее МФЦМ) предназначена для функциональной замены широко распространенных зарубежных интегральных микросхем логики, триггеров, регистров и счетчиков (всего 52 варианта) в аппаратуре специального назначения. МФЦМ изготовлена по радиационнстойкой технологии.

## 2. Особенности 5529TP015-680

- Реализована по технологии КМОП на КНИ структурах с технологическими нормами 0,25 мкм
- Напряжение питания  $3...3,3В \pm 10\%$ .
- Количество информационных входов-выходов — не более 22.
- Количество адресных входов, определяющих функцию микросхемы — 6.
- Регулируемая нагрузочная способность (максимальный ток нагрузки 4 мА или 12 мА).
- Радиационнстойкая технология с кольцевыми транзисторами.
- Холодное резервирование информационных входов и выходов.
- Разрешение для применения в аппаратуре специального и космического назначения.
- Значения задержек — TBD.

## 3. Общие сведения

МФЦМ имеет 6 адресных входов, логические уровни на которых задаются подключением к питанию или земле. Код на адресных входах выбирает одну из 52 заложенных в микросхему функций. Назначение входов (D0...D3) и входов-выходов (D4...D19) определяется выбранной функцией и позволяет МФЦМ реализовать функциональный или расширенный функциональный аналог цифровой ИС. Ниже приведен перечень реализуемых МФЦМ функций.

1. Логика ..... 10 вариантов.
2. Буферы, инверторы ..... 7 вариантов.
3. Шифраторы ..... 2 варианта.
4. Дешифраторы, демultipлексоры ..... 6 вариантов.
5. Multipлексоры ..... 1 вариант.
6. Триггеры ..... 3 варианта.
7. Регистры-защелки ..... 1 вариант.
8. Регистры по перепаду, сдвигатели ..... 12 вариантов.
9. Счетчики ..... 10 вариантов.

### 3.1. Упрощенная структурная схема

Упрощенная структурная схема МФЦМ приведена на рис. 1. В состав МФЦМ входят следующие основные узлы.

**U1** (селектор выбора функций) — предназначен для выбора одной из 52 реализованных в МФЦМ функций в соответствии с кодом на адресных входах ADR5...ADR0. Нулевое значение адреса блокирует МФЦМ. При этом никакой функции не выбирается.

**U2** (буфер входов и выходов функций) — предназначен для формирования соответствующих сигналов на выходах МФЦМ различной нагрузочной способности. Управление производится логическим сигналом на входе X. При X=0 максимальный ток нагрузки 4 мА, при X=1 максимальный ток нагрузки 12 мА.

**F1...F52** — функциональные узлы, реализующие заложенные в МФЦМ аналоги известных микросхем.

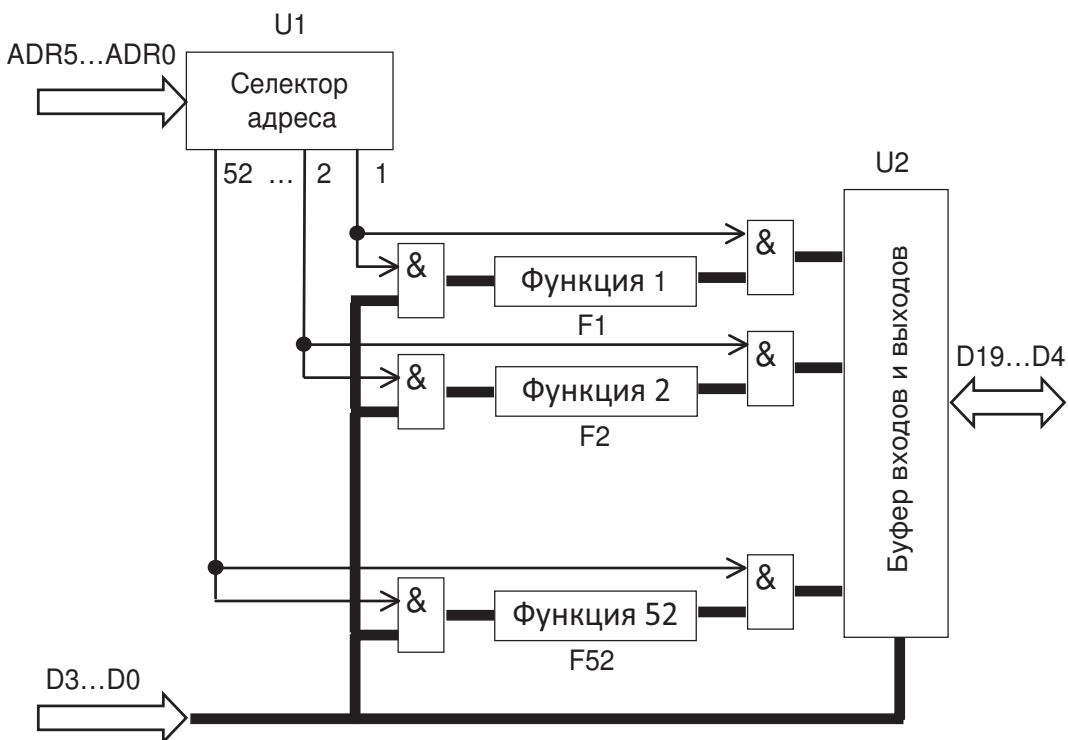
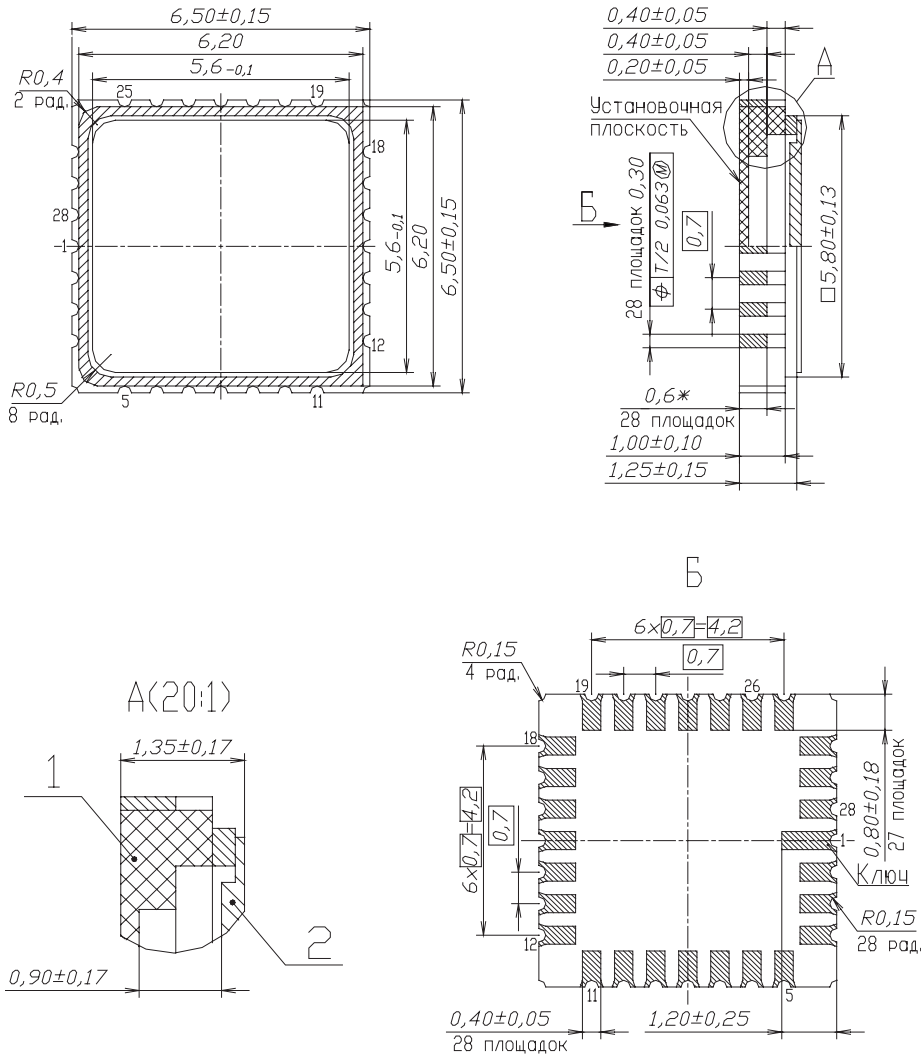


Рис. 1. Упрощенная структурная схема МФЦМ

### 3.2. Описание корпуса МФЦМ

Чертеж корпуса микросхемы приведен на рис. 2.



1. \* Размеры для справок.
2. Размеры после спекания.
3. Крышку поз.2 присоединить герметично к основанию поз.1 с помощью шовной роликовой сварки после установки кристалла.
4. Покрытие H23л1,5.
5. Таблица соединения контактных площадок с выводными площадками приведена в чертеже основания
6. Монтажная площадка не металлизирована. Ободок электрически изолирован от выводных площадок корпуса.
7. Неуказанные значения предельных отклонений не более  $\pm 0,20$  мм.

Рис. 2. Чертеж корпуса

### 3.3. Назначение внешних выводов

В приведено краткое описание выводов МФЦМ.

Таблица 1. Выводы МФЦМ

Номер	Имя	Описание
1	VDD	Плюс источника питания
2	ADR2	Адресный вход (выбор функции)
3	ADR1	Адресный вход (выбор функции)
4	ADR0	Адресный вход (выбор функции)
5	D0	Информационный вход функции
6	D1	Информационный вход функции
7	D2	Информационный вход функции
8	D3	Информационный вход функции
9	D4	Информационный вход или выход функции
10	D5	Информационный вход или выход функции
11	D6	Информационный вход или выход функции
12	D7	Информационный вход или выход функции
13	D8	Информационный вход или выход функции
14	D9	Информационный вход или выход функции
15	GND	Минус источника питания (общий провод, «земля»)
16	D10	Информационный вход или выход функции
17	D11	Информационный вход или выход функции
18	D12	Информационный вход или выход функции
19	D13	Информационный вход или выход функции
20	D14	Информационный вход или выход функции
21	D15	Информационный вход или выход функции
22	D16	Информационный вход или выход функции
23	D17	Информационный вход или выход функции
24	D18	Информационный вход или выход функции
25	D19	Информационный вход или выход функции
26	ADR5	Адресный вход (выбор функции)
27	ADR4	Адресный вход (выбор функции)
28	ADR3	Адресный вход (выбор функции)

#### 4. Описание реализованных функциональных аналогов

Ниже приводится описание реализованных в МФЦМ функциональных аналогов. Все описания используют положительную логику (логическая 1 — высокий уровень, логический 0 — низкий).

При описании используются следующие общепринятые обозначения:

X — произвольное логическое состояние (любой перепад, 0 или 1)

Z — 3-е логическое состояние (высокое сопротивление, выход отключен)

& — логическая функция И;

+ — логическая функция ИЛИ для логики, суммирование для счетчиков;

$\overline{Q0}$  — логическая инверсия операнда Q0;

$\nearrow$  — фронт (перепад от низкого уровня к высокому);

$\searrow$  — спад (перепад от высокого уровня к низкому);

$\overline{\nearrow}$  — не фронт (спад, 0 или 1);

$\overline{\searrow}$  — не спад (фронт, 0 или 1);

Q=const или просто const — означает неизменность состояния, т.е. сохранение операндом или битом своего значения.

Для обозначения сигналов на входах и выходах используются латинские буквы или комбинации букв и цифр (например: SE0, D1, q3 и т.п.). Буквы обозначают функциональную принадлежность сигнала (данные, входы, выходы, синхронизация, сброс и т.п.). Цифры нумеруют сигналы внутри функциональной группы (номер сигнала разрешения, номер разряда, номер канала, адрес ячейки и т.п.). При возможных разночтениях следует смотреть примечания.

Для групповых операций могут использоваться замены цифр строчной буквой «x», например Qx может означать любой из разрядов Q7...Q0.

В некоторых случаях используется обозначенное буквой число, представленное разрядами устройства, например Q — число образованное разрядами Q3...Q0.

При обозначении выводов многоразрядных мультиплексоров и демультиплексоров сначала дается номер канала, затем — разряда, например D2.0 следует понимать как 2-й канал 0-й разряд.

Если состояния выходов регистра или счетчика однозначно соответствует состояниям триггеров, то для простоты при их описании используются обозначения состояний выходов заглавными буквами (например: Q0, Q1 и т.п.). В некоторых регистрах и счетчиках состояния выходов являются логическими функциями состояний соответствующих триггеров и других сигналов. В таком случае состояния триггеров обозначаются строчными буквами (например: q0, q1 и т.п.), а состояния соответствующих выходов по-прежнему — заглавными.

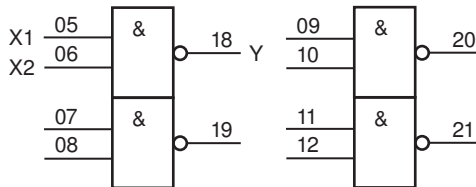
В диаграммах переходов счетчиков коды состояний даны в десятичной системе счисления.

## 4.1. Логика

### 4.1.1. 4 элемента 2И-НЕ с открытым стоком (74LS03)

A0	0
A1	0
A2	1
A3	1
A4	1
A5	1

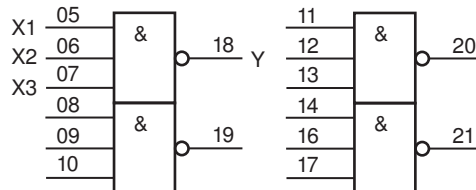
$$Y = \overline{X1 \& X2}$$



### 4.1.2. 4 элемента 3И-НЕ (74LS10)

A0	0
A1	0
A2	1
A3	0
A4	1
A5	1

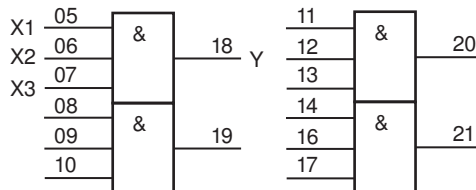
$$Y = \overline{X1 \& X2 \& X3}$$



### 4.1.3. 4 элемента 3И (74LS11)

A0	1
A1	0
A2	1
A3	0
A4	1
A5	1

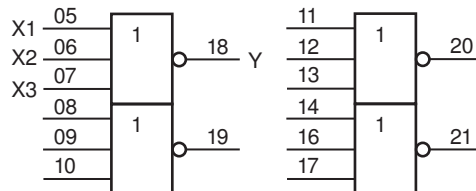
$$Y = X1 \& X2 \& X3$$



### 4.1.4. 4 элемента 3ИЛИ-НЕ (74LS27)

A0	0
A1	1
A2	1
A3	0
A4	1
A5	1

$$Y = \overline{X1 + X2 + X3}$$

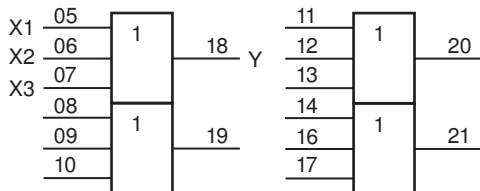




#### 4.1.5. 4 элемента ЗИЛИ (74LS27)

A0	1
A1	1
A2	1
A3	0
A4	1
A5	1

$$Y = X1 + X2 + X3$$

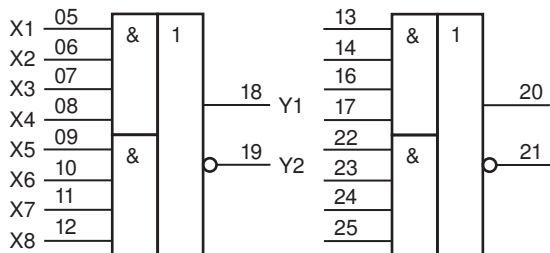


#### 4.1.6. 2 элемента 4И объединенных по 2ИЛИ-НЕ (доп. 74LS51)

A0	0
A1	1
A2	0
A3	1
A4	1
A5	1

$$Y1 = (X1 \& X2 \& X3 \& X4) + (X5 \& X6 \& X7 \& X8)$$

$$Y2 = \overline{(X1 \& X2 \& X3 \& X4) + (X5 \& X6 \& X7 \& X8)}$$

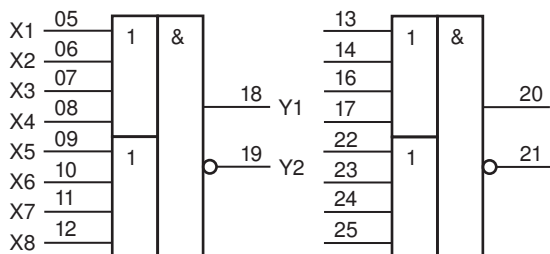


#### 4.1.7. 2 элемента 4ИЛИ объединенных по 2И-НЕ (доп. 74LS51)

A0	1
A1	1
A2	0
A3	1
A4	1
A5	1

$$Y1 = (X1 + X2 + X3 + X4) \& (X5 + X6 + X7 + X8)$$

$$Y2 = \overline{(X1 + X2 + X3 + X4) \& (X5 + X6 + X7 + X8)}$$

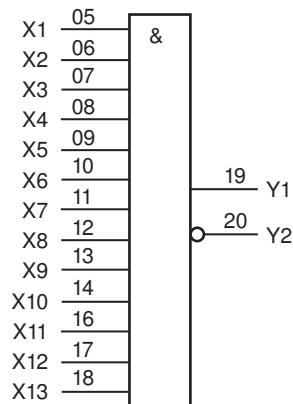


#### 4.1.8. 13И-НЕ (SN74LS133)

A0	0
A1	0
A2	0
A3	1
A4	1
A5	1

$$Y1 = X1 \& X2 \& X3 \& X4 \& X5 \& X6 \& X7 \& X8 \& X9 \& X10 \& X11 \& X12 \& X13$$

$$Y2 = \overline{X1 \& X2 \& X3 \& X4 \& X5 \& X6 \& X7 \& X8 \& X9 \& X10 \& X11 \& X12 \& X13}$$

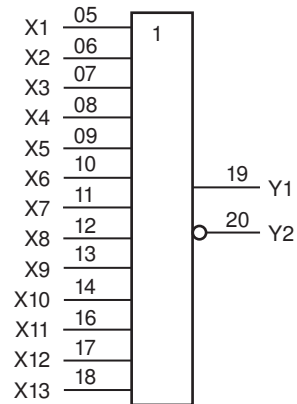


### 4.1.9. 13ЛИИ-НЕ (доп. 74LS133)

A0	1
A1	0
A2	0
A3	1
A4	1
A5	1

$$Y1 = X1 + X2 + X3 + X4 + X5 + X6 + X7 + X8 + X9 + X10 + X11 + X12 + X13$$

$$Y2 = \overline{X1 + X2 + X3 + X4 + X5 + X6 + X7 + X8 + X9 + X10 + X11 + X12 + X13}$$

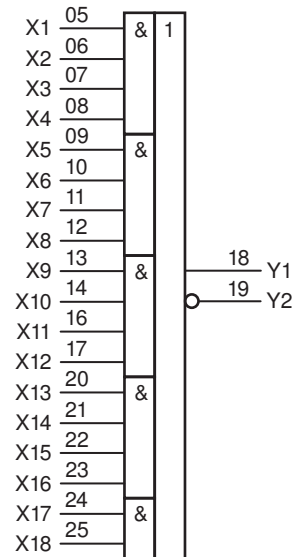


### 4.1.10. 4 4И и 2И объединенных по 5ИЛИ-НЕ (доп. 74LS54)

A0	0
A1	1
A2	0
A3	1
A4	0
A5	1

$$Y1 = (X1 \& X2 \& X3 \& X4) + (X5 \& X6 \& X7 \& X8) + (X9 \& X10 \& X11 \& X12) + (X13 \& X14 \& X15 \& X16) + (X17 \& X18)$$

$$Y2 = \overline{(X1 \& X2 \& X3 \& X4) + (X5 \& X6 \& X7 \& X8) + (X9 \& X10 \& X11 \& X12) + (X13 \& X14 \& X15 \& X16) + (X17 \& X18)}$$

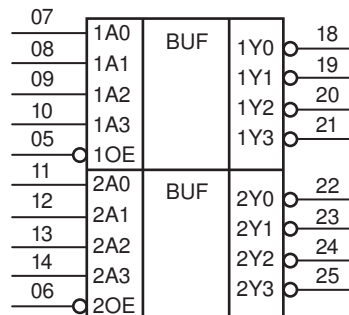


## 4.2. Буферы, инверторы

### 4.2.1. 2 4-разрядных инвертора с 3-м состоянием (74AC240)

A0	0
A1	1
A2	1
A3	0
A4	0
A5	1

xOE	xY1	xY2	xY3	xY4
0	$\overline{x}A1$	$\overline{x}A2$	$\overline{x}A3$	$\overline{x}A4$
1	Z	Z	Z	Z

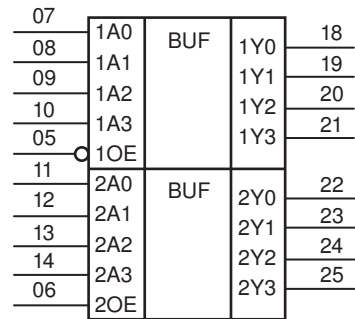


#### 4.2.2. 2 4-разрядных буфера с 3-м состоянием (74LS241)

A0	1
A1	1
A2	1
A3	0
A4	0
A5	1

1OE	1Y1	1Y2	1Y3	1Y4
1	Z	Z	Z	Z
0	1A1	1A2	1A3	1A4

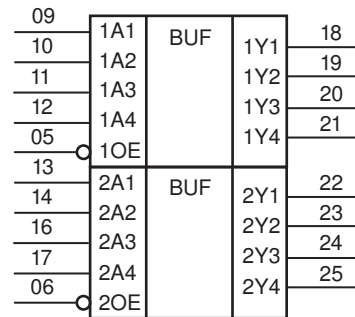
2OE	2Y1	2Y2	2Y3	2Y4
1	Z	Z	Z	Z
0	2A1	2A2	2A3	2A4



#### 4.2.3. 2 4-разрядных буфера с 3-м состоянием (74AH244)

A0	0
A1	0
A2	0
A3	1
A4	0
A5	1

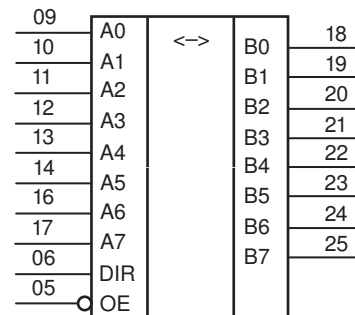
xOE	xY1	xY2	xY3	xY4
0	xA1	xA2	xA3	xA4
1	Z	Z	Z	Z



#### 4.2.4. 8-разрядный двунаправленный буфер (1/2 74LVTH16245)

A0	0
A1	0
A2	1
A3	1
A4	0
A5	0

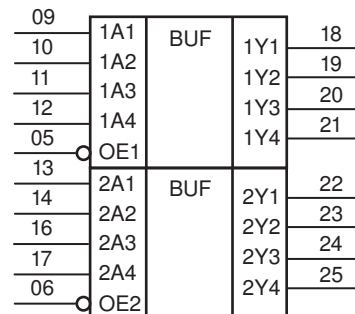
OE <sub>x</sub>	DIR	A <sub>x</sub>	B <sub>x</sub>
0	0	B <sub>x</sub>	Z
0	1	Z	A <sub>x</sub>
1	X	Z	Z



#### 4.2.5. 2 4-разрядных буфера с 3-м состоянием (1/2 IDT74FST16244)

A0	1
A1	0
A2	1
A3	1
A4	0
A5	0

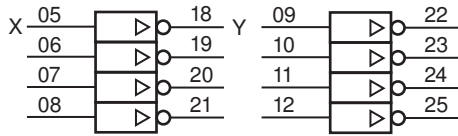
OE <sub>x</sub>	xY1	xY2	xY3	xY4
0	xA1	xA2	xA3	xA4
1	Z	Z	Z	Z



#### 4.2.6. 8 инверторов с открытым стоком (74HC05)

A0	1
A1	0
A2	1
A3	1
A4	1
A5	1

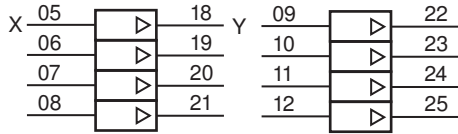
$$Y = \bar{X}$$



#### 4.2.7. 8 буферов с открытым стоком (74HC06)

A0	0
A1	1
A2	1
A3	1
A4	1
A5	1

$$Y = X$$

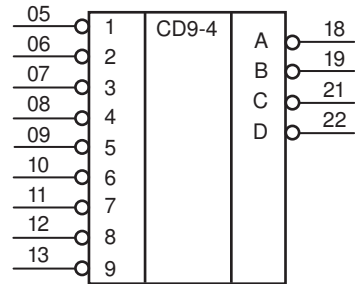


### 4.3. Шифраторы

#### 4.3.1. Шифратор 9-разрядного унитарного кода (74LS147)

A0	1
A1	0
A2	0
A3	0
A4	1
A5	1

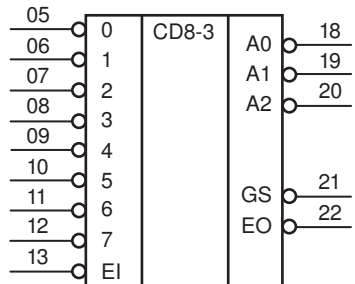
	1	2	3	4	5	6	7	8	9	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0



#### 4.3.2. Шифратор 8-разрядного унитарного кода (74LS148)

A0	0
A1	1
A2	0
A3	0
A4	1
A5	1

EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	X	0	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

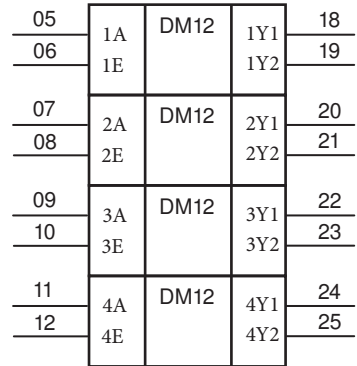


#### 4.4. Дешифраторы, демультиплексоры

##### 4.4.1. 4 демультиплексора 1 в 2 (74LVC1G19)

A0	1
A1	0
A2	1
A3	0
A4	0
A5	1

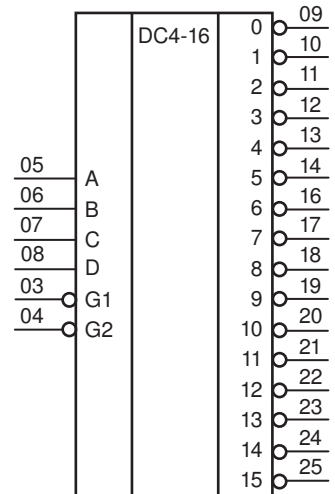
E	A	1Y	2Y
0	0	0	1
0	1	1	0
1	0	1	1
1	1	1	1



##### 4.4.2. Дешифратор-демультиплексор 4 в 16 (74LS154)

A0	X
A1	X
A2	1
A3	0
A4	0
A5	0

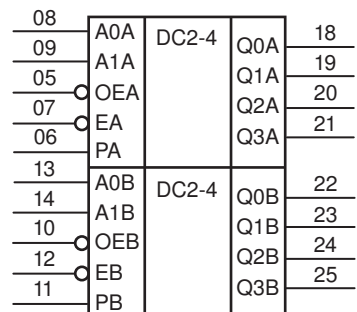
G1	G2	D	C	B	A	0	1	2	3	...	12	13	14	15
0	0	0	0	0	0	0	1	1	1	...	1	1	1	1
0	0	0	0	0	1	1	0	1	1	...	1	1	1	1
0	0	0	0	1	0	1	1	0	1	...	1	1	1	1
0	0	0	0	1	1	1	1	1	0	...	1	1	1	1
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
0	0	1	1	0	0	1	1	1	1	...	0	1	1	1
0	0	1	1	0	1	1	1	1	1	...	1	0	1	1
0	0	1	1	1	0	1	1	1	1	...	1	1	0	1
0	0	1	1	1	1	1	1	1	1	...	1	1	1	0
0	1	X	X	X	X	1	1	1	1	...	1	1	1	1
1	0	X	X	X	X	1	1	1	1	...	1	1	1	1
1	1	X	X	X	X	1	1	1	1	...	1	1	1	1



##### 4.4.3. 2 дешифратора 2 в 4 (74F539)

A0	1
A1	0
A2	0
A3	1
A4	0
A5	1

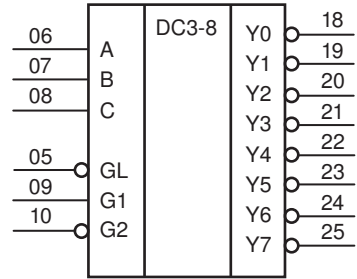
OEx	Ex	Px	A1x	A0x	Q0x	Q1x	Q2x	Q3x
0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	1	0	0
0	0	0	1	0	0	0	1	0
0	0	0	1	1	0	0	0	1
0	0	1	0	0	0	1	1	1
0	0	1	0	1	1	0	1	1
0	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0
0	1	0	X	X	0	0	0	0
0	1	1	X	X	1	1	1	1
1	X	X	X	X	Z	Z	Z	Z



#### 4.4.4. Дешифратор 3 в 8 с защелкой адреса (74LS137)

A0	0
A1	1
A2	1
A3	1
A4	0
A5	1

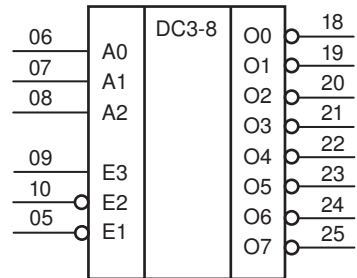
GL	G2	G1	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0
X	1	X	X	X	X	1	1	1	1	1	1	1	1
1	0	1	X	X	X	дешифратор кода qC, qB, qA							



#### 4.4.5. Дешифратор 3 в 8 (74AC138)

A0	1
A1	1
A2	1
A3	1
A4	0
A5	1

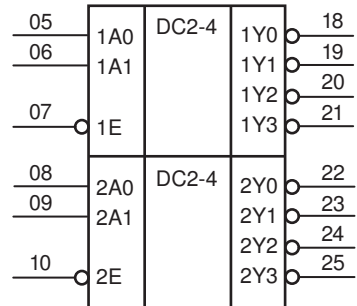
E3	E2	E1	A2	A1	A0	O0	O1	O2	O3	O4	O5	O6	O7
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0



#### 4.4.6. 2 дешифратора 2 в 4 (74АНС139)

A0	0
A1	0
A2	0
A3	0
A4	1
A5	1

xE	xA1	xA0	xY0	xY1	xY2	xY3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	X	X	1	1	1	1

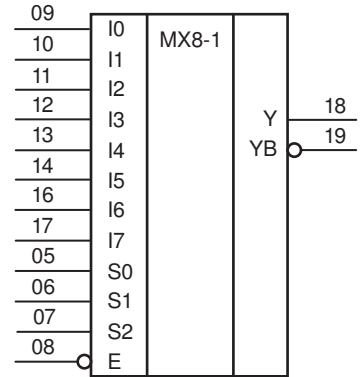


## 4.5. Мультиплексоры

### 4.5.1. Мультиплексор из 8 в 1 (74LS151)

A0	1
A1	1
A2	0
A3	0
A4	1
A5	1

E	S2	S1	S0	Y	YB
0	0	0	0	I0	I0
0	0	0	1	I1	I1
0	0	1	0	I2	I2
0	0	1	1	I3	I3
0	1	0	0	I4	I4
0	1	0	1	I5	I5
0	1	1	0	I6	I6
0	1	1	1	I7	I7
1	X	X	X	0	1



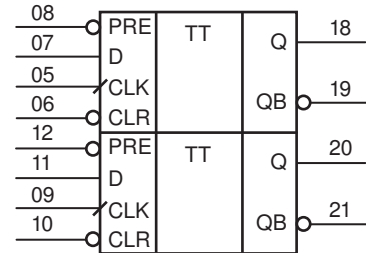
## 4.6. Триггеры

### 4.6.1. 2 D-триггера (74LS74)

A0	1
A1	1
A2	0
A3	1
A4	0
A5	1

PRE	CLR	CLK	D	Q	QB
0	0	X	X	1*	1*
0	1	X	X	1	0
1	0	X	X	0	1
1	1	0	X	const	const
1	1	∟	0	0	1
1	1	∟	1	1	0
1	1	1	X	const	const

**Примечание (\*).** При одновременном возврате PRE и CLR в 1 состояния Q и QB могут быть произвольны (0, 1 или 1,0).

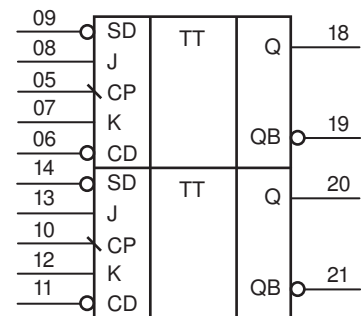


### 4.6.2. 2 JK-триггера (74LS112)

A0	0
A1	0
A2	1
A3	1
A4	0
A5	1

SD	CD	CP	J	K	Q	QB
0	0	X	X	X	1*	1*
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	∟	0	0	const	const
1	1	∟	0	1	0	1
1	1	∟	1	0	1	0
1	1	∟	1	1	Q	QB

**Примечание (\*).** При одновременном возврате SD и CD в 1 состояния Q и QB могут быть произвольны (0, 1 или 1,0).

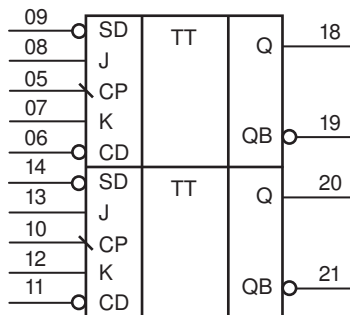


### 4.6.3. 2 JK-триггера (74LS112)

A0	1
A1	0
A2	1
A3	1
A4	0
A5	1

SD	CD	CP	J	K	Q	QB
0	0	X	X	X	1*	1*
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	∖	0	0	const	const
1	1	∖	0	1	0	1
1	1	∖	1	0	1	0
1	1	∖	1	1	$\bar{Q}$	$\bar{QB}$

**Примечание (\*).** При одновременном возврате SD и CD в 1 состояния Q и QB могут быть произвольны (0, 1 или 1,0).

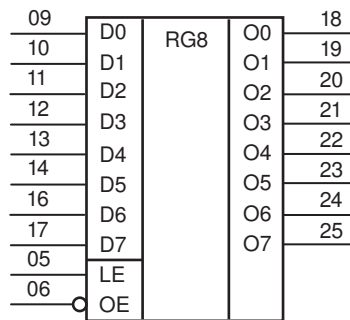


## 4.7. Регистры-защелки

### 4.7.1. 8-разрядная защелка с 3-м состоянием (1/2 IDT74FCT16373)

A0	0
A1	1
A2	1
A3	1
A4	0
A5	0

OE	LE	Dx	Qx
0	0	X	Qx
0	1	0	0
0	1	1	1
1	X	X	Z

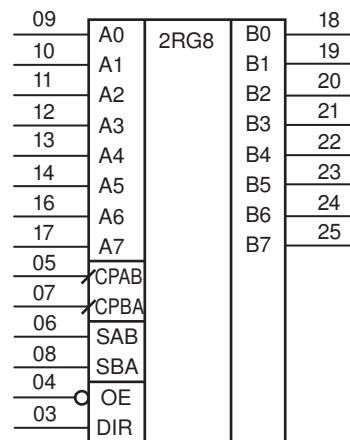


## 4.8. Регистры по перепаду, сдвигатели

### 4.8.1. 2 двунаправленных 8-разрядных регистра (1/2 74LCX16646)

A0	X
A1	X
A2	0
A3	1
A4	0
A5	0

OE	DIR	CPAB	CPBA	SAB	SBA	A	B	qA	qB
0	0	X	$\bar{f}$	X	0	B	Z	qA	qB
0	0	X	$f$	X	0	B	Z	qA	B
0	0	X	$\bar{f}$	X	1	qB	Z	qA	qB
0	0	X	$f$	X	1	qB	Z	qA	B
0	1	$\bar{f}$	X	0	X	Z	A	qA	qB
0	1	$f$	X	0	X	Z	A	A	qB
0	1	$\bar{f}$	X	1	X	Z	qA	qA	qB
0	1	$f$	X	1	X	Z	qA	A	qB
1	X	$\bar{f}$	$\bar{f}$	X	X	Z	Z	qA	qB
1	X	$f$	$\bar{f}$	X	X	Z	Z	A	qB
1	X	$\bar{f}$	$f$	X	X	Z	Z	qA	B

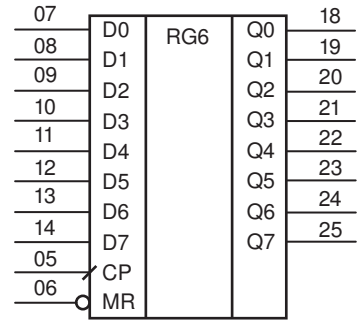




**4.8.2. 8-разрядный регистр с асинхронным сбросом (доп. 74AC174)**

A0	0
A1	1
A2	0
A3	0
A4	0
A5	1

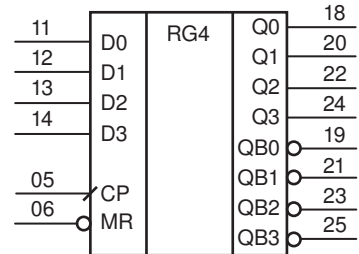
MR	CP	Dx	Qx
0	X	X	0
1	/	0	0
1	/	1	1
1	/	X	Qx



**4.8.3. 4-разрядный регистр с асинхронным сбросом (74AC175)**

A0	1
A1	1
A2	0
A3	0
A4	0
A5	1

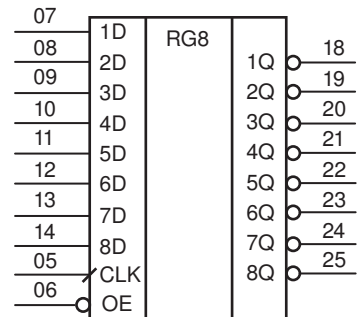
MR	CP	Dx	Qx	QBx
0	X	X	0	1
1	/	0	0	1
1	/	1	1	0
1	/	X	Qx	QBx



**4.8.4. 8-разрядный регистр с инверсией 3-м состоянием (74LS534)**

A0	0
A1	0
A2	1
A3	0
A4	0
A5	1

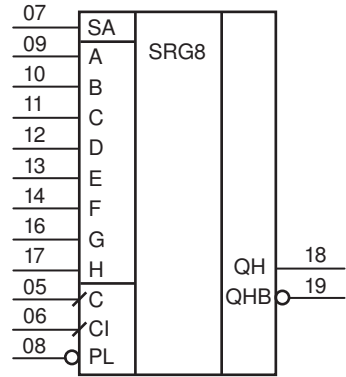
OE	CLK	xD	xQ
0	/	0	1
0	/	1	0
0	/	X	xQ
1	X	X	Z



#### 4.8.5. 8-разрядный сдвигатель (74LS165)

A0	0
A1	1
A2	0
A3	1
A4	1
A5	0

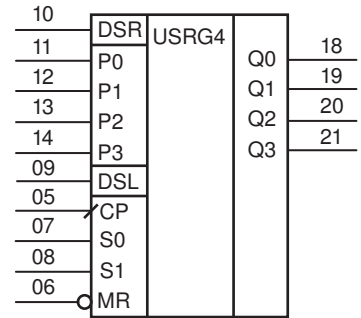
PL	C	CI	qA	qB	...	qF	qG	qH	QH	QHB
0	X	X	A	B	...	F	G	H	qH	$\overline{qH}$
1	0	0	qA	qB	...	qF	qG	qH	qH	$\overline{qH}$
1	$\int$	0	SA	qA	...	qE	qF	qG	qG	$\overline{qG}$
1	X	1	qA	qB	...	qF	qG	qH	qH	$\overline{qH}$
1	0	$\int$	SA	qA	...	qE	qF	qG	qG	$\overline{qG}$
1	1	X	qA	qB	...	qF	qG	qH	qH	$\overline{qH}$



#### 4.8.6. 4-разрядный универсальный сдвигатель (74LS194)

A0	1
A1	1
A2	0
A3	1
A4	1
A5	0

MR	S1	S0	CP	q0	q1	q2	q3	Q0	Q1	Q2	Q3
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	X	q0	q1	q2	q3	q0	q1	q2	q3
1	0	1	$\int$	DSR	q0	q1	q2	DSR	q0	q1	q2
1	0	1	$\overline{\int}$	q0	q1	q2	q3	q0	q1	q2	q3
1	1	0	$\int$	q1	q2	q3	DSL	q1	q2	q3	DSL
1	1	0	$\overline{\int}$	q0	q1	q2	q3	q0	q1	q2	q3
1	1	1	$\int$	P0	P1	P2	P3	P0	P1	P2	P3
1	1	1	$\overline{\int}$	q0	q1	q2	q3	q0	q1	q2	q3

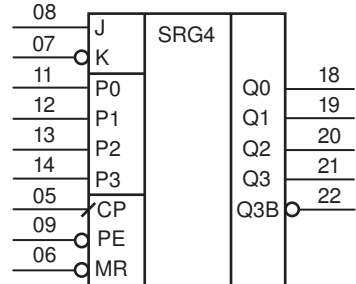


#### 4.8.7. 4-разрядный сдвигатель (74LS195)

A0	0
A1	0
A2	1
A3	1
A4	1
A5	0

MR	PE	J	K	CP	q0	q1	q2	q3	Q0	Q1	Q2	Q3
0	X	X	X	X	0	0	0	0	0	0	0	0
1	0	X	X	$\int$	P0	P1	P2	P3	P0	P1	P2	P3
1	1	0	0	$\int$	0	q0	q1	q2	0	q0	q1	q2
1	1	0	1	$\int$	q0	q0	q1	q2	q0	q0	q1	q2
1	1	1	0	$\int$	$\overline{q0}$	q0	q1	q2	q0	q0	q1	q2
1	1	1	1	$\int$	1	q0	q1	q2	1	q0	q1	q2

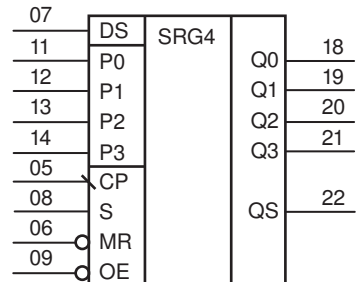
Примечание. Всегда Q3B= $\overline{Q3}$ .



#### 4.8.8. 4-разрядный сдвигатель с 3-м состоянием (74LS395)

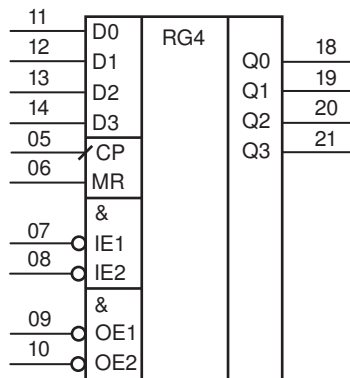
A0	1
A1	0
A2	1
A3	1
A4	1
A5	0

MR	S	OE	CP	q0	q1	q2	q3	Q0	Q1	Q2	Q3	QS
0	X	0	X	0	0	0	0	Z	Z	Z	Z	0
0	X	1	X	0	0	0	0	0	0	0	0	0
1	0	0	$\int$	DS	q0	q1	q2	DS	q0	q1	q2	q2
1	0	1	$\int$	DS	q0	q1	q2	Z	Z	Z	Z	q2
1	1	0	$\int$	P0	P1	P2	P3	P0	P1	P2	P3	P3
1	1	1	$\int$	P0	P1	P2	P3	Z	Z	Z	Z	P3
1	X	0	$\overline{\int}$	q0	q1	q2	q3	q0	q1	q2	q3	q3
1	X	1	$\int$	q0	q1	q2	q3	Z	Z	Z	Z	q3



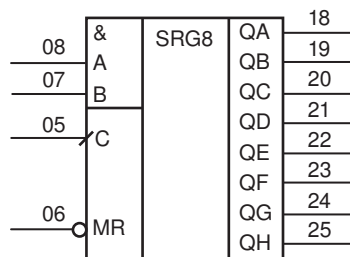
#### 4.8.9. 4-разрядный регистр с 3-м состоянием (74LS173)

A0	MR	IE1&IE2	OE1&OE2	CP	qx	Qx
0	0	0	0	X	qx	Z
1	0	0	1	X	qx	qx
1	0	1	0	∩	Dx	Z
1	0	1	1	∩	Dx	Dx
1	0	1	0	∩	qx	Z
0	0	1	1	∩	qx	qx
1	1	X	0	X	0	0
1	1	X	1	X	0	Z



#### 4.8.10. 8-разрядный сдвигатель (74LS164)

A0	MR	A	B	C	QA	QB	QC	QD	QE	QF	QG	QH
1	0	X	X	X	0	0	0	0	0	0	0	0
1	1	X	0	∩	QA	QB	QC	QD	QE	QF	QG	
1	1	0	X	∩	QA	QB	QC	QD	QE	QF	QG	
1	1	1	1	∩	1	QA	QB	QC	QD	QE	QF	QG
0	1	X	X	∩	QA	QB	QC	QD	QE	QF	QG	QH

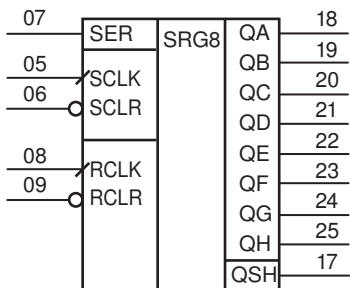


#### 4.8.11. 8-разрядный сдвигатель и регистр (74LS594)

A0	SCLR	SCLK	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH	QSH
0	0	X	0	0	0	0	0	0	0	0	0
1	1	∩	SER	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsG
0	1	∩	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH	qsH

A0	RCLR	RCLK	QA	QB	QC	QD	QE	QF	QG	QH
0	0	X	0	0	0	0	0	0	0	0
1	1	∩	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH
1	1	∩	QA	QB	QC	QD	QE	QF	QG	QH



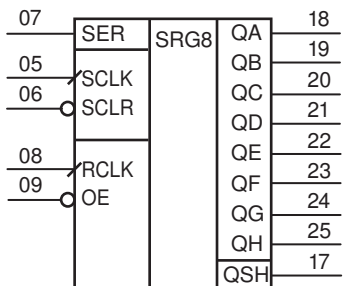
**Примечание.** QA...QH — выходы регистра; qsA...qsH — триггеры сдвигателя; QSH — выход триггера qsH.

#### 4.8.12. 8-разрядный сдвигатель и регистр с 3-м состоянием (74LS595)

A0	SCLR	SCLK	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH	QSH
1	0	X	0	0	0	0	0	0	0	0	0
0	1	∩	SER	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsG
0	1	∩	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH	qsH

A0	OE	RCLK	QA	QB	QC	QD	QE	QF	QG	QH
0	0	∩	qsA	qsB	qsC	qsD	qsE	qsF	qsG	qsH
0	0	∩	QA	QB	QC	QD	QE	QF	QG	QH
1	1	X	Z	Z	Z	Z	Z	Z	Z	Z



**Примечание.** QA...QH — выходы регистра; qsA...qsH — триггеры сдвигателя; QSH — выход триггера qsH.

## 4.9. Счетчики

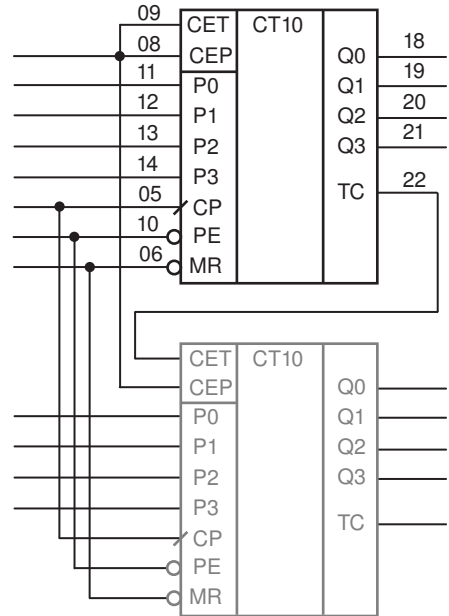
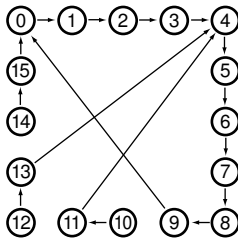
### 4.9.1. Синхронный счетчик по модулю 10 с загрузкой (74LS160)

A0	0
A1	0
A2	0
A3	0
A4	1
A5	0

MR	PE	СЕТ	СЕР	СР	Q
0	X	X	X	X	0
1	0	X	X	∅	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	∅	см. диагр.
1	1	1	1	∅	const

$$TC = CET \& Q_0 \& \overline{Q_1} \& \overline{Q_2} \& Q_3$$

Диаграмма состояний



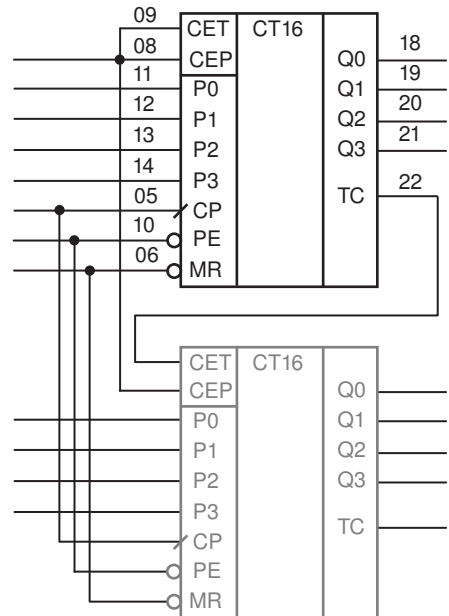
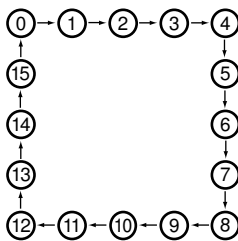
### 4.9.2. Синхронный счетчик по модулю 16 с загрузкой (74LS161)

A0	1
A1	0
A2	0
A3	0
A4	1
A5	0

MR	PE	СЕТ	СЕР	СР	Q
0	X	X	X	X	0
1	0	X	X	∅	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	∅	см. диагр.
1	1	1	1	∅	const

$$TC = CET \& Q_0 \& Q_1 \& Q_2 \& Q_3$$

Диаграмма состояний



### 4.9.3. Синхронный счетчик по модулю 10 с загрузкой (74LS162)

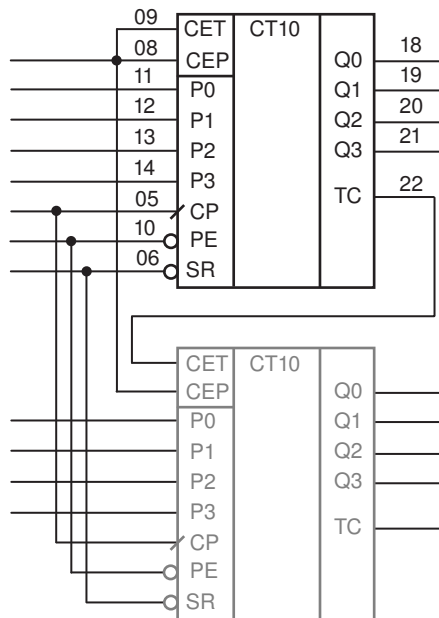
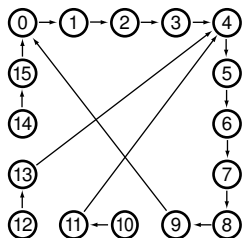
A0	A1	A2	A3	A4	A5
0	0	0	0	0	0
1	1	0	0	0	0
0	1	1	0	0	0
0	1	1	1	0	0
1	1	1	1	1	0
0	1	1	1	1	1

SR	PE	CET	CEP	CP	Q
0	X	X	X	⌊	0
1	0	X	X	⌊	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	⌊	см. диагр.
1	1	1	1	⌋	const

$$TC = CET \& Q_0 \& \overline{Q_1} \& \overline{Q_2} \& Q_3$$

Диаграмма состояний



### 4.9.4. Синхронный счетчик по модулю 16 с загрузкой (74LS163)

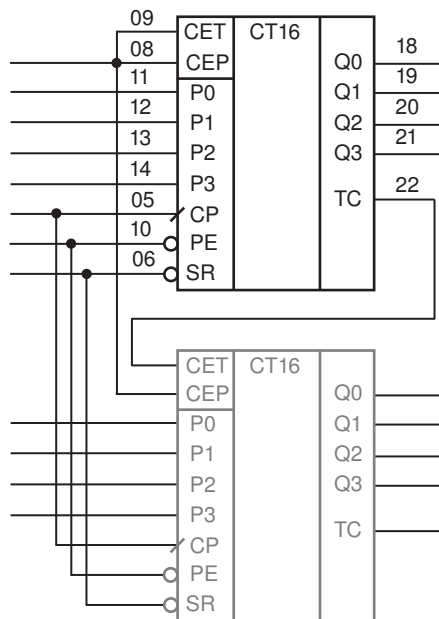
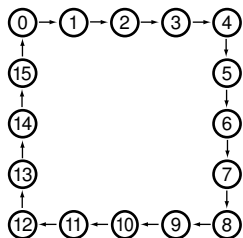
A0	A1	A2	A3	A4	A5
0	1	0	0	0	0
1	1	0	0	0	0
0	1	1	0	0	0
0	1	1	1	0	0
1	1	1	1	1	0
0	1	1	1	1	1

SR	PE	CET	CEP	CP	Q
0	X	X	X	⌊	0
1	0	X	X	⌊	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	⌊	см. диагр.
1	1	1	1	⌋	const

$$TC = CET \& Q_0 \& Q_1 \& Q_2 \& Q_3$$

Диаграмма состояний



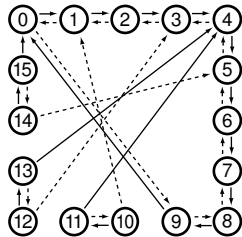
#### 4.9.5. Синхронный реверсивный счетчик по модулю 10 с загрузкой (74LS168)

A0	0
A1	0
A2	1
A3	0
A4	1
A5	0

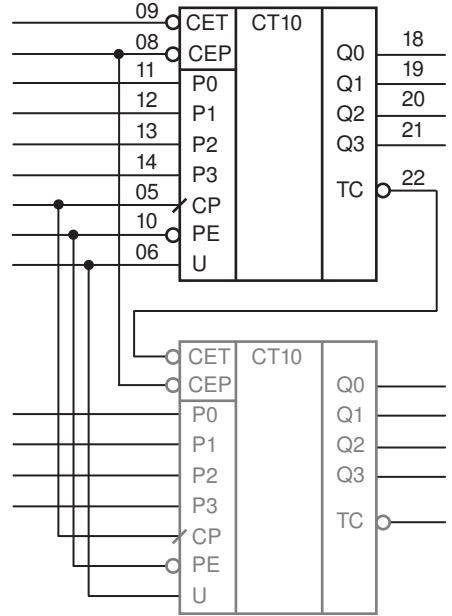
PE	СЕТ	СЕР	U	CP	Q
0	X	X	X	┘	P
1	X	0	X	X	const
1	0	X	X	X	const
1	1	1	0	┘	см. диагр.
1	1	1	1	┘	см. диагр.
1	1	1	X	┘	const

$$TC = (Q0 \& Q3 \& U) + (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& \overline{U})$$

Диаграмма состояний



Условные обозначения:  
 → U=1      - - - - U=0



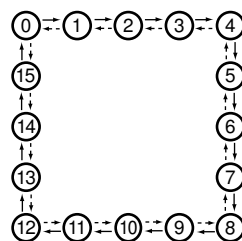
#### 4.9.6. Синхронный реверсивный счетчик по модулю 16 с загрузкой (74LS169)

A0	1
A1	0
A2	1
A3	0
A4	1
A5	0

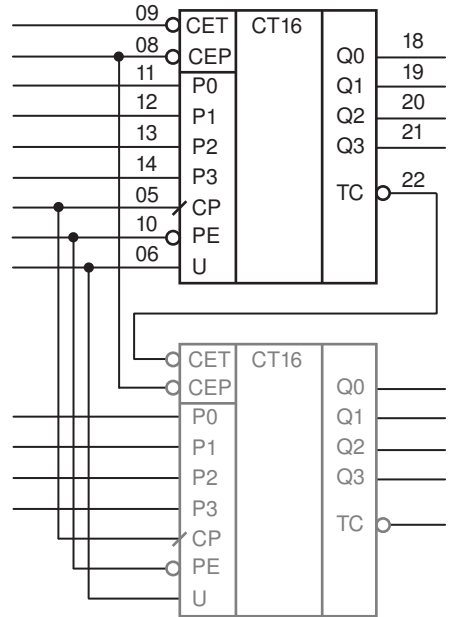
PE	СЕТ	СЕР	U	CP	Q
0	X	X	X	┘	P
1	X	0	X	X	const
1	0	X	X	X	const
1	1	1	0	┘	см. диагр.
1	1	1	1	┘	см. диагр.
1	1	1	X	┘	const

$$TC = (Q0 \& Q1 \& Q2 \& Q3 \& U) + (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& \overline{U})$$

Диаграмма состояний



Условные обозначения:  
 → U=1      - - - - U=0



#### 4.9.7. Синхронный реверсивный счетчик по модулю 10 с загрузкой (74LS190)

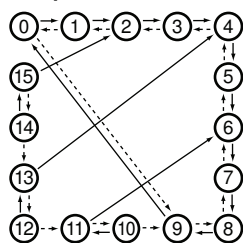
A0	0
A1	1
A2	1
A3	0
A4	1
A5	0

PL	CE	U	CP	Q
0	X	X	X	P
1	0	0	$\int$	см. диагр.
1	0	1	$\int$	см. диагр.
1	0	X	$\overline{\int}$	const
1	1	X	X	const

$$TC = (Q0 \& Q3 \& \overline{U}) + (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& U)$$

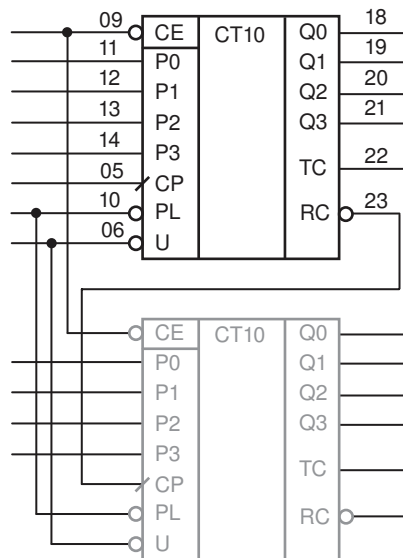
$$RC = CE + \overline{TC} + CP$$

Диаграмма состояний



Условные обозначения:

→ U=0      - - - - - U=1



#### 4.9.8. Синхронный реверсивный счетчик по модулю 16 с загрузкой (74LS191)

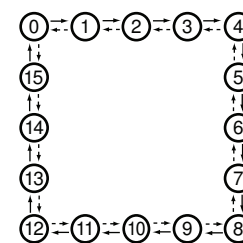
A0	1
A1	1
A2	1
A3	0
A4	1
A5	0

PL	CE	U	CP	Q
0	X	X	X	P
1	0	0	$\int$	см. диагр.
1	0	1	$\int$	см. диагр.
1	0	X	$\overline{\int}$	const
1	1	X	X	const

$$TC = (Q0 \& Q1 \& Q2 \& Q3 \& \overline{U}) + (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& U)$$

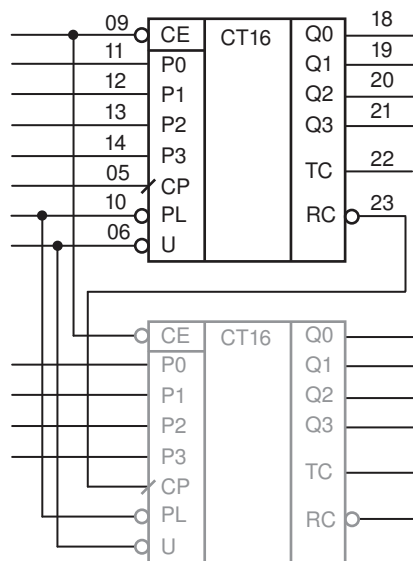
$$RC = CE + \overline{TC} + CP$$

Диаграмма состояний



Условные обозначения:

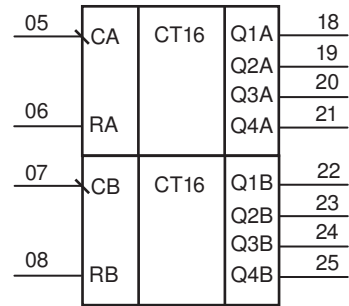
→ U=0



#### 4.9.9. 2 асинхронных счетчика по модулю 16 (74LS393)

A0	0
A1	0
A2	0
A3	1
A4	1
A5	0

Rx	Cx	Qx
0	$\downarrow$	$Qx=Qx+1$
0	$\overline{\downarrow}$	$Qx=const$
1	X	$Qx=0$



#### 4.9.10. 2 синхронных счетчика по модулю 16 (74HC4520)

A0	1
A1	0
A2	0
A3	1
A4	1
A5	0

xMR	xCP1	xCP0	xQ
0	$\downarrow$	0	$xQ=xQ+1$
0	$\overline{\downarrow}$	0	$Qx=const$
0	0	X	$Qx=const$
0	X	1	$Qx=const$
0	1	$\downarrow$	$xQ=xQ+1$
0	1	$\overline{\downarrow}$	$Qx=const$
1	X	X	0

