

5529TP015-674

Многофункциональная цифровая микросхема стандартной последовательностной логики

10.1. Назначение	10-8
10.2. Особенности	10-8
10.3. Общие сведения.....	10-8
10.3.1. Упрощенная структурная схема.....	10-9
10.3.2. Назначение внешних выводов.....	10-10
10.3.3. Корпусное исполнение	10-11
10.4. Описание функций.....	10-12
10.4.1. Логические элементы.....	10-14
10.4.1.1. Три 3-входовых мажоритарных элемента с прямыми и инверсными выходами	10-14
10.4.1.2. Два 5-входовых элемента «исключающее ИЛИ» с прямыми и инверсными выходами	10-14
10.4.1.3. Один 9-входовой и три 3-входовых элемента «исключающее ИЛИ» с прямыми и инверсными выходами и общими входами.....	10-15
10.4.1.4. Два 3-входовых и два 2-входовых элемента И, объединенных по ИЛИ, с прямым и инверсным выходами	10-15
10.4.2. Логические разветвители	10-16
10.4.2.1. Два разветвителя на 4 канала каждый с индивидуальным управлением инверсией в канале	10-16
10.4.2.2. 2-входовой логический элемент И с разветвителем выхода на 8 каналов и индивидуальным управлением инверсией в канале	10-17
10.4.2.3. Логический элемент 2И-ИЛИ с разветвителем выхода на 8 каналов и попарным управлением инверсией в каналах	10-18
10.4.2.4. Два логических элемента 2И-ИЛИ с разветвителями выхода на 4 канала и общим управлением инверсией выхода каждого элемента	10-19
10.4.3. Цифровые компараторы	10-20
10.4.3.1. Два компаратора 2-разрядных беззнаковых чисел.....	10-20
10.4.3.2. Компаратор 4-разрядных беззнаковых чисел с парафазными выходами.....	10-20
10.4.3.3. Компаратор 4-разрядных беззнаковых чисел со входами наращивания разрядности и парафазными выходами.....	10-21
10.4.4. Шифраторы	10-22
10.4.4.1. Два шифратора 4-разрядного унитарного кода в двоичный	10-22
10.4.4.2. Шифратор 8-разрядного унитарного кода в двоичный	10-22
10.4.4.3. Шифратор 8-разрядного унитарного кода в двоичный с тремя состояниями на выходах.....	10-23
10.4.4.4. Шифратор 10-разрядного унитарного кода в двоично-десятичный.....	10-23

10.4.5. Дешифраторы	10-24
10.4.5.1. Два дешифратора из 2 в 4 со входами разрешения и управления инверсией выходов	10-24
10.4.5.2. Два дешифратора из 2 в 4 со входами разрешения, управления инверсией и третьим состоянием выходов	10-24
10.4.5.3. Дешифратор из 3 в 8 со входами разрешения, управления инверсией и третьим состоянием выходов (модификация 1)	10-25
10.4.5.4. Дешифратор из 3 в 8 со входами разрешения, управления инверсией и третьим состоянием выходов (модификация 2)	10-25
10.4.5.5. Дешифратор из 3 в 8 с загружаемой высоким уровнем зашелкой 3 входных битов, входом разрешения и выходами без инверсии	10-26
10.4.5.6. Дешифратор из 3 в 8 с загружаемой высоким уровнем зашелкой 3 входных битов, входом разрешения и выходами с инверсией	10-26
10.4.5.7. Дешифратор для семисегментного индикатора с точкой на светодиодах по схеме с общим анодом	10-27
10.4.5.8. Дешифратор для семисегментного индикатора с точкой на светодиодах по схеме с общим катодом	10-28
10.4.6. Мультиплексоры	10-29
10.4.6.1. 4-разрядный сдвигатель на 1, 2 или 3 разряда с парафазными выходами и третьим состоянием	10-29
10.4.6.2. Три 2-канальных 1-разрядных мультиплексора с парафазными выходами	10-30
10.4.6.3. 2-канальный и 4-канальный 1-разрядные мультиплексоры с парафазными выходами	10-30
10.4.6.4. 4-канальный 1-разрядный мультиплексор с парафазными выходами и третьим состоянием	10-31
10.4.6.5. Два 2-канальных 2-разрядных мультиплексора с парафазными выходами	10-31
10.4.6.6. 4-канальный 2-разрядный мультиплексор с парафазными выходами	10-32
10.4.6.7. 2-канальный 4-разрядный мультиплексор с парафазными выходами и третьим состоянием	10-32
10.4.6.8. 2-канальный 4-разрядный мультиплексор с парафазными выходами и входом разрешения	10-33
10.4.6.9. Загружаемый высоким уровнем 4-разрядный регистр с парафазными выходами и 2-канальным мультиплексором на входе	10-33
10.4.6.10. Загружаемый по фронту 4-разрядный регистр с парафазными выходами и 2-канальным мультиплексором на входе	10-34
10.4.7. Сумматоры	10-35
10.4.7.1. Три 1-разрядных сумматора со входами и выходами переноса	10-35
10.4.7.2. Два 2-разрядных сумматора со входами и выходами переноса	10-35
10.4.7.3. 4-разрядный сумматор со входом и выходом переноса	10-36

10.4.8. Формирователи	10-37
10.4.8.1. Два 4-разрядных формирователя с тремя состояниями без инверсии.....	10-37
10.4.8.2. 4-разрядный формирователь с тремя состояниями с инверсией и 4-разрядный формирователь с тремя состояниями без инверсии	10-37
10.4.8.3. Два 4-разрядных формирователя с тремя состояниями с инверсией	10-38
10.4.9. RS-триггеры.....	10-39
10.4.9.1. Четыре RS-триггера, управляемые высоким уровнем с парафазными выходами.....	10-39
10.4.9.2. Четыре RS-триггера, управляемые низким уровнем с парафазными выходами.....	10-39
10.4.10. D-триггеры.....	10-40
10.4.10.1. Четыре D-триггера по фронту с парафазными выходами.....	10-40
10.4.10.2. Четыре D-триггера по спаду с парафазными выходами.....	10-40
10.4.10.3. Два D-триггера по фронту и два D-триггера по спаду с общими входами, асинхронными сбросом и установкой, с парафазными выходами	10-41
10.4.10.4. Четыре загружаемых высоким уровнем 1-разрядных защелки с парафазными выходами.....	10-41
10.4.10.5. Четыре загружаемых низким уровнем 1-разрядных защелки с парафазными выходами.....	10-42
10.4.10.6. Две загружаемые высоким и две загружаемые низким уровнями 1-разрядных защелки с общими входами, сбросом и установкой, с парафазными выходами	10-42
10.4.10.7. Четыре 4-разрядные ячейки с общими входами и общими парафазными выходами, с возможностью одновременной загрузки и чтения разных ячеек	10-43
10.4.11. JK-триггеры	10-44
10.4.11.1. Два JK-триггера по фронту и два JK-триггера по спаду с общими входами, асинхронными сбросом и установкой, с парафазными выходами	10-44
10.4.12. Регистры-защелки	10-45
10.4.12.1. Загружаемый высоким уровнем 4-разрядный регистр с разрешением, сбросом и установкой, с парафазными выходами и третьим состоянием.....	10-45
10.4.12.2. Загружаемый низким уровнем 4-разрядный регистр с разрешением, сбросом и установкой, с парафазными выходами и третьим состоянием.....	10-45
10.4.12.3. Загружаемый высоким уровнем 8-разрядный регистр с третьим состоянием	10-46
10.4.12.4. Загружаемый низким уровнем 8-разрядный регистр с третьим состоянием	10-46
10.4.12.5. Загружаемый высоким уровнем 8-разрядный регистр со сбросом.....	10-47
10.4.12.6. Загружаемый низким уровнем 8-разрядный регистр со сбросом.....	10-47
10.4.12.7. Загружаемый высоким уровнем 8-разрядный регистр с установкой.....	10-48
10.4.12.8. Загружаемый низким уровнем 8-разрядный регистр с установкой.....	10-48

10.4.12.9. Четыре загружаемых высоким уровнем 2-разрядных регистра со сбросом, общими входами и отдельными выходами	10-49
10.4.12.10. Восемь загружаемых высоким уровнем 1-разрядных регистров со сбросом, общим входом и отдельными выходами	10-49
10.4.13. Сдвиговые регистры	10-50
10.4.13.1. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, выбором направления, входами сдвига и парафазными выходами	10-50
10.4.13.2. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, выбором направления, входами сдвига и парафазными выходами	10-50
10.4.13.3. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, JK-входами сдвига и парафазными выходами	10-51
10.4.13.4. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, JK-входами сдвига и парафазными выходами	10-51
10.4.13.5. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, входом сдвига, отдельными синхровходами и парафазными выходами	10-52
10.4.13.6. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, входом сдвига, отдельными синхровходами и парафазными выходами	10-52
10.4.13.7. Загружаемый по фронту 4-разрядный регистр с синхронным сбросом, входом сдвига и третьим состоянием	10-53
10.4.13.8. Загружаемый по спаду 4-разрядный регистр с синхронным сбросом, входом сдвига и третьим состоянием	10-53
10.4.13.9. Сдвигающий по фронту 4-разрядный регистр с асинхронными загрузкой и сбросом, входом сдвига и третьим состоянием	10-54
10.4.13.10. Сдвигающий по спаду 4-разрядный регистр с асинхронными загрузкой и сбросом, входом сдвига и третьим состоянием	10-54
10.4.13.11. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, входом сдвига и третьим состоянием	10-55
10.4.13.12. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, входом сдвига и третьим состоянием	10-55
10.4.13.13. Сдвигающий по фронту 8-разрядный регистр с асинхронным сбросом и входами сдвига	10-56
10.4.13.14. Сдвигающий по спаду 8-разрядный регистр с асинхронным сбросом и входами сдвига	10-56
10.4.13.15. Сдвигающий по фронту 8-разрядный регистр с асинхронным сбросом, выбором направления и входами сдвига	10-57

10.4.13.16. Сдвигающий по спаду 8-разрядный регистр с асинхронным сбросом, выбором направления и входами сдвига.....	10-57
10.4.14. Регистры.....	10-58
10.4.14.1. Загружаемый по фронту 4-разрядный регистр с синхронными сбросом и установкой, с парафазными выходами и третьим состоянием.....	10-58
10.4.14.2. Загружаемый по спаду 4-разрядный регистр с синхронными сбросом и установкой, с парафазными выходами и третьим состоянием.....	10-58
10.4.14.3. Загружаемый по фронту 4-разрядный регистр с асинхронными сбросом и установкой, с парафазными выходами и третьим состоянием	10-59
10.4.14.4. Загружаемый по спаду 4-разрядный регистр с асинхронными сбросом и установкой, с парафазными выходами и третьим состоянием.....	10-59
10.4.14.5. Загружаемый по фронту 8-разрядный регистр с третьим состоянием.....	10-60
10.4.14.6. Загружаемый по спаду 8-разрядный регистр с третьим состоянием.....	10-60
10.4.14.7. Загружаемый по фронту 8-разрядный регистр с асинхронным сбросом	10-61
10.4.14.8. Загружаемый по спаду 8-разрядный регистр с асинхронным сбросом	10-61
10.4.14.9. Загружаемый по фронту 8-разрядный регистр с асинхронной установкой	10-62
10.4.14.10. Загружаемый по спаду 8-разрядный регистр с асинхронной установкой	10-62
10.4.14.11. Загружаемый по фронту 8-разрядный регистр со входом разрешения	10-63
10.4.14.12. Загружаемый по спаду 8-разрядный регистр со входом разрешения	10-63
10.4.15. Двоичные счетчики	10-64
10.4.15.1. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронными загрузкой и сбросом	10-64
10.4.15.2. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронными загрузкой и сбросом	10-65
10.4.15.3. Синхронный 4-разрядный реверсивный счетчик по фронту с асинхронными загрузкой и сбросом	10-66
10.4.15.4. Синхронный 4-разрядный реверсивный счетчик по спаду с асинхронными загрузкой и сбросом	10-67
10.4.15.5. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом.....	10-68
10.4.15.6. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом.....	10-69
10.4.15.7. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по фронту с синхронным сбросом	10-70
10.4.15.8. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по спаду с синхронным сбросом	10-70

10.4.15.9. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по фронту с асинхронным сбросом	10-71
10.4.15.10. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по спаду с асинхронным сбросом	10-71
10.4.15.11. Синхронный 8-разрядный реверсивный счетчик по фронту с синхронным сбросом	10-72
10.4.15.12. Синхронный 8-разрядный реверсивный счетчик по спаду с синхронным сбросом	10-72
10.4.15.13. Синхронный 8-разрядный реверсивный счетчик по фронту с асинхронным сбросом	10-73
10.4.15.14. Синхронный 8-разрядный реверсивный счетчик по спаду с асинхронным сбросом	10-73
10.4.16. Счетчики с переменным модулем счета	10-74
10.4.16.1. Тестовый адрес	10-74
10.4.16.2. Тестовый адрес	10-74
10.4.16.3. Универсальный делитель частоты (2...4096) по фронту с асинхронным сбросом	10-74
10.4.16.4. Тестовый адрес	10-75
10.4.17. Двоично-десятичные счетчики	10-76
10.4.17.1. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронными загрузкой и сбросом	10-76
10.4.17.2. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронными загрузкой и сбросом	10-77
10.4.17.3. Синхронный 4-разрядный реверсивный счетчик по фронту с асинхронными загрузкой и сбросом	10-78
10.4.17.4. Синхронный 4-разрядный реверсивный счетчик по спаду с асинхронными загрузкой и сбросом	10-79
10.4.17.5. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 1)	10-80
10.4.17.6. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом (модификация 1)	10-81
10.4.17.7. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 2)	10-82
10.4.17.8. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом (модификация 2)	10-83
10.4.17.9. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 3)	10-84
10.4.17.10. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом (модификация 3)	10-85
10.4.18. Счетчики Джонсона	10-86
10.4.18.1. Синхронный 4-разрядный счетчик по фронту с синхронной загрузкой и сбросом, с парафазными выходами	10-86
10.4.18.2. Синхронный 4-разрядный счетчик по спаду с синхронной загрузкой и сбросом, с парафазными выходами	10-86

10.4.18.3. Синхронный 4-разрядный счетчик по фронту с асинхронными загрузкой и сбросом, с парафазными выходами.....	10-87
10.4.18.4. Синхронный 4-разрядный счетчик по спаду с асинхронными загрузкой и сбросом, с парафазными выходами.....	10-87
10.4.18.5. Синхронный 4-разрядный счетчик по фронту с синхронной загрузкой, асинхронным сбросом и парафазными выходами	10-88
10.4.18.6. Синхронный 4-разрядный счетчик по спаду с синхронной загрузкой, асинхронным сбросом и парафазными выходами	10-88
10.4.18.7. Синхронный 4-разрядный счетчик по фронту с асинхронным сбросом, выбором разрядности и конфигурации парафазных выходов.....	10-89
10.4.18.8. Синхронный 4-разрядный счетчик по спаду с асинхронным сбросом, выбором разрядности и конфигурации парафазных выходов.....	10-90
10.4.18.9. Синхронный 8-разрядный счетчик по фронту с синхронным сбросом, выбором разрядности и конфигурации выходов	10-91
10.4.18.10. Синхронный 8-разрядный счетчик по спаду с синхронным сбросом, выбором разрядности и конфигурации выходов	10-93
10.4.18.11. Синхронный 8-разрядный счетчик по фронту с асинхронным сбросом, выбором разрядности и конфигурации выходов	10-95
10.4.18.12. Синхронный 8-разрядный счетчик по спаду с асинхронным сбросом, выбором разрядности и конфигурации выходов	10-97
10.5. Дискретные аналоги функций МФЦМ	10-99
10.6. Приложение. Описание системы условных обозначений функций	10-103
10.6.1. Буферы, инверторы и формирователи	10-103
10.6.2. Логические элементы и разветвители	10-103
10.6.3. Цифровые компараторы	10-104
10.6.4. Шифраторы	10-104
10.6.5. Дешифраторы	10-105
10.6.6. Мультиплексоры	10-105
10.6.7. Сумматоры.....	10-106
10.6.8. Триггеры RS-типа.....	10-106
10.6.9. Одноступенчатые триггеры D-типа (защелки)	10-106
10.6.10. Двухступенчатые триггеры (с синхронизацией по перепаду).....	10-107
10.6.11. Регистры данных	10-107
10.6.12. Сдвиговые регистры	10-108
10.6.13. Счетчики	10-109

10.1. Назначение

Многофункциональная цифровая микросхема 5529ТР015-674 (далее МФЦМ) предназначена для реализации по выбору функций двоичной логики, мультиплексоров, триггеров, регистров и счетчиков различной организации (всего 124 варианта) и замены указанных устройств, выполненных в виде микросхем малой и средней степени интеграции, в аппаратуре специального назначения. МФЦМ изготовлена по радиационнотойкой технологии.

10.2. Особенности

- Напряжение питания — $3...3,3 \text{ В} \pm 10\%$.
- Количество информационных входов — не более 10.
- Количество информационных выходов — не более 8.
- Количество адресных входов, определяющих функцию микросхемы, — 7.
- Регулируемая нагрузочная способность.
- Радиационнотойкая технология.
- Разрешение для применения в аппаратуре специального и космического назначения.

10.3. Общие сведения

МФЦМ имеет 7 адресных входов, логические уровни на которых задаются подключением к питанию или земле.

Код на адресных входах выбирает одну из 124 заложенных в микросхему функций. Назначение входов (до 10) и выходов (до 8) определяется выбранной функцией и превращает МФЦМ в функциональный аналог одной из наиболее употребимых микросхем малой или средней степени интеграции. Ниже приведен перечень реализуемых МФЦМ функций.

1. Логические элементы	—	4 варианта.
2. Логические разветвители	—	4 варианта.
3. Цифровые компараторы	—	3 варианта.
4. Шифраторы	—	4 варианта.
5. Дешифраторы	—	8 вариантов.
6. Мультиплексоры	—	10 вариантов.
7. Сумматоры	—	3 варианта.
8. Формирователи	—	3 варианта.
9. RS-триггеры	—	2 варианта.
10. D-триггеры	—	7 вариантов.
11. JK-триггеры	—	1 вариант.
12. Регистры-защелки	—	10 вариантов.
13. Сдвиговые регистры	—	16 вариантов.
14. Регистры	—	12 вариантов.
15. Двоичные счетчики	—	14 вариантов.
16. Счетчики с переменным модулем счета	—	1 вариант.
17. Двоично-десятичные счетчики	—	10 вариантов.
18. Счетчики Джонсона	—	12 вариантов.

10.3.1. Упрощенная структурная схема

Упрощенная структурная схема МФЦМ приведена на рис. 10.1. В состав МФЦМ входят следующие основные узлы.

U1 (дешифратор выбора функций) — предназначен для выбора одной из 124 реализованных в МФЦМ функций в соответствии с кодом на адресных входах A6...A0. Нулевое значение адреса блокирует МФЦМ. При этом никакой функции не выбирается.

U2 (выходной буфер) — предназначен для формирования соответствующих сигналов на выходах МФЦМ различной нагрузочной способности. Управление производится логическим сигналом на входе X. При X=0 максимальный ток нагрузки 4 мА, при X=1 максимальный ток нагрузки 12 мА.

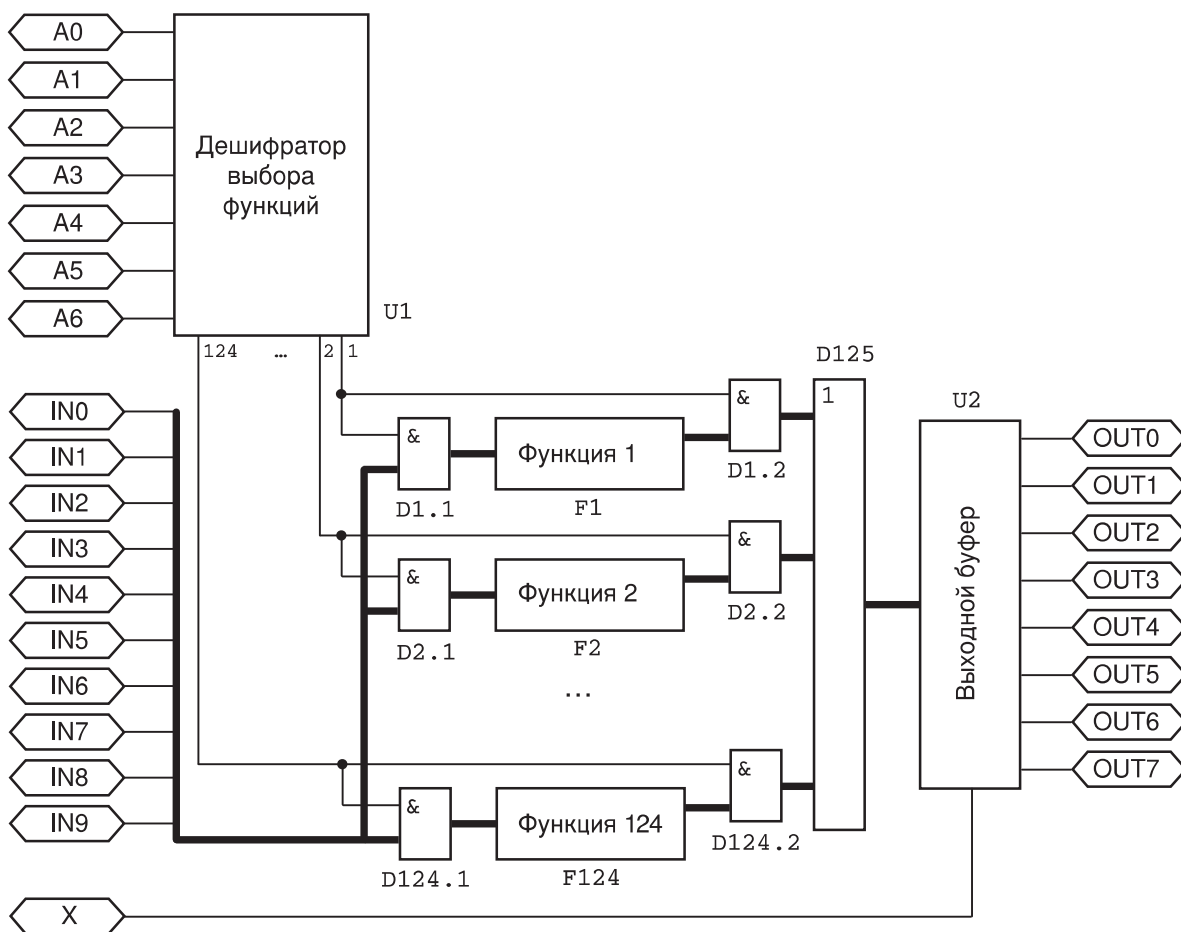


Рис. 10.1. Упрощенная структурная схема МФЦМ

D1...D124 — логические вентили, предназначенные для коммутации входов и выходов каждого функционального узла с входами и выходами МФЦМ. Вентили управляются сигналами от дешифратора функций.

D125 — схема объединения выходов функциональных узлов МФЦМ для подключения к выходному буферу.

F1...F124 — функциональные узлы, реализующие заложенные в МФЦМ возможности комбинаторных и триггерных схем.

10.3.2. Назначение внешних выводов

В таблице 10.1 приведено краткое описание выводов МФЦМ.

Таблица 10.1. Назначение выводов МФЦМ

Номер	Имя	Описание
1	VDD	Плюс источника питания
2	IN5	Вход микросхемы
3	IN6	Вход микросхемы
4	IN7	Вход микросхемы
5	IN8	Вход микросхемы
6	IN9	Вход микросхемы
7	A3	Адресный вход выбора функции
8	A2	Адресный вход выбора функции
9	A1	Адресный вход выбора функции
10	A0	Адресный вход выбора функции
11	OUT7	Выход микросхемы
12	OUT6	Выход микросхемы
13	OUT5	Выход микросхемы
14	OUT4	Выход микросхемы
15	GND	Общий провод источника питания («земля»)
16	OUT3	Выход микросхемы
17	OUT2	Выход микросхемы
18	OUT1	Выход микросхемы
19	OUT0	Выход микросхемы
20	A4	Адресный вход выбора функции
21	A5	Адресный вход выбора функции
22	A6	Адресный вход выбора функции
23	X	Вход управления нагрузочной способностью выходов микросхемы
24	IN0	Вход микросхемы
25	IN1	Вход микросхемы
26	IN2	Вход микросхемы
27	IN3	Вход микросхемы
28	IN4	Вход микросхемы

10.3.3. Корпусное исполнение

МФЦМ производится в корпусе МК 5123.28-1.01. Чертеж корпуса микросхемы приведен на рис. 10.2.

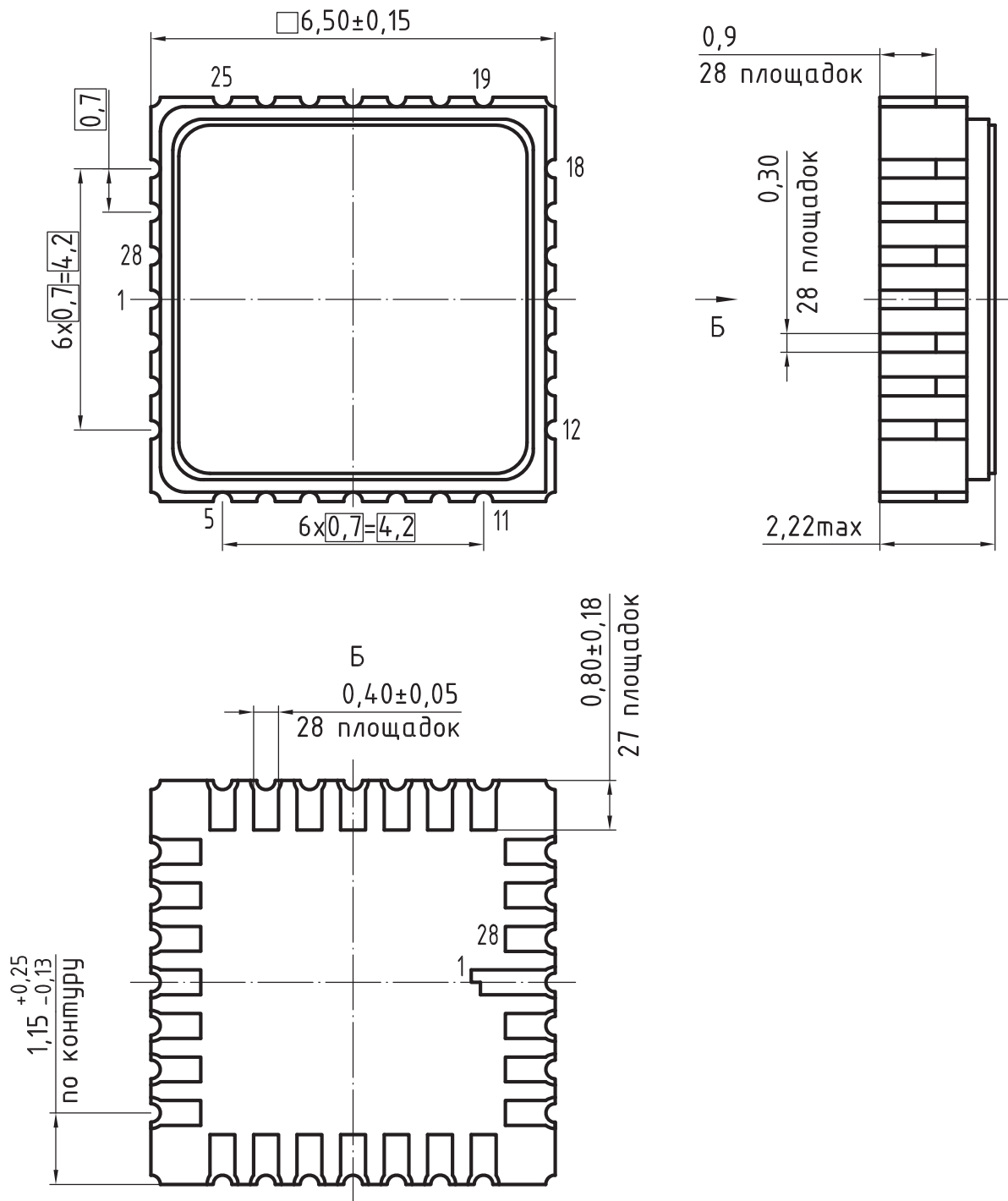


Рис. 10.2. Чертеж корпуса МК 5123.28-1.01

10.4. Описание функций

Описываемые функции микросхемы разделены на 18 групп.

Расшифровка условного обозначения функции, реализуемой каждым из блоков F1...F124, описана в параграфе 6.

Все нижеприведенные описания используют положительную логику (логическая 1 — высокий уровень, логический 0 — низкий).

В таблицах истинности и состояний кроме уровней 0 и 1 приняты следующие условные обозначения:

X — произвольное логическое состояние (любой перепад, 0 или 1),

Z — 3-е логическое состояние (высокое сопротивление, выход отключен),

\uparrow — фронт (перепад от низкого уровня к высокому),

\downarrow — спад (перепад от высокого уровня к низкому),

$\overline{\uparrow}$ — не фронт (спад, 0 или 1),

$\overline{\downarrow}$ — не спад (фронт, 0 или 1).

В формулах выражений используются следующие обозначения:

= — знак присваивания (значение правого операнда присваивается левому),

+ — операция арифметического сложения,

— — операция арифметического вычитания,

* — операция арифметического умножения,

/ — операция целочисленного деления,

% — операция взятия модуля (получения остатка от целочисленного деления левого операнда на правый),

\oplus — логическая операция «исключающее ИЛИ»,

| — операция «логическое ИЛИ»,

& — операция «логическое И»,

\overline{Q} — логическая инверсия операнда Q,

Q=const или просто const — означает неизменность состояния, т.е. сохранение операндом или битом своего значения.

Для обозначения сигналов на входах и выходах используются латинские буквы или комбинации букв и цифр (например CE0, D1, q3 и т.п.). Буквы обозначают функциональную принадлежность сигнала (данные, входы, выходы, синхронизация, сброс и т.п.). Цифры нумеруют сигналы внутри функциональной группы (номер сигнала разрешения, номер разряда, номер канала, адрес ячейки и т.п.). При возможных разночтениях следует смотреть примечания.

Для групповых операций могут использоваться замены цифр строчной буквой «x»: например, Qx может означать любой из разрядов Q7...Q0.

В некоторых случаях используется обозначенное буквой число, представленное разрядами устройства: например, Q — число, образованное разрядами Q3...Q0.

При обозначении выводов многоразрядных мультиплексоров и демultipлексоров сначала дается номер канала, затем — разряда: например, D2.0 следует понимать как 2-й канал 0-й разряд.

Если состояния выходов регистра или счетчика однозначно соответствуют состояниям триггеров, то для простоты при их описании используются обозначения состояний выходов заглавными буквами (например Q0, Q1 и т.п.). В некоторых регистрах и счетчиках состояния выходов являются логическими функциями состояний соответствующих триггеров и других сигналов. В таком случае состоя-

ния триггеров обозначаются строчными буквами (например q0, q1 и т.п.), а состояния соответствующих выходов – по-прежнему заглавными.

Если дополнительно не указано, модуль счета счетчиков определяется их разрядностью.

В отдельных случаях при описании состояний счетчиков используется условный псевдооператор типа «если *условие* то *установка 1* иначе *установка 2*», значение которого интуитивно понятно: если *условие* истинно, то выбирается *установка 1*, в противном случае выбирается *установка 2*.

В диаграммах переходов десятичных счетчиков коды состояний даны в десятичной системе счисления.

В диаграммах переходов счетчиков Джонсона коды состояний даны в шестнадцатеричной системе счисления.

В описаниях некоторых функций вместе с УГО реализуемой функции могут быть приведены возможные схемы включения нескольких функций для увеличения их разрядности.

10.4.1. Логические элементы

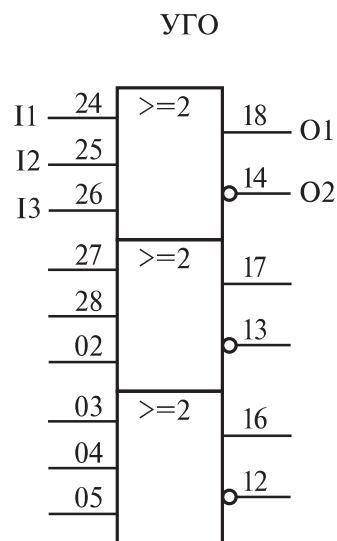
10.4.1.1. Три 3-входовых мажоритарных элемента с прямыми и инверсными выходами

Условное обозначение 3*MAJ3
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 0 0 0 0 1

Описание Таблица состояний

I1	I2	I3	O1	O2
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

Логические функции
 $O1 = (I1 \& I2) \vee (I1 \& I3) \vee (I2 \& I3)$
 $O2 = \overline{(I1 \& I2) \vee (I1 \& I3) \vee (I2 \& I3)}$

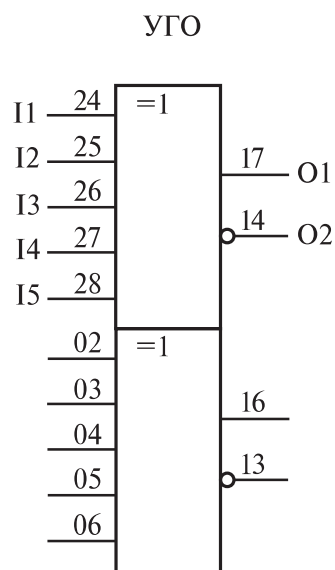


- Примечания
1. Вывод 06 (вход) должен быть подключен к питанию или земле.
 2. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 17 нс.

10.4.1.2. Два 5-входовых элемента «исключающее ИЛИ» с прямыми и инверсными выходами

Условное обозначение 2*XOR5
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 1 1 1 1 0

Описание Логические функции
 $O1 = I1 \oplus I2 \oplus I3 \oplus I4 \oplus I5$
 $O2 = \overline{I1 \oplus I2 \oplus I3 \oplus I4 \oplus I5}$



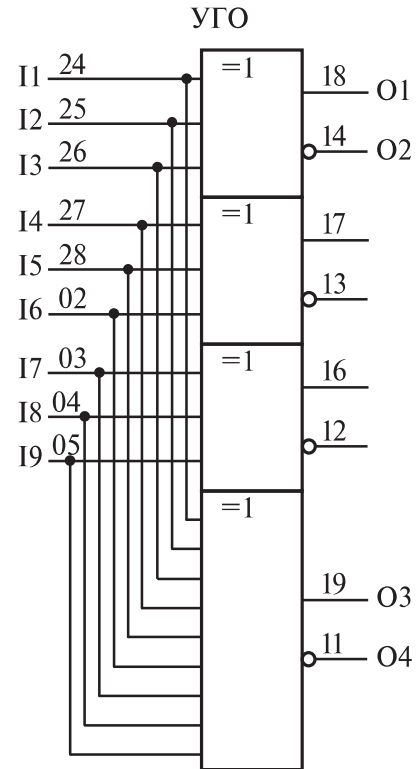
- Примечания
1. Выводы 11, 12, 18 и 19 (выходы) должны оставаться неподключенными.
 2. Максимальная задержка функции не превышает 19 нс.

10.4.1.3. Один 9-входовый и три 3-входовых элемента «исключающее ИЛИ» с прямыми и инверсными выходами и общими входами

Условное обозначение XOR9+3*XOR3

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 1 1 1 1 1

Описание Логические функции
 $O1 = I1 \oplus I2 \oplus I3$
 $O2 = \overline{I1} \oplus I2 \oplus I3$
 $O3 = I1 \oplus I2 \oplus I3 \oplus I4 \oplus I5 \oplus I6 \oplus I7 \oplus I8 \oplus I9$
 $O4 = \overline{I1} \oplus I2 \oplus I3 \oplus I4 \oplus I5 \oplus I6 \oplus I7 \oplus I8 \oplus I9$



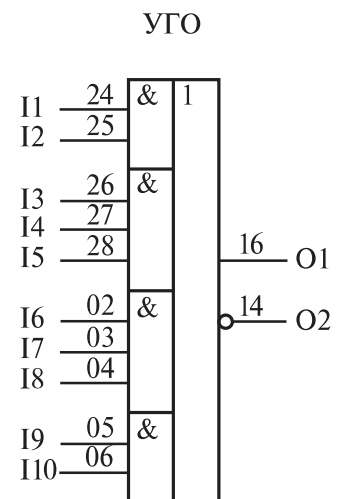
Примечания
 1. Вывод 06 (вход) должен быть подключен к питанию или земле.
 2. Максимальная задержка функции не превышает 18 нс.

10.4.1.4. Два 3-входовых и два 2-входовых элемента И, объединенных по ИЛИ, с прямым и инверсным выходами

Условное обозначение A32A22O

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 1 1 1 1

Описание Логические функции
 $O1 = (I1 \& I2) | (I3 \& I4 \& I5) | (I6 \& I7 \& I8) | (I9 \& I10)$
 $O2 = \overline{(I1 \& I2) | (I3 \& I4 \& I5) | (I6 \& I7 \& I8) | (I9 \& I10)}$



Примечания
 1. Выводы 11...13 и 17...19 (выходы) должны оставаться неподключенными.
 2. Максимальная задержка функции не превышает 17 нс.

10.4.2. Логические разветвители

10.4.2.1. Два разветвителя на 4 канала каждый с индивидуальным управлением инверсией в канале

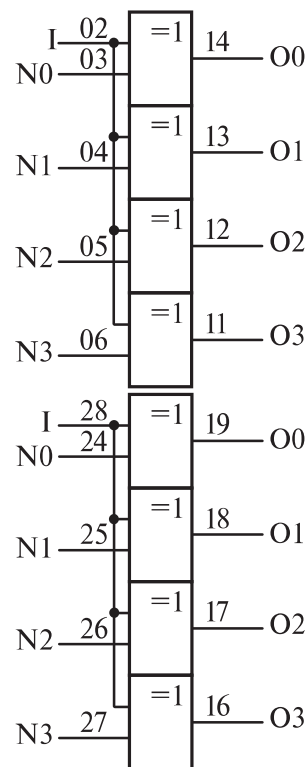
Условное обозначение 2*BUFM1

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 0 0 0 0

Описание

Логические функции
 $O0 = I \oplus N0$
 $O1 = I \oplus N1$
 $O2 = I \oplus N2$
 $O3 = I \oplus N3$

УГО



- Примечания
1. Разветвитель предназначен для увеличения нагрузочной способности шины I.
 2. Максимальная задержка функции не превышает 15 нс.

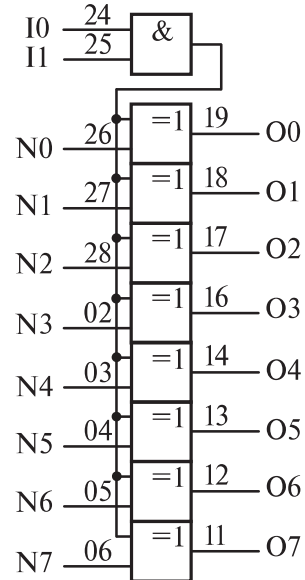
10.4.2.2. 2-входовый логический элемент И с разветвителем выхода на 8 каналов и индивидуальным управлением инверсией в канале

Условное обозначение AND2M1

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 0 0 0 1

Описание Логические функции
 $O0=(I0\&I1)\oplus N0$
 $O1=(I0\&I1)\oplus N1$
 $O2=(I0\&I1)\oplus N2$
 $O3=(I0\&I1)\oplus N3$
 $O4=(I0\&I1)\oplus N4$
 $O5=(I0\&I1)\oplus N5$
 $O6=(I0\&I1)\oplus N6$
 $O7=(I0\&I1)\oplus N7$

УГО



Примечания

1. Разветвитель предназначен для увеличения нагрузочной способности логического элемента 2И.
2. Максимальная задержка функции не превышает 16 нс.

10.4.2.3. Логический элемент 2И-ИЛИ с разветвителем выхода на 8 каналов и попарным управлением инверсией в каналах

Условное обозначение A22OM1
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 1 0 0 1 0

Описание Логические функции

$$O0 = ((I0 \& I1) | (I2 \& I3)) \oplus N0$$

$$O1 = ((I0 \& I1) | (I2 \& I3)) \oplus N0$$

$$O2 = ((I0 \& I1) | (I2 \& I3)) \oplus N1$$

$$O3 = ((I0 \& I1) | (I2 \& I3)) \oplus N1$$

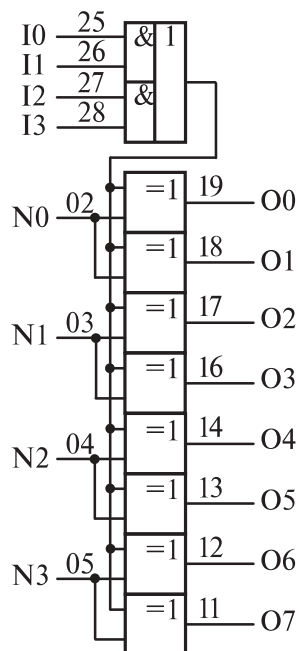
$$O4 = ((I0 \& I1) | (I2 \& I3)) \oplus N2$$

$$O5 = ((I0 \& I1) | (I2 \& I3)) \oplus N2$$

$$O6 = ((I0 \& I1) | (I2 \& I3)) \oplus N3$$

$$O7 = ((I0 \& I1) | (I2 \& I3)) \oplus N3$$

УГО



Примечания

1. Разветвитель предназначен для увеличения нагрузочной способности логического элемента 2И-ИЛИ.
2. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
3. Максимальная задержка функции не превышает 17 нс.

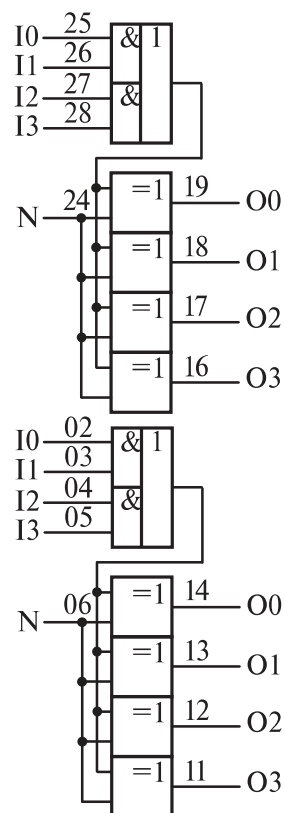
10.4.2.4. Два логических элемента 2И-ИЛИ с разветвителями выхода на 4 канала и общим управлением инверсией выхода каждого элемента

Условное обозначение 2*A22OM2

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 0 0 1 1

Описание Логические функции
 $O0 = ((I0 \& I1) | (I2 \& I3)) \oplus N$
 $O1 = ((I0 \& I1) | (I2 \& I3)) \oplus N$
 $O2 = ((I0 \& I1) | (I2 \& I3)) \oplus N$
 $O3 = ((I0 \& I1) | (I2 \& I3)) \oplus N$

УГО



- Примечания
1. Разветвитель предназначен для увеличения нагрузочной способности логического элемента 2И-ИЛИ.
 2. Максимальная задержка функции не превышает 17 нс.

10.4.3. Цифровые компараторы

10.4.3.1. Два компаратора 2-разрядных беззнаковых чисел

Условное обозначение

2*COMP2

УГО

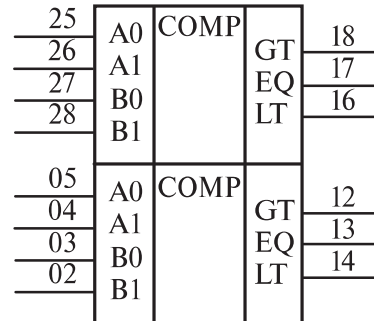
Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 0 0 1 0 0

Описание

Таблица состояний

Числа	GT	EQ	LT
A<B	0	0	1
A=B	0	1	0
A>B	1	0	0



Примечания

1. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
2. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
3. Максимальная задержка функции не превышает 16 нс.

10.4.3.2. Компаратор 4-разрядных беззнаковых чисел с парафазными выходами

Условное обозначение

COMP4

УГО

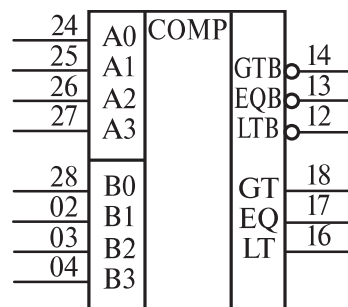
Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 0 0 1 0 1

Описание

Таблица состояний

Числа	GT	EQ	LT
A<B	0	0	1
A=B	0	1	0
A>B	1	0	0



Примечания

1. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
2. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
3. Уровни на выходах GTB, EQB и LTB в таблице состояний не приведены, но всегда являются инверсией уровней на выходах GT, EQ и LT.
4. Максимальная задержка функции не превышает 18 нс.

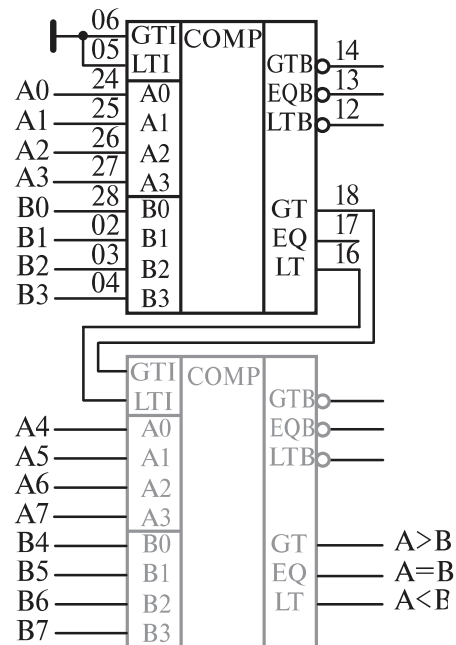
10.4.3.3. Компаратор 4-разрядных беззнаковых чисел со входами наращивания разрядности и парафазными выходами

Условное обозначение COMP4M1
Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 0 1 1 0

Описание Таблица состояний

Числа	GTI	LTI	GT	EQ	LT
A<B	X	X	0	0	1
A=B	0	1	0	0	1
A=B	0	0	0	1	0
A=B	1	0	1	0	0
A>B	X	X	1	0	0

УГО и пример каскадного включения для 8-разрядных чисел



- Примечания**
1. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 2. Уровни на выходах GTB, EQB и LTB в таблице состояний не приведены, но всегда являются инверсией уровней на выходах GT, EQ и LT.
 3. Максимальная задержка функции не превышает 18 нс.

10.4.4. Шифраторы

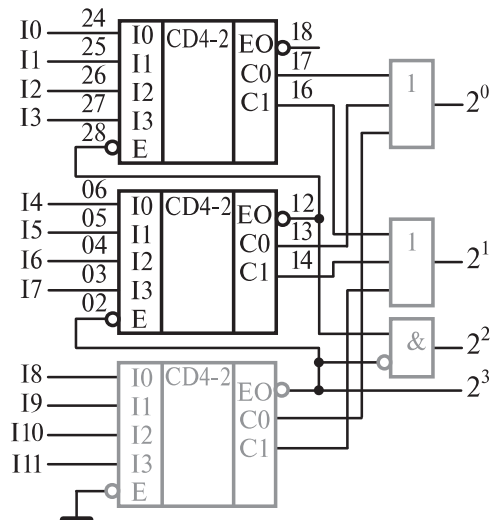
10.4.4.1. Два шифратора 4-разрядного унитарного кода в двоичный

Условное обозначение: 2*COD42E
 Адрес (двоичный): A6A5A4A3A2A1A0
 1 1 0 0 0 0 0

Описание: Таблица состояний

E	I0	I1	I2	I3	C1	C0	EO
0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	1
0	X	1	0	0	0	1	1
0	X	X	1	0	1	0	1
0	X	X	X	1	1	1	1
1	X	X	X	X	0	0	1

УГО и пример кодера 12-разрядного унитарного кода



Примечания: 1. Выводы I1 и I9 (выходы) должны оставаться неподключенными.
 2. Максимальная задержка функции не превышает 15 нс.

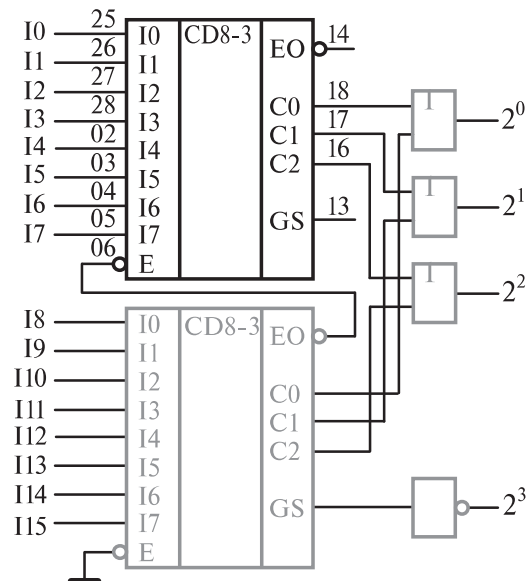
10.4.4.2. Шифратор 8-разрядного унитарного кода в двоичный

Условное обозначение: COD83E
 Адрес (двоичный): A6A5A4A3A2A1A0
 1 1 0 0 0 0 1

Описание: Таблица состояний

E	I0	I1	I2	I3	I4	I5	I6	I7	C2	C1	C0	EO	GS
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	0	1	0
0	X	1	0	0	0	0	0	0	0	1	0	1	0
0	X	X	1	0	0	0	0	0	1	0	1	1	0
0	X	X	X	1	0	0	0	0	1	1	1	1	0
0	X	X	X	X	1	0	0	1	0	1	1	1	0
0	X	X	X	X	X	1	0	1	1	1	1	1	0
0	X	X	X	X	X	X	1	1	1	1	1	1	0
1	X	X	X	X	X	X	X	0	0	0	0	1	1

УГО и пример кодера 16-разрядного унитарного кода



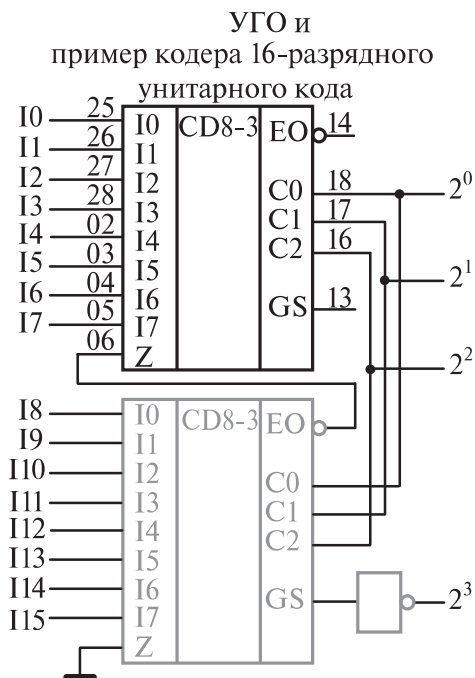
Примечания: 1. Вывод 24 (вход) должен быть подключен к питанию или земле.
 2. Выводы I1, I2 и I9 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 16 нс.

10.4.4.3. Шифратор 8-разрядного унитарного кода в двоичный с тремя состояниями на выходах

Условное обозначение COD83Z
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 0 0 1 0

Описание Таблица состояний

Z	I0	I1	I2	I3	I4	I5	I6	I7	C2	C1	C0	EO	GS
0	0	0	0	0	0	0	0	0	Z	Z	Z	0	1
0	1	0	0	0	0	0	0	0	0	0	0	1	0
0	X	1	0	0	0	0	0	0	0	0	1	1	0
0	X	X	1	0	0	0	0	0	0	1	0	1	0
0	X	X	X	1	0	0	0	0	0	1	1	1	0
0	X	X	X	X	1	0	0	0	1	0	0	1	0
0	X	X	X	X	X	1	0	0	1	0	1	1	0
0	X	X	X	X	X	X	1	0	1	1	0	1	0
0	X	X	X	X	X	X	X	1	1	1	1	1	0
1	X	X	X	X	X	X	X	X	Z	Z	Z	1	1



- Примечания
1. Вывод 24 (вход) должен быть подключен к питанию или земле.
 2. Выводы 11, 12 и 19 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 16 нс.

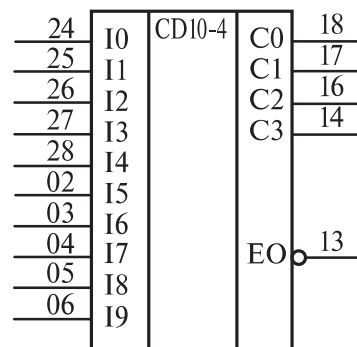
10.4.4.4. Шифратор 10-разрядного унитарного кода в двоично-десятичный

Условное обозначение COD104
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 0 0 1 1

Описание Таблица состояний

I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	C3	C2	C1	C0	EO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
X	1	0	0	0	0	0	0	0	0	0	0	0	0	1
X	X	1	0	0	0	0	0	0	0	0	0	1	0	1
X	X	X	1	0	0	0	0	0	0	0	0	1	1	1
X	X	X	X	1	0	0	0	0	0	0	1	0	0	1
X	X	X	X	X	1	0	0	0	0	0	1	0	1	1
X	X	X	X	X	X	1	0	0	0	0	1	1	0	1
X	X	X	X	X	X	X	1	0	0	0	1	1	1	1
X	X	X	X	X	X	X	X	1	0	1	0	0	0	1
X	X	X	X	X	X	X	X	X	1	1	0	0	1	1

УГО



- Примечания
1. Выводы 11, 12 и 19 (выходы) должны оставаться неподключенными.
 2. Максимальная задержка функции не превышает 18 нс.

10.4.5. Дешифраторы

10.4.5.1. Два дешифратора из 2 в 4 со входами разрешения и управления инверсией выходов

Условное обозначение DC24ENM1+DC24ENM2

УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 0 0 1 1 1

Описание

Таблица состояний DC24ENM1

$\overline{E1 \& E0}$	A1	A0	N=0				N=1			
			D0	D1	D2	D3	D0	D1	D2	D3
0	X	X	0	0	0	0	1	1	1	1
1	0	0	1	0	0	0	0	1	1	1
1	0	1	0	1	0	0	1	0	1	1
1	1	0	0	0	1	0	1	1	0	1
1	1	1	0	0	0	1	1	1	1	0

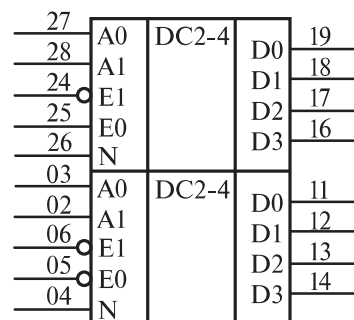


Таблица состояний DC24ENM2

$\overline{E1 \& E0}$	A1	A0	N=0				N=1			
			D0	D1	D2	D3	D0	D1	D2	D3
0	X	X	0	0	0	0	1	1	1	1
1	0	0	1	0	0	0	0	1	1	1
1	0	1	0	1	0	0	1	0	1	1
1	1	0	0	0	1	0	1	1	0	1
1	1	1	0	0	0	1	1	1	1	0

Примечания

Максимальная задержка функции не превышает 18 нс.

10.4.5.2. Два дешифратора из 2 в 4 со входами разрешения, управления инверсией и третьим состоянием выходов

Условное обозначение 2*DC24EZN

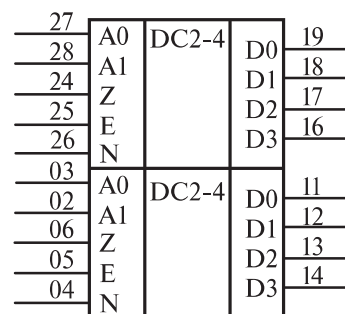
УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 0 1 0 0 0

Описание

Таблица состояний

Z	E	A1	A0	N=0				N=1			
				D0	D1	D2	D3	D0	D1	D2	D3
1	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z
0	0	X	X	0	0	0	0	1	1	1	1
0	1	0	0	1	0	0	0	0	1	1	1
0	1	0	1	0	1	0	0	1	0	1	1
0	1	1	0	0	0	1	0	1	1	0	1
0	1	1	1	0	0	0	1	1	1	1	0



Примечания

Максимальная задержка функции по входам Z не превышает 19 нс, а по остальным входам — 17 нс.

10.4.5.3. Дешифратор из 3 в 8 со входами разрешения, управления инверсией и третьим состоянием выходов (модификация 1)

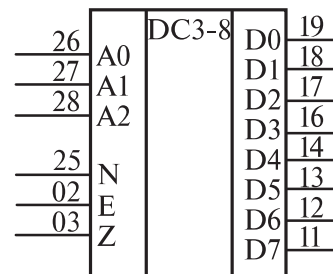
Условное обозначение DC38EZNМ1
 Адрес (двоичный) А6А5А4А3А2А1А0
 1 1 0 1 0 0 1

УГО

Описание

Таблица состояний

Z	E	A2	A1	A0	N=0							
					D0	D1	D2	D3	D4	D5	D6	D7
1	X	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z
0	0	X	X	X	0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	1	0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1	0	0	0	0	0
0	1	0	1	1	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0
0	1	1	1	1	0	0	0	0	0	0	0	1



Примечания

1. Выводы 04...06 и 24 (входы) должны быть подключены к питанию или земле.
2. В таблице состояний приведены уровни на выходах только для N=0, при N=1 они являются инверсией приведенных. Исключение составляет случай Z=1, когда независимо от N все выходы находятся в третьем логическом состоянии.
3. Максимальная задержка функции по входам Z не превышает 22 нс, а по остальным входам – 17 нс.

10.4.5.4. Дешифратор из 3 в 8 со входами разрешения, управления инверсией и третьим состоянием выходов (модификация 2)

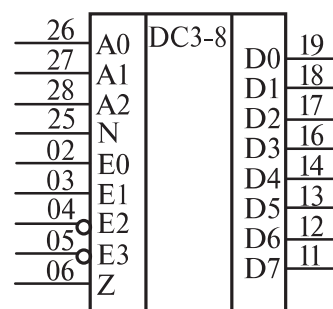
Условное обозначение DC38EZNМ2
 Адрес (двоичный) А6А5А4А3А2А1А0
 1 1 0 1 0 1 0

УГО

Описание

Таблица состояний

Z	E0&E1&E2&E3	A2	A1	A0	N=0							
					D0	D1	D2	D3	D4	D5	D6	D7
1	X	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z
0	0	X	X	X	0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	1	0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1	0	0	0	0	0
0	1	0	1	1	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0
0	1	1	1	1	0	0	0	0	0	0	0	1



Примечания

1. Вывод 24 (вход) должен быть подключен к питанию или земле.
2. В таблице состояний приведены уровни на выходах только для N=0, при N=1 они являются инверсией приведенных. Исключение составляет случай Z=1, когда независимо от N все выходы находятся в третьем логическом состоянии.
3. Максимальная задержка функции по входам Z не превышает 21 нс, а по остальным входам – 19 нс.

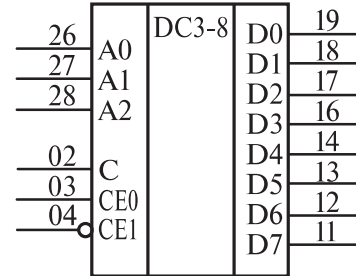
10.4.5.5. Дешифратор из 3 в 8 с загружаемой высоким уровнем защелкой 3 входных битов, входом разрешения и выходами без инверсии

Условное обозначение DC38EM1
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 1 0 1 1

УГО

Описание Таблица состояний

C	CE0&CE1	A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
X	0	X	X	X	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0	0	0	0	0
1	1	0	0	1	0	1	0	0	0	0	0	0
1	1	0	1	0	0	0	1	0	0	0	0	0
1	1	0	1	1	0	0	0	1	0	0	0	0
1	1	1	0	0	0	0	0	0	1	0	0	0
1	1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	1	0	0	0	0	0	0	0	1
0	1	X	X	X	const							



- Примечания
1. Выводы 24, 25, 05 и 06 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 18 нс.

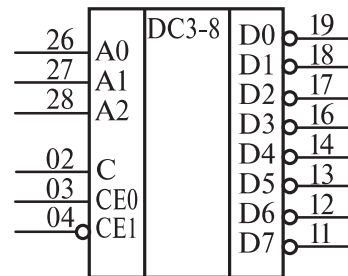
10.4.5.6. Дешифратор из 3 в 8 с загружаемой высоким уровнем защелкой 3 входных битов, входом разрешения и выходами с инверсией

Условное обозначение DC38EM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 1 1 0 0

УГО

Описание Таблица состояний

C	CE0&CE1	A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
X	0	X	X	X	1	1	1	1	1	1	1	1
1	1	0	0	0	0	1	1	1	1	1	1	1
1	1	0	0	1	1	0	1	1	1	1	1	1
1	1	0	1	0	1	1	0	1	1	1	1	1
1	1	0	1	1	1	1	1	0	1	1	1	1
1	1	1	0	0	1	1	1	1	0	1	1	1
1	1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	X	X	X	const							



- Примечания
1. Выводы 24, 25, 05 и 06 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 19 нс.

10.4.5.7. Дешифратор для семисегментного индикатора с точкой на светодиодах по схеме с общим анодом

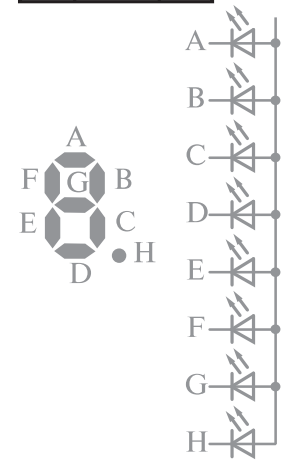
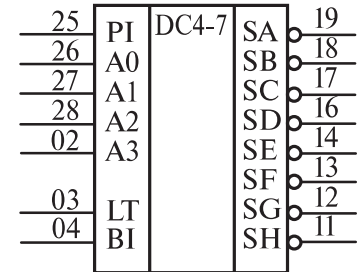
Условное обозначение DC47E

УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 0 1 1 0 1

Описание Таблица состояний

BI	LT	A3	A2	A1	A0	PI	SA	SB	SC	SD	SE	SF	SG	SH
1	X	X	X	X	X	X	1	1	1	1	1	1	1	1
0	1	X	X	X	X	X	0	0	0	0	0	0	0	0
0	0	0	0	0	0	X	0	0	0	0	0	0	1	\overline{PI}
0	0	0	0	0	1	X	1	0	0	1	1	1	1	\overline{PI}
0	0	0	0	1	0	X	0	0	1	0	0	1	0	\overline{PI}
0	0	0	0	1	1	X	0	0	0	0	1	1	0	\overline{PI}
0	0	0	1	0	0	X	1	0	0	1	1	0	0	\overline{PI}
0	0	0	1	0	1	X	0	1	0	0	1	0	0	\overline{PI}
0	0	0	1	1	0	X	0	1	0	0	0	0	0	\overline{PI}
0	0	0	1	1	1	X	0	0	0	1	1	1	1	\overline{PI}
0	0	1	0	0	0	X	0	0	0	0	0	0	0	\overline{PI}
0	0	1	0	0	1	X	0	0	0	0	1	0	0	\overline{PI}
0	0	1	0	1	0	X	1	1	1	0	0	1	0	\overline{PI}
0	0	1	0	1	1	X	1	1	0	0	1	1	0	\overline{PI}
0	0	1	1	0	0	X	1	0	1	1	1	0	0	\overline{PI}
0	0	1	1	0	1	X	0	1	1	0	1	1	0	\overline{PI}
0	0	1	1	1	0	X	1	1	1	0	0	0	0	\overline{PI}
0	0	1	1	1	1	X	1	1	1	1	1	1	1	\overline{PI}



- Примечания**
1. Выводы 24, 05 и 06 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 18 нс.

10.4.5.8. Дешифратор для семисегментного индикатора с точкой на светодиодах по схеме с общим катодом

Условное обозначение DC47EB

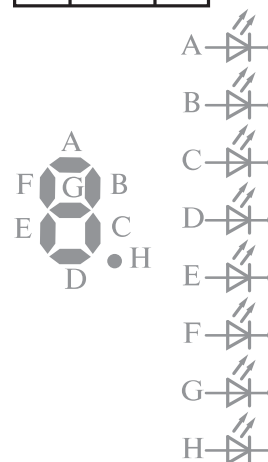
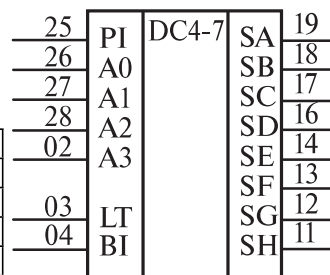
УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 0 1 1 1 0

Описание

Таблица состояний

BI	LT	A3	A2	A1	A0	PI	SA	SB	SC	SD	SE	SF	SG	SH
1	X	X	X	X	X	X	0	0	0	0	0	0	0	0
0	1	X	X	X	X	X	1	1	1	1	1	1	1	1
0	0	0	0	0	0	X	1	1	1	1	1	1	0	PI
0	0	0	0	0	1	X	0	1	1	0	0	0	0	PI
0	0	0	0	1	0	X	1	1	0	1	1	0	1	PI
0	0	0	1	0	0	X	0	1	1	0	0	1	1	PI
0	0	0	1	0	1	X	1	0	1	1	0	1	1	PI
0	0	0	1	1	0	X	1	0	1	1	1	1	1	PI
0	0	0	1	1	1	X	1	1	1	0	0	0	0	PI
0	0	1	0	0	0	X	1	1	1	1	1	1	1	PI
0	0	1	0	0	1	X	1	1	1	1	0	1	1	PI
0	0	1	0	1	0	X	0	0	0	1	1	0	1	PI
0	0	1	0	1	1	X	0	0	1	1	0	0	1	PI
0	0	1	1	0	0	X	0	1	0	0	0	1	1	PI
0	0	1	1	0	1	X	1	0	0	1	0	0	1	PI
0	0	1	1	1	0	X	0	0	0	1	1	1	1	PI
0	0	1	1	1	1	X	0	0	0	0	0	0	0	PI



- Примечания**
1. Выводы 24, 05 и 06 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 18 нс.

10.4.6. Мультиплексоры

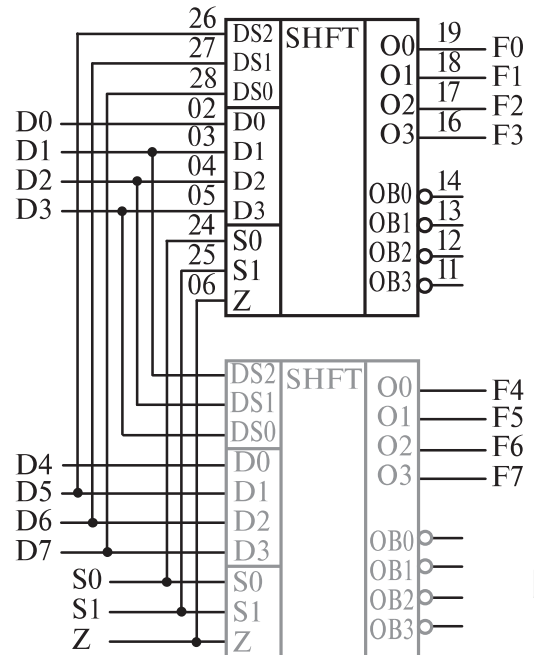
10.4.6.1. 4-разрядный сдвигатель на 1, 2 или 3 разряда с парафазными выходами и третьим состоянием

Условное обозначение FUN1
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 1 0 1 1 1 1

УГО и пример схемы циклического сдвига байта на 1, 2 или 3 разряда влево

Описание Таблица состояний

Z	S1	S0	O3	O2	O1	O0
1	X	X	Z	Z	Z	Z
0	0	0	D3	D2	D1	D0
0	0	1	D2	D1	D0	DS0
0	1	0	D1	D0	DS0	DS1
0	1	1	D0	DS0	DS1	DS2



Примечания

1. Схема представляет собой мультиплексор, коммутирующий каждый из выходов на соответствующие входы разрядов.
2. Уровни на выходах OB0...OB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах O0...O3.
3. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 14 нс.

10.4.6.2. Три 2-канальных 1-разрядных мультиплексора с парафазными выходами

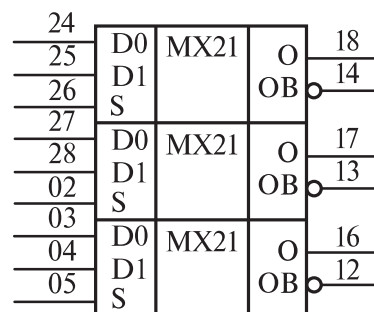
Условное обозначение 3*MX21

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 0 1 1 1

Описание Таблица состояний

S	O	OB
0	D0	$\overline{D0}$
1	D1	$\overline{D1}$

УГО



- Примечания
1. Вывод 06 (вход) должен быть подключен к питанию или земле.
 2. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 14 нс.

10.4.6.3. 2-канальный и 4-канальный 1-разрядные мультиплексоры с парафазными выходами

Условное обозначение MX21+MX41

Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 1 0 0 0

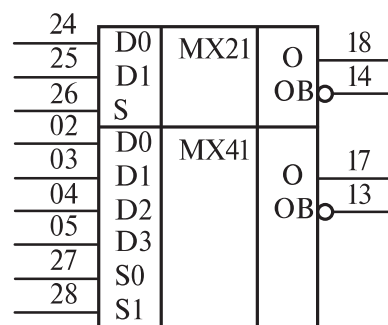
Описание Таблица состояний 2-канального мультиплексора

S	O	OB
0	D0	$\overline{D0}$
1	D1	$\overline{D1}$

Таблица состояний 4-канального мультиплексора

S1	S0	O	OB
0	0	D0	$\overline{D0}$
0	1	D1	$\overline{D1}$
1	0	D2	$\overline{D2}$
1	1	D3	$\overline{D3}$

УГО



- Примечания
1. Вывод 06 (вход) должен быть подключен к питанию или земле.
 2. Выводы 11, 12, 16 и 19 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 14 нс.

10.4.6.4. 4-канальный 1-разрядный мультиплексор с парафазными выходами и третьим состоянием

Условное обозначение MX41Z

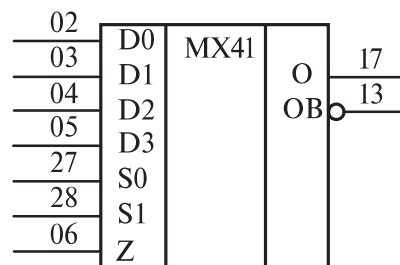
Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 1 0 0 1

Описание

Таблица состояний

Z	S1	S0	O	OB
1	X	X	Z	Z
0	0	0	D0	$\overline{D0}$
0	0	1	D1	$\overline{D1}$
0	1	0	D2	$\overline{D2}$
0	1	1	D3	$\overline{D3}$

УГО



Примечания

1. Выводы 24, 25 и 26 (входы) должны быть подключены к питанию или земле.
2. Выводы 11, 12, 14, 16, 18 и 19 (выходы) должны оставаться неподключенными.
3. Максимальная задержка функции по входу Z не превышает 19 нс, а по остальным входам – 14 нс.

10.4.6.5. Два 2-канальных 2-разрядных мультиплексора с парафазными выходами

Условное обозначение 2*MX22

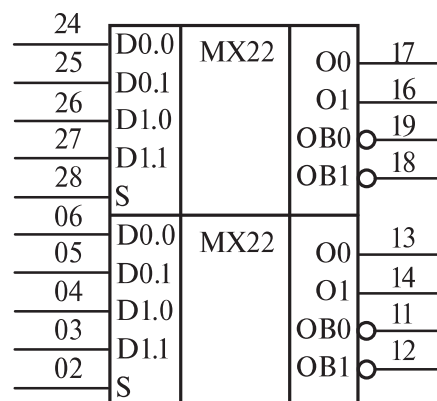
Адрес (двоичный) A6A5A4A3A2A1A0
1 1 1 1 0 1 0

Описание

Таблица состояний

S	O1	O0	OB1	OB0
0	D0.1	D0.0	$\overline{D0.1}$	$\overline{D0.0}$
1	D1.1	D1.0	$\overline{D1.1}$	$\overline{D1.0}$

УГО



Примечания

Максимальная задержка функции не превышает 14 нс.

10.4.6.6. 4-канальный 2-разрядный мультиплексор с парафазными выходами

Условное обозначение

MX42

УГО

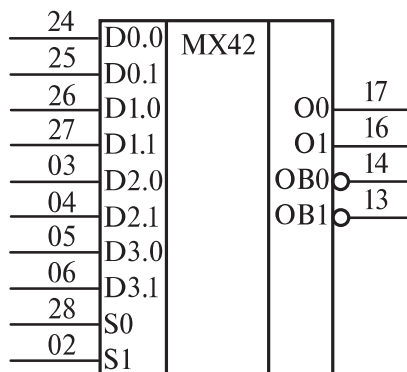
Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 1 1 0 1 1

Описание

Таблица состояний

S1	S0	O1	O0	OB1	OB0
0	0	D0.1	D0.0	$\overline{D0.1}$	$\overline{D0.0}$
0	1	D1.1	D1.0	$\overline{D1.1}$	$\overline{D1.0}$
1	0	D2.1	D2.0	$\overline{D2.1}$	$\overline{D2.0}$
1	1	D3.1	D3.0	$\overline{D3.1}$	$\overline{D3.0}$



Примечания

1. Выводы 11, 12, 18 и 19 (выходы) должны оставаться неподключенными.
2. Максимальная задержка функции не превышает 14 нс.

10.4.6.7. 2-канальный 4-разрядный мультиплексор с парафазными выходами и третьим состоянием

Условное обозначение

MX24Z

УГО

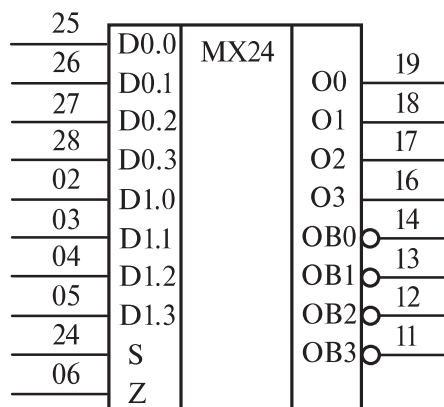
Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 1 1 1 0 0

Описание

Таблица состояний

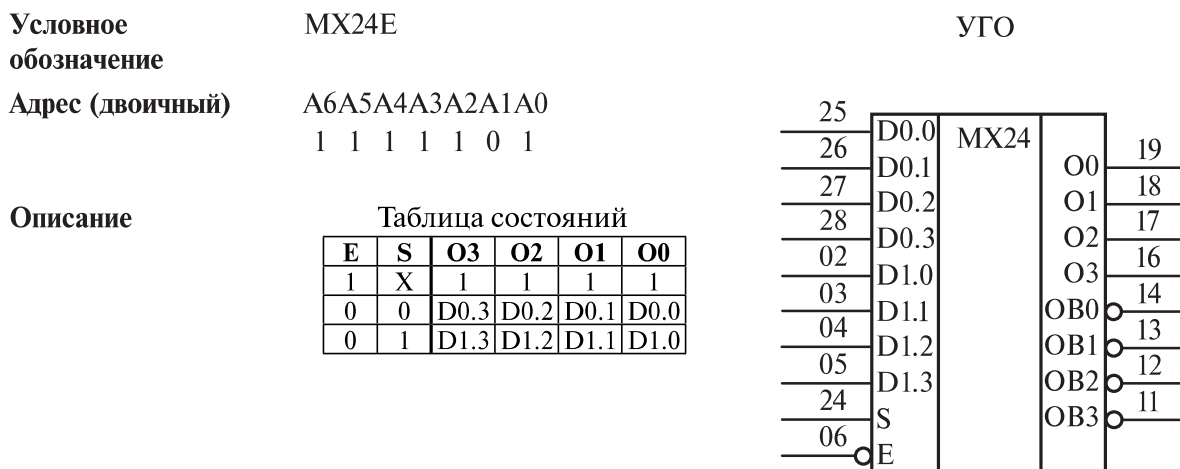
Z	S	O3	O2	O1	O0
1	X	Z	Z	Z	Z
0	0	D0.3	D0.2	D0.1	D0.0
0	1	D1.3	D1.2	D1.1	D1.0



Примечания

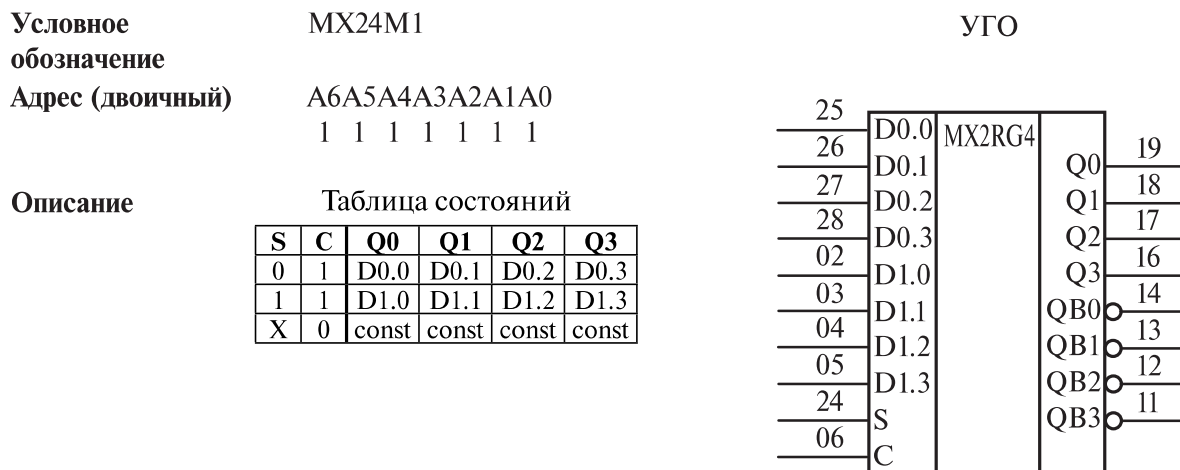
1. Уровни на выходах OB0...OB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах O0...O3, кроме случая, когда Z=1, в этой ситуации на выходах OB0...OB3 третье логическое состояние.
2. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам — 14 нс.

10.4.6.8. 2-канальный 4-разрядный мультиплексор с парафазными выходами и входом разрешения



- Примечания**
1. Уровни на выходах OB0...OB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах O0...O3.
 2. Максимальная задержка функции не превышает 14 нс.

10.4.6.9. Загружаемый высоким уровнем 4-разрядный регистр с парафазными выходами и 2-канальным мультиплексором на входе



- Примечания**
1. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 2. Максимальная задержка функции не превышает 16 нс.

10.4.6.10. Загружаемый по фронту 4-разрядный регистр с парафазными выходами и 2-канальным мультиплексором на входе

Условное обозначение

MX24M2

УГО

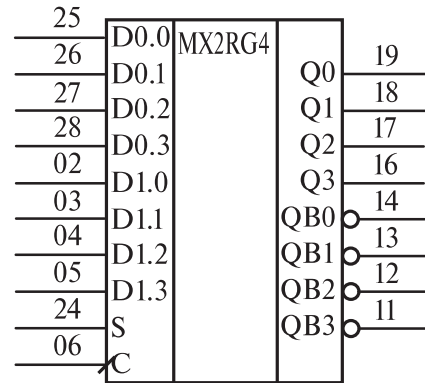
Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 1 1 1 1 0

Описание

Таблица состояний

S	C	Q0	Q1	Q2	Q3
0	\overline{f}	D0.1	D0.2	D0.3	D0.3
1	\overline{f}	D1.1	D1.2	D1.3	D1.3
X	\overline{f}	const	const	const	const



Примечания

1. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
2. Максимальная задержка функции не превышает 17 нс.

10.4.7. Сумматоры

10.4.7.1. Три 1-разрядных сумматора со входами и выходами переноса

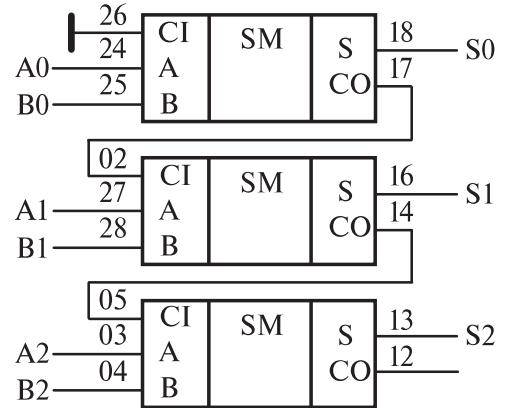
Условное обозначение: 3*ADD1
 Адрес (двоичный): A6A5A4A3A2A1A0
 1 1 1 0 1 0 0

Описание: Таблица состояний

CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- Примечания
1. Вывод 06 (вход) должен быть подключен к питанию или земле.
 2. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 3. Максимальная задержка функции не превышает 17 нс.

УГО и пример схемы 3-разрядного сумматора



10.4.7.2. Два 2-разрядных сумматора со входами и выходами переноса

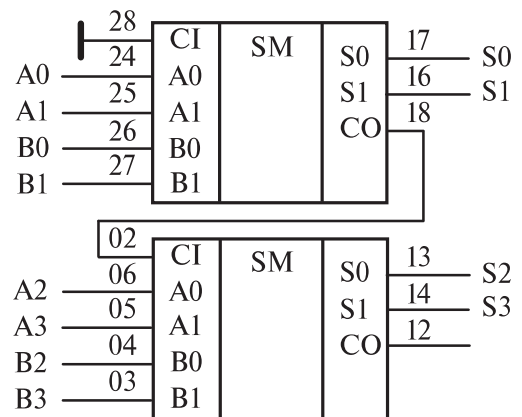
Условное обозначение: 2*ADD2
 Адрес (двоичный): A6A5A4A3A2A1A0
 1 1 1 0 1 0 1

Описание: Таблица состояний

A1	A0	B1	B0	CI=0			CI=1		
				S1	S0	CO	S1	S0	CO
0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	1	0	1	0	0
0	0	1	0	1	0	0	1	1	0
0	0	1	1	1	1	0	0	0	1
0	1	0	0	0	1	0	1	0	0
0	1	0	1	1	0	0	1	1	0
0	1	1	0	1	1	0	0	0	1
0	1	1	1	0	0	1	0	1	1
1	0	0	0	1	0	0	1	1	0
1	0	0	1	1	1	0	0	0	1
1	0	1	0	0	0	1	0	1	1
1	0	1	1	0	1	1	1	0	1
1	1	0	0	1	1	0	0	0	1
1	1	0	1	0	0	1	0	1	1
1	1	1	0	0	1	1	1	0	1
1	1	1	1	1	0	1	1	1	1

- Примечания
1. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 2. Максимальная задержка функции не превышает 17 нс.

УГО и пример схемы 4-разрядного сумматора



10.4.7.3. 4-разрядный сумматор со входом и выходом переноса

Условное
обозначение

ADD4

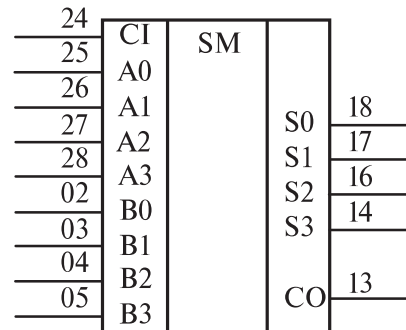
УГО

Адрес (двоичный)

A6A5A4A3A2A1A0
1 1 1 0 1 1 0

Описание

Математические функции
 $S = (A + B + CI) \% 16$
 $CO = (A + B + CI) / 16$



Примечания

1. Вывод 06 (вход) должен быть подключен к питанию или земле.
2. Выводы 11, 12 и 19 (выходы) должны оставаться неподключенными.
3. Максимальная задержка функции не превышает 19 нс.

10.4.8. Формирователи

10.4.8.1. Два 4-разрядных формирователя с тремя состояниями без инверсии

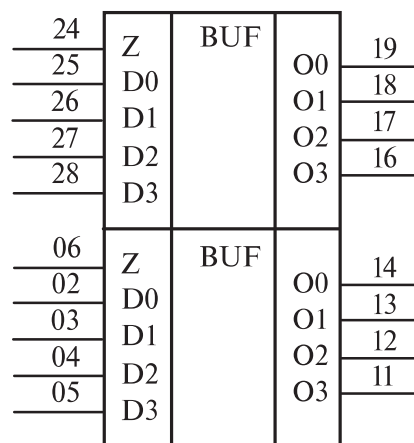
Условное обозначение 2*BUFTM4

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 1 1 0 0

Описание Таблица состояний

Z	O
0	D
1	Z

УГО



Примечания Максимальная задержка функции по входам Z не превышает 19 нс, а по остальным входам – 15 нс.

10.4.8.2. 4-разрядный формирователь с тремя состояниями с инверсией и 4-разрядный формирователь с тремя состояниями без инверсии

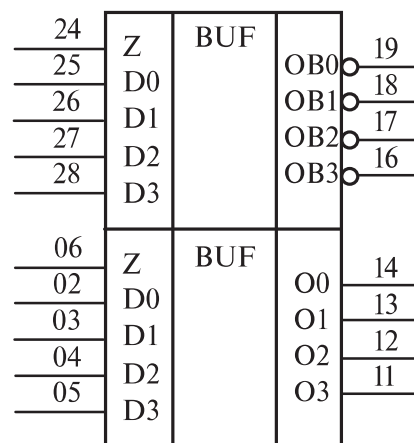
Условное обозначение BUFTM4+INVTM4

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 1 1 0 1

Описание Таблица состояний

Z	O	OB
0	D	\bar{D}
1	Z	Z

УГО



Примечания Максимальная задержка функции по входам Z не превышает 20 нс, а по остальным входам – 15 нс.

10.4.8.3. Два 4-разрядных формирователя с тремя состояниями с инверсией

Условное обозначение

2*INVTM4

УГО

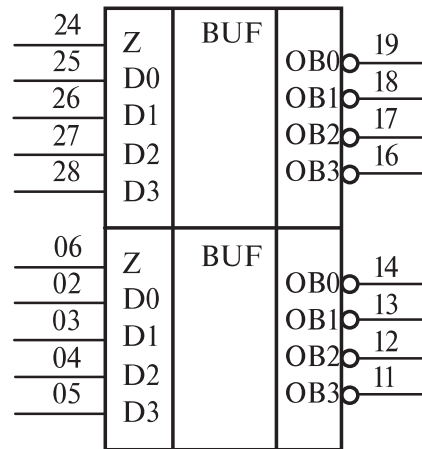
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 0 1 1 1 0

Описание

Таблица состояний

Z	ОВ
0	\bar{D}
1	Z



Примечания

Максимальная задержка функции по входам Z не превышает 20 нс, а по остальным входам – 15 нс.

10.4.9. RS-триггеры

10.4.9.1. Четыре RS-триггера, управляемые высоким уровнем с парафазными выходами

Условное обозначение 4*RS

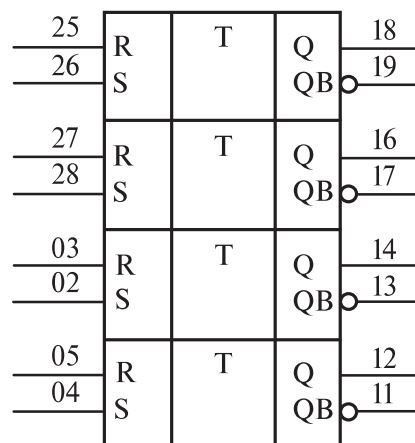
Адрес (двоичный) A6A5A4A3A2A1A0
1 0 1 0 0 0 0

Описание

Таблица состояний

R	S	Q	QB
0	0	const	const
1	0	0	1
0	1	1	0
1	1	1	1

УГО



Примечания

1. Состояние R=1 и S=1 является нестабильным в том смысле, что после одновременного перехода в состояние R=0 и S=0 комбинация уровней на выходах (Q=1, QB=1) непредсказуемо сменится на (Q=1, QB=0) или (Q=0, QB=1).
2. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
3. Максимальная задержка функции не превышает 15 нс.

10.4.9.2. Четыре RS-триггера, управляемые низким уровнем с парафазными выходами

Условное обозначение 4*RSB

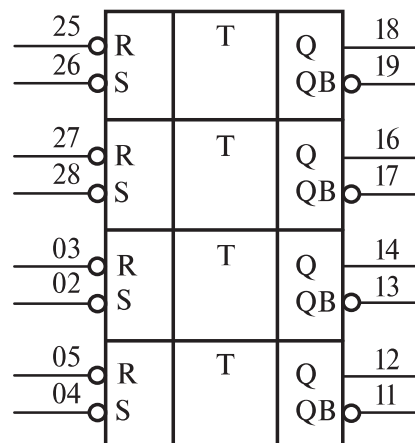
Адрес (двоичный) A6A5A4A3A2A1A0
1 0 1 0 0 0 1

Описание

Таблица состояний

R	S	Q	QB
1	1	const	const
0	1	0	1
1	0	1	0
0	0	1	1

УГО



Примечания

1. Состояние R=0 и S=0 является нестабильным в том смысле, что после одновременного перехода в состояние R=1 и S=1 комбинация уровней на выходах (Q=1, QB=1) непредсказуемо сменится на (Q=1, QB=0) или (Q=0, QB=1).
2. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
3. Максимальная задержка функции не превышает 16 нс.

10.4.10. D-триггеры

10.4.10.1. Четыре D-триггера по фронту с парафазными выходами

Условное обозначение 4*FD

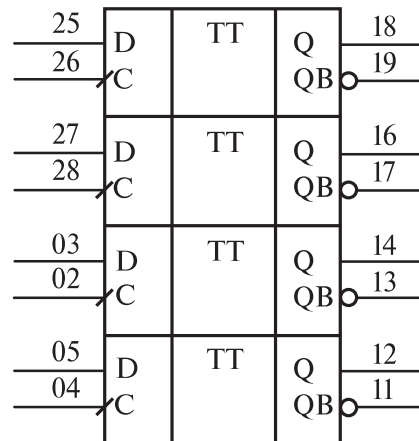
Адрес (двоичный) A6A5A4A3A2A1A0
1 0 0 1 1 0 0

Описание

Таблица состояний

D	C	Q	QB
0	\overline{f}	0	1
1	f	1	0
X	\overline{f}	const	const

УГО



- Примечания**
1. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 17 нс.

10.4.10.2. Четыре D-триггера по спаду с парафазными выходами

Условное обозначение 4*FDB

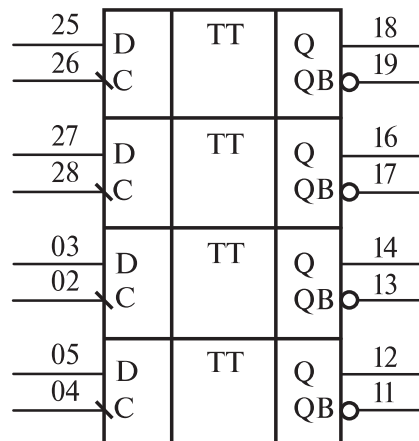
Адрес (двоичный) A6A5A4A3A2A1A0
1 0 0 1 1 0 1

Описание

Таблица состояний

D	C	Q	QB
0	\overline{f}	0	1
1	f	1	0
X	\overline{f}	const	const

УГО



- Примечания**
1. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 18 нс.

10.4.10.3. Два D-триггера по фронту и два D-триггера по спаду с общими входами, асинхронными сбросом и установкой, с парафазными выходами

Условное обозначение 2*FDCPE+2*FDCPEB УГО

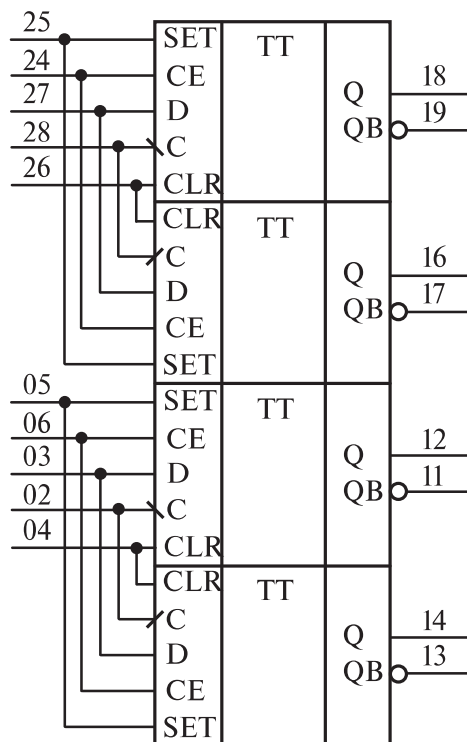
Условное обозначение

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 0 1 1 1 0

Описание

Таблица состояний

CLR	SET	CE	D	C	Q	QB
1	X	X	X	X	0	1
0	1	X	X	X	1	0
0	0	1	0	/	0	1
0	0	1	1	/	1	0
0	0	0	X	X	const	const



Примечания

1. В описании приведена таблица состояний для триггера по фронту. Таблица состояний для триггера по спаду отличается только столбцом C, в котором все фронты будут заменены на спады.
2. Триггеры с загрузкой по фронту имеют номера выходов 13, 14, 16 и 17.
3. Максимальная задержка функции не превышает 17 нс.

10.4.10.4. Четыре загружаемых высоким уровнем 1-разрядных защелки с парафазными выходами

Условное обозначение 4*LD УГО

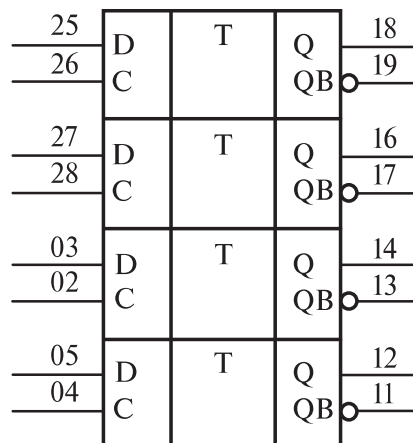
Условное обозначение

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 1 1 1 0 0

Описание

Таблица состояний

D	C	Q	QB
0	1	0	1
1	1	1	0
X	0	const	const



Примечания

1. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
2. Максимальная задержка функции не превышает 15 нс.

10.4.10.5. Четыре загрузаемых низким уровнем 1-разрядных защелки с парафазными выходами

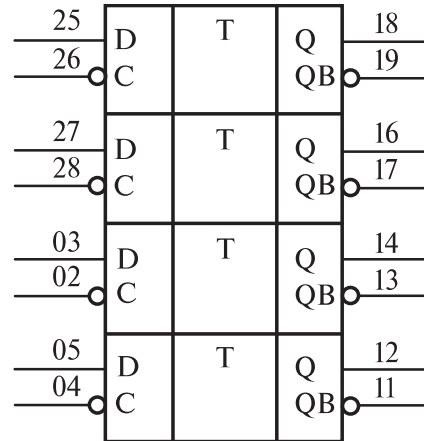
Условное обозначение 4*LDB УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 1 1 1 0 1

Описание

Таблица состояний

D	C	Q	QB
0	0	0	1
1	0	1	0
X	1	const	const



- Примечания**
1. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
 2. Максимальная задержка функции не превышает 16 нс.

10.4.10.6. Две загрузаемые высоким и две загрузаемые низким уровнями 1-разрядных защелки с общими входами, сбросом и установкой, с парафазными выходами

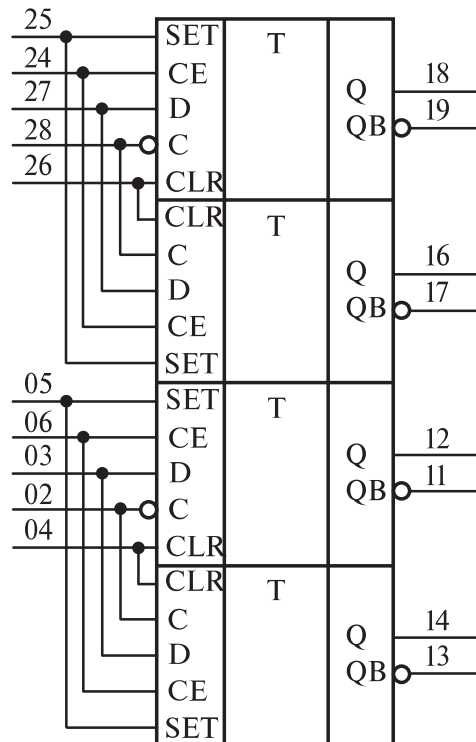
Условное обозначение 2*LDCPE+2*LDCPEB УГО

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 1 1 1 1 0

Описание

Таблица состояний

CLR	SET	CE	D	C	Q	QB
1	X	X	X	X	0	1
0	1	X	X	X	1	0
0	0	1	0	1	0	1
0	0	1	1	1	1	0
0	0	1	X	0	const	const
0	0	0	X	X	const	const



- Примечания**
1. В описании приведена таблица состояний для защелки с загрузкой высоким уровнем. Таблица состояний для защелки низким уровнем отличается только столбцом C, в котором все 0 будут заменены на 1, и наоборот.
 2. Защелки с загрузкой высоким уровнем имеют номера выходов 13, 14, 16 и 17.
 3. Максимальная задержка функции не превышает 16 нс.

10.4.10.7. Четыре 4-разрядные ячейки с общими входами и общими парафазными выходами, с возможностью одновременной загрузки и чтения разных ячеек

Условное обозначение

RAM4X4L

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0

1 0 1 1 1 1 1

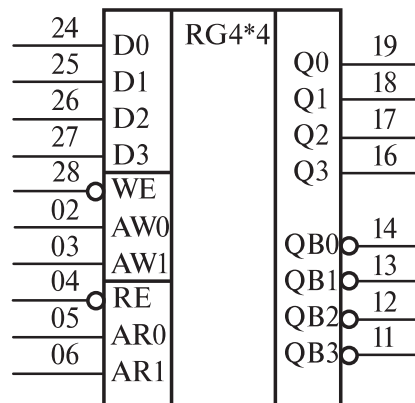
Описание

Таблица состояний загрузки

WE	AW1	AW0	q0	q1	q2	q3
1	X	X	const	const	const	const
0	0	0	D	const	const	const
0	0	1	const	D	const	const
0	1	0	const	const	D	const
0	1	1	const	const	const	D

Таблица состояний загрузки

RE	AR1	AR0	Q	QB
1	X	X	Z	Z
0	0	0	q0	$\overline{q0}$
0	0	1	q1	$\overline{q1}$
0	1	0	q2	$\overline{q2}$
0	1	1	q3	$\overline{q3}$



Примечания

1. В таблицах состояния символами q0...q3 обозначено содержимое соответствующей ячейки (т.е. 4-разрядное число).
2. Зашелкивание информации в ячейке может производиться не только по смене уровня WE с 0 на 1, но и при смене уровней на входах AW0 и AW1, когда WE остается 0.
3. Смена состояния выходов может производиться не только по смене уровня RE с 0 на 1, но и при смене уровней на входах AR0 и AR1, когда RE остается 0.
2. Максимальная задержка функции не превышает 16 нс.

10.4.11. JK-триггеры

10.4.11.1. Два JK-триггера по фронту и два JK-триггера по спаду с общими входами, асинхронными сбросом и установкой, с парафазными выходами

Условное обозначение 2*FJKCP+2*FJKCPB

Адрес (двоичный) A6A5A4A3A2A1A0

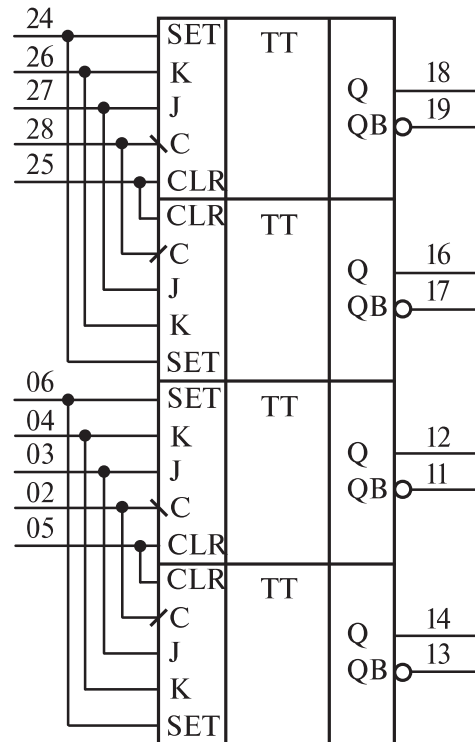
1 0 0 1 1 1 1

Описание

Таблица состояний

CLR	SET	J	K	C	Q	QB
1	X	X	X	X	0	1
0	1	X	X	X	1	0
0	0	0	0	X	const	const
0	0	0	1	/	0	1
0	0	1	0	/	1	0
0	0	1	1	/	\bar{Q}	\bar{QB}

УГО



Примечания

1. В описании приведена таблица состояний для триггера по фронту. Таблица состояний для триггера по спаду отличается только столбцом C, в котором все фронты будут заменены на спады.
2. Триггеры с загрузкой по фронту имеют номера выходов 13, 14, 16 и 17.
3. Максимальная задержка функции не превышает 16 нс.

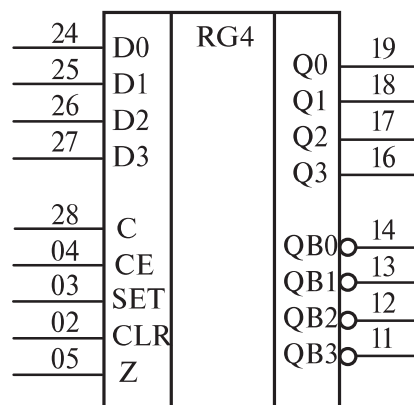
10.4.12. Регистры-защелки

10.4.12.1. Загружаемый высоким уровнем 4-разрядный регистр с разрешением, сбросом и установкой, с парафазными выходами и третьим состоянием

Условное обозначение LD4CPEZ
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 1 0 0 1 0

Описание Таблица состояний

Z	CLR	SET	CE	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	X	0	0	0	0
0	0	1	X	X	1	1	1	1
0	0	0	1	1	D0	D1	D2	D3
0	0	0	1	0	const	const	const	const
0	0	0	0	X	const	const	const	const



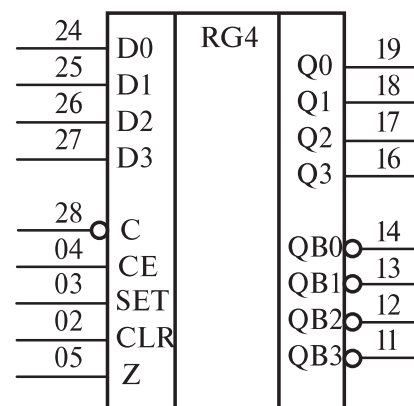
- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Вывод 06 (вход) должен быть подключен к питанию или земле.
 4. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 18 нс.

10.4.12.2. Загружаемый низким уровнем 4-разрядный регистр с разрешением, сбросом и установкой, с парафазными выходами и третьим состоянием

Условное обозначение LD4CPEZB
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 1 0 0 1 1

Описание Таблица состояний

Z	CLR	SET	CE	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	X	0	0	0	0
0	0	1	X	X	1	1	1	1
0	0	0	1	0	D0	D1	D2	D3
0	0	0	1	1	const	const	const	const
0	0	0	0	X	const	const	const	const



- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Вывод 06 (вход) должен быть подключен к питанию или земле.
 4. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 18 нс.

10.4.12.3. Загружаемый высоким уровнем 8-разрядный регистр с третьим состоянием

Условное обозначение

LD8Z

УГО

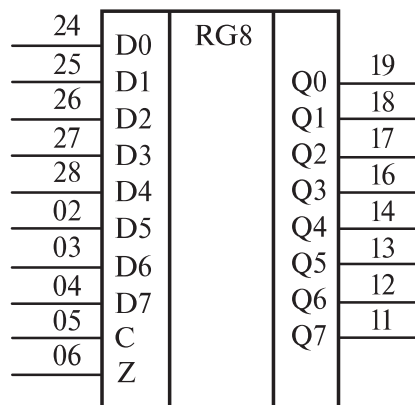
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 1 0 1 0 0

Описание

Таблица состояний

Z	C	Q0	Q1	...	Q6	Q7
1	X	Z	Z	...	Z	Z
0	1	D0	D1	...	D6	D7
0	0	const	const	...	const	const



Примечания

1. При Z=1 выходы Q0...Q7 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (загрузка).
2. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 15 нс.

10.4.12.4. Загружаемый низким уровнем 8-разрядный регистр с третьим состоянием

Условное обозначение

LD8ZB

УГО

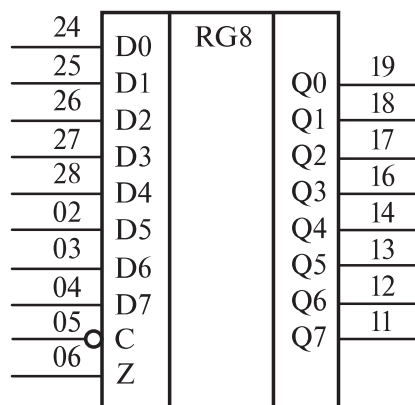
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 1 0 1 0 1

Описание

Таблица состояний

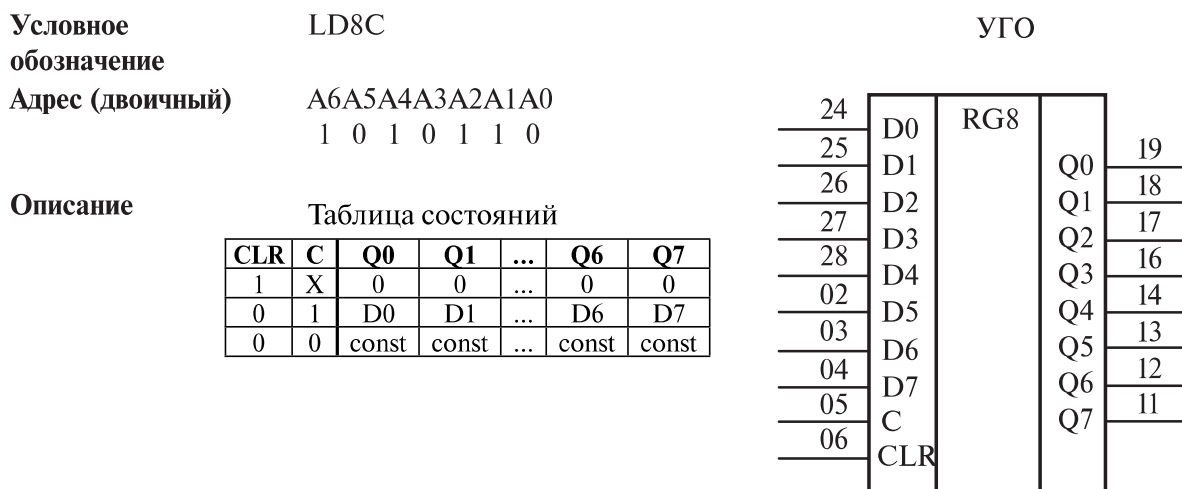
Z	C	Q0	Q1	...	Q6	Q7
1	X	Z	Z	...	Z	Z
0	0	D0	D1	...	D6	D7
0	1	const	const	...	const	const



Примечания

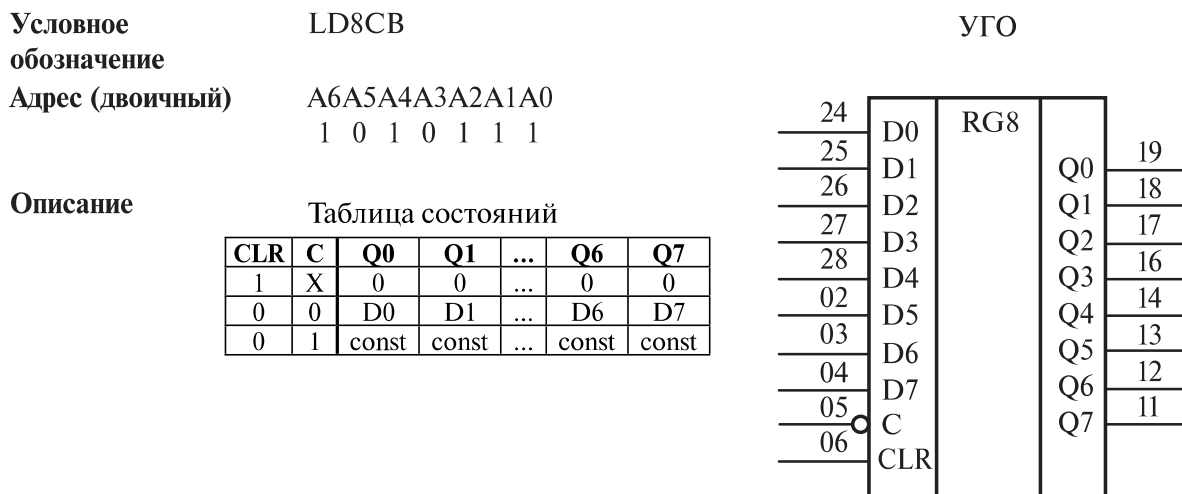
1. При Z=1 выходы Q0...Q7 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (загрузка).
2. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 15 нс.

10.4.12.5. Загружаемый высоким уровнем 8-разрядный регистр со сбросом



Примечания Максимальная задержка функции не превышает 15 нс.

10.4.12.6. Загружаемый низким уровнем 8-разрядный регистр со сбросом



Примечания Максимальная задержка функции не превышает 15 нс.

10.4.12.7. Загружаемый высоким уровнем 8-разрядный регистр с установкой

Условное обозначение

LD8P

УГО

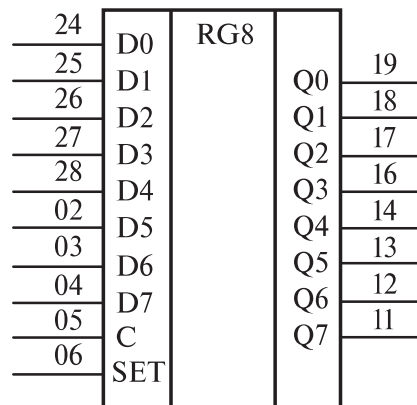
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 1 1 0 0 0

Описание

Таблица состояний

SET	C	Q0	Q1	...	Q6	Q7
1	X	1	1	...	1	1
0	1	D0	D1	...	D6	D7
0	0	const	const	...	const	const



Примечания

Максимальная задержка функции не превышает 17 нс.

10.4.12.8. Загружаемый низким уровнем 8-разрядный регистр с установкой

Условное обозначение

LD8PB

УГО

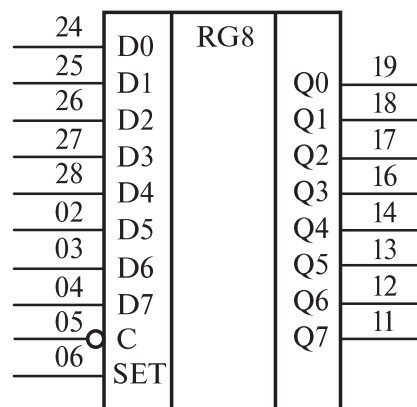
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 1 1 0 0 1

Описание

Таблица состояний

SET	C	Q0	Q1	...	Q6	Q7
1	X	1	1	...	1	1
0	0	D0	D1	...	D6	D7
0	1	const	const	...	const	const



Примечания

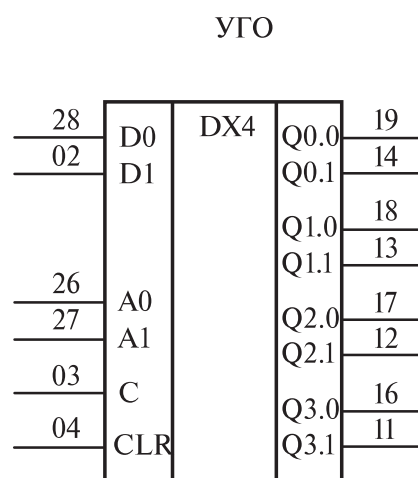
Максимальная задержка функции не превышает 17 нс.

10.4.12.9. Четыре загружаемых высоким уровнем 2-разрядных регистра со сбросом, общими входами и отдельными выходами

Условное обозначение 2*DC24M1
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 1 1 0 1 0

Описание Таблица состояний

CLR	C	A1	A0	Q0.x	Q1.x	Q2.x	Q3.x
0	0	X	X	const	const	const	const
0	1	0	0	Dx	const	const	const
0	1	0	1	const	Dx	const	const
0	1	1	0	const	const	Dx	const
0	1	1	1	const	const	const	Dx
1	0	X	X	0	0	0	0
1	1	0	0	Dx	0	0	0
1	1	0	1	0	Dx	0	0
1	1	1	0	0	0	Dx	0
1	1	1	1	0	0	0	Dx



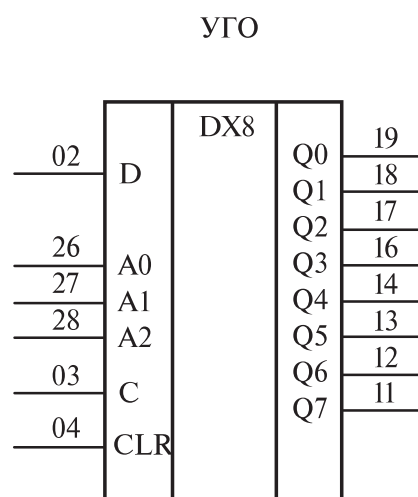
- Примечания**
1. Схема представляет собой двухразрядный демультиплексор на 4 канала с памятью в каждом канале.
 2. Выводы 05, 06, 24 и 25 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 17 нс.

10.4.12.10. Восемь загружаемых высоким уровнем 1-разрядных регистров со сбросом, общим входом и отдельными выходами

Условное обозначение DC38M1
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 1 1 0 1 1

Описание Таблица состояний

CLR	C	A2	A1	A0	Q0	Q1	...	Q7
0	0	X	X	X	const	const	...	const
0	1	0	0	0	D	const	...	const
0	1	0	0	1	const	D	...	const
0	1	const	const	...	const
0	1	1	1	1	const	const	...	D
1	0	X	X	X	0	0	...	0
1	1	0	0	0	D	0	...	0
1	1	0	0	1	0	D	...	0
1	1	0	0	...	0
1	1	1	1	1	0	0	...	D



- Примечания**
1. Схема представляет собой одnorазрядный демультиплексор на 8 каналов с памятью в каждом канале.
 2. Выводы 05, 06, 24 и 25 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 17 нс.

10.4.13. Сдвиговые регистры

10.4.13.1. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, выбором направления, входами сдвига и парафазными выходами

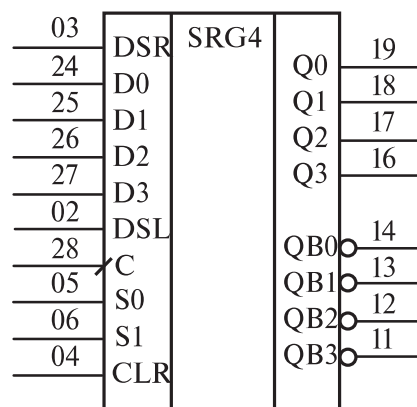
Условное обозначение SR4CL

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 1 0 0 0 0

Описание Таблица состояний

CLR	S1	S0	C	Q0	Q1	Q2	Q3
1	X	X	X	0	0	0	0
0	0	0	X	const	const	const	const
0	0	1	∕	DSR	Q0	Q1	Q2
0	1	0	∕	Q1	Q2	Q3	DSL
0	1	1	∕	D0	D1	D2	D3

УГО



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции не превышает 19 нс.

10.4.13.2. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, выбором направления, входами сдвига и парафазными выходами

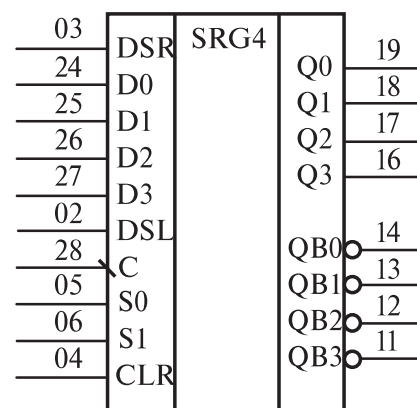
Условное обозначение SR4CLB

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 1 0 0 0 1

Описание Таблица состояний

CLR	S1	S0	C	Q0	Q1	Q2	Q3
1	X	X	X	0	0	0	0
0	0	0	X	const	const	const	const
0	0	1	∕	DSR	Q0	Q1	Q2
0	1	0	∕	Q1	Q2	Q3	DSL
0	1	1	∕	D0	D1	D2	D3

УГО



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции не превышает 19 нс.

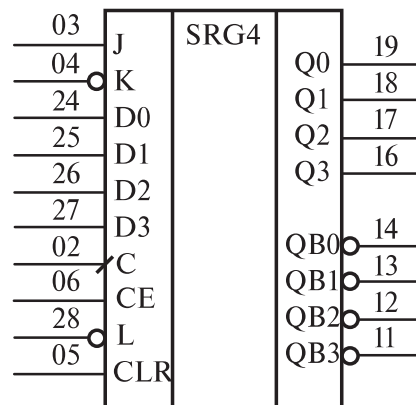
10.4.13.3. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, JK-входами сдвига и парафазными выходами

Условное обозначение SR4CLEM1
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 0 0 1 0

УГО

Описание Таблица состояний

CLR	L	CE	J	K	C	Q0	Q1	Q2	Q3
1	X	X	X	X	X	0	0	0	0
0	0	X	X	X	/	D0	D1	D2	D3
0	1	0	X	X	X	const	const	const	const
0	1	1	0	0	/	0	Q0	Q1	Q2
0	1	1	0	1	/	Q0	Q0	Q1	Q2
0	1	1	1	0	/	$\overline{Q0}$	Q0	Q1	Q2
0	1	1	1	1	/	1	Q0	Q1	Q2



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции не превышает 19 нс.

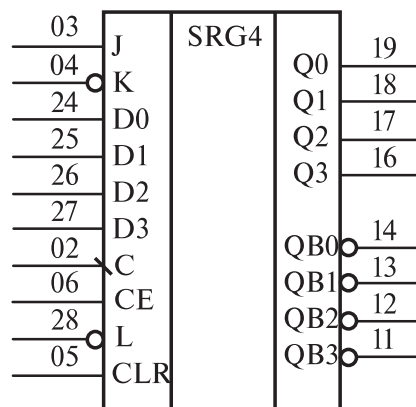
10.4.13.4. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, JK-входами сдвига и парафазными выходами

Условное обозначение SR4CLEBM1
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 0 0 1 1

УГО

Описание Таблица состояний

CLR	L	CE	J	K	C	Q0	Q1	Q2	Q3
1	X	X	X	X	X	0	0	0	0
0	0	X	X	X	\	D0	D1	D2	D3
0	1	0	X	X	X	const	const	const	const
0	1	1	0	0	\	0	Q0	Q1	Q2
0	1	1	0	1	\	Q0	Q0	Q1	Q2
0	1	1	1	0	\	$\overline{Q0}$	Q0	Q1	Q2
0	1	1	1	1	\	1	Q0	Q1	Q2



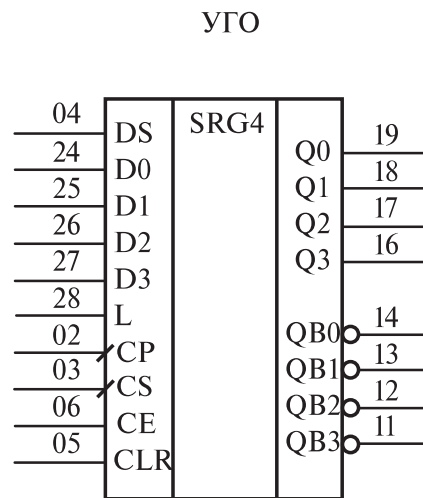
- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции не превышает 20 нс.

10.4.13.5. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, входом сдвига, отдельными синхровходами и парафазными выходами

Условное обозначение SR4CLEM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 0 1 0 0

Описание Таблица состояний

CLR	L	CE	CS	CP	Q0	Q1	Q2	Q3
1	X	X	X	X	0	0	0	0
0	1	X	X	∅	D0	D1	D2	D3
0	0	0	X	X	const	const	const	const
0	0	1	∅	X	DS	Q0	Q1	Q2



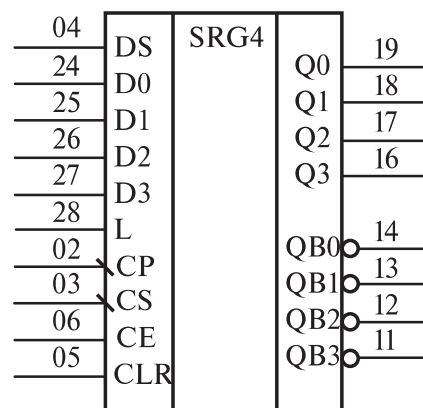
- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Изменение сигнала на входе L должно происходить только при одинаковых уровнях на входах CS и CP.
 4. Максимальная задержка функции не превышает 19 нс.

10.4.13.6. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, входом сдвига, отдельными синхровходами и парафазными выходами

Условное обозначение SR4CLEBM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 0 1 0 1

Описание Таблица состояний

CLR	L	CE	CS	CP	Q0	Q1	Q2	Q3
1	X	X	X	X	0	0	0	0
0	1	X	X	∅	D0	D1	D2	D3
0	0	0	X	X	const	const	const	const
0	0	1	∅	X	DS	Q0	Q1	Q2



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Изменение сигнала на входе L должно происходить только при одинаковых уровнях на входах CS и CP.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.13.7. Загружаемый по фронту 4-разрядный регистр с синхронным сбросом, входом сдвига и третьим состоянием

Условное обозначение

SR4RLEZ

УГО

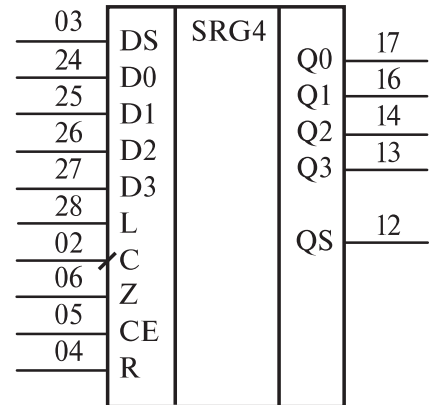
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 1 0 1 1 0

Описание

Таблица состояний

Z	R	L	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	/	0	0	0	0	0
0	0	1	X	/	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	/	DS	Q0	Q1	Q2	Q2



Примечания

1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
4. Максимальная задержка функции не превышает 19 нс.

10.4.13.8. Загружаемый по спаду 4-разрядный регистр с синхронным сбросом, входом сдвига и третьим состоянием

Условное обозначение

SR4RLEZB

УГО

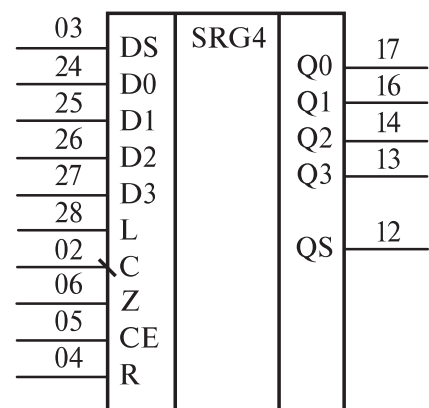
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 1 0 1 1 1

Описание

Таблица состояний

Z	R	L	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	\	0	0	0	0	0
0	0	1	X	\	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	\	DS	Q0	Q1	Q2	Q2



Примечания

1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
4. Максимальная задержка функции не превышает 20 нс.

10.4.13.9. Сдвигающий по фронту 4-разрядный регистр с асинхронными загрузкой и сбросом, входом сдвига и третьим состоянием

Условное обозначение

SR4CIEZ

УГО

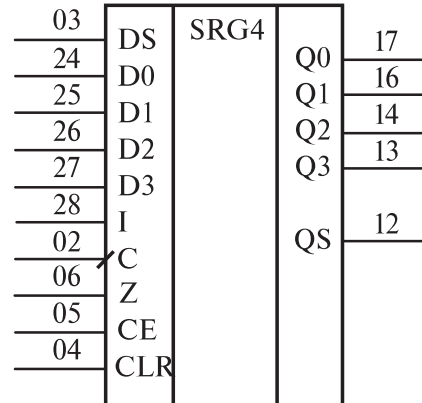
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 1 1 0 0 0

Описание

Таблица состояний

Z	CLR	I	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	X	0	0	0	0	0
0	0	1	X	X	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	∅	DS	Q0	Q1	Q2	Q2



Примечания

1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
4. Максимальная задержка функции не превышает 19 нс.

10.4.13.10. Сдвигающий по спаду 4-разрядный регистр с асинхронными загрузкой и сбросом, входом сдвига и третьим состоянием

Условное обозначение

SR4CIEZB

УГО

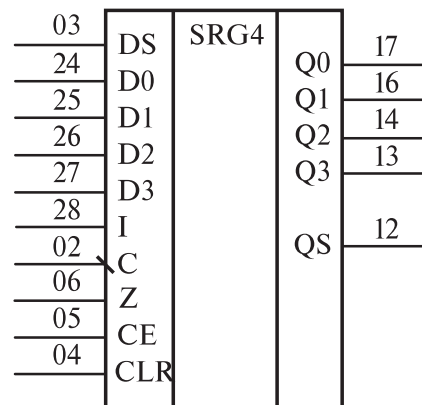
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 1 1 0 0 1

Описание

Таблица состояний

Z	CLR	I	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	X	0	0	0	0	0
0	0	1	X	X	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	∅	DS	Q0	Q1	Q2	Q2



Примечания

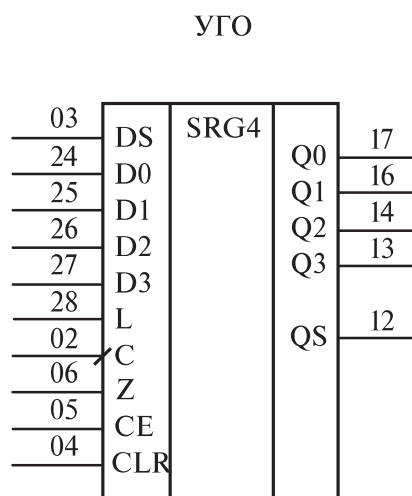
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
4. Максимальная задержка функции не превышает 20 нс.

10.4.13.11. Загружаемый по фронту 4-разрядный регистр с асинхронным сбросом, входом сдвига и третьим состоянием

Условное обозначение SR4CLEZ
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 1 0 1 0

Описание Таблица состояний

Z	CLR	I	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	X	0	0	0	0	0
0	0	1	X	/	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	/	DS	Q0	Q1	Q2	Q2



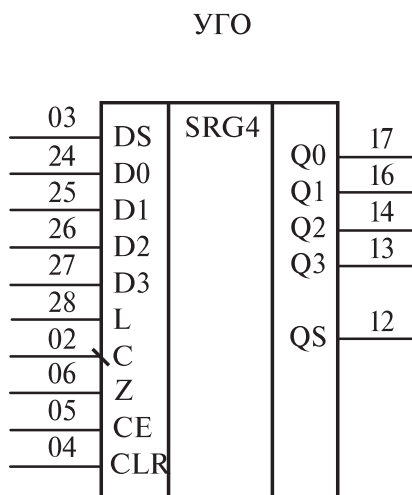
- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
 3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.13.12. Загружаемый по спаду 4-разрядный регистр с асинхронным сбросом, входом сдвига и третьим состоянием

Условное обозначение SR4CLEZB
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 1 0 1 1

Описание Таблица состояний

Z	CLR	I	CE	C	Q0	Q1	Q2	Q3	QS
1	X	X	X	X	Z	Z	Z	Z	Q3
0	1	X	X	X	0	0	0	0	0
0	0	1	X	\	D0	D1	D2	D3	D3
0	0	0	0	X	const	const	const	const	const
0	0	0	1	\	DS	Q0	Q1	Q2	Q2



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. При Z=1 выходы Q0...Q3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, загрузка и сдвиг), а выход QS продолжает повторять состояние выхода Q3, какое было бы при Z=0.
 3. Выводы 11, 18 и 19 (выходы) должны оставаться неподключенными.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.13.13. Сдвигающий по фронту 8-разрядный регистр с асинхронным сбросом и входами сдвига

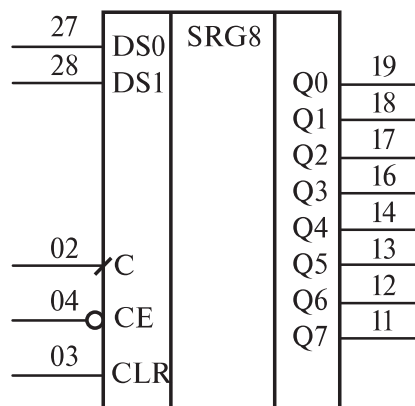
Условное обозначение SR8CEM1

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 1 1 1 0 0

Описание Таблица состояний

CLR	CE	C	Q0	Q1	...	Q6	Q7
1	X	X	0	0	...	0	0
0	1	X	const	const	...	const	const
0	0	∩	DS0&DS1	Q0	...	Q5	Q6

УГО



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. Выводы 24...26, 05 и 06 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 24 нс.

10.4.13.14. Сдвигающий по спаду 8-разрядный регистр с асинхронным сбросом и входами сдвига

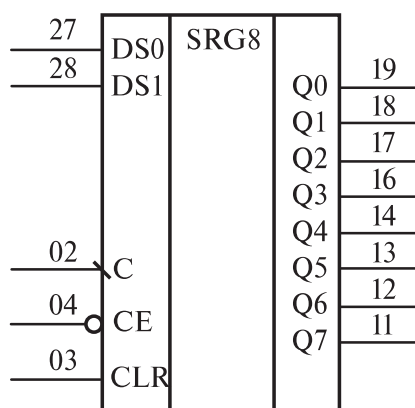
Условное обозначение SR8CEBM1

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 1 1 1 0 1

Описание Таблица состояний

CLR	CE	C	Q0	Q1	...	Q6	Q7
1	X	X	0	0	...	0	0
0	1	X	const	const	...	const	const
0	0	∩	DS0&DS1	Q0	...	Q5	Q6

УГО



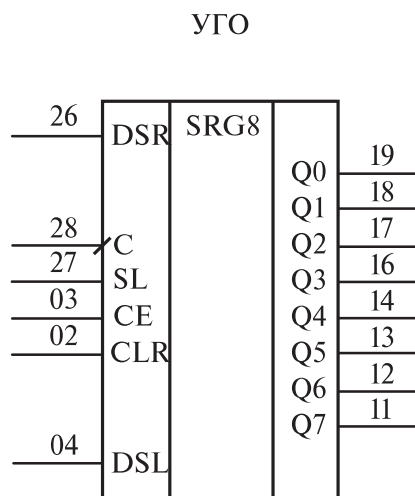
- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. Выводы 24...26, 05 и 06 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 25 нс.

10.4.13.15. Сдвигающий по фронту 8-разрядный регистр с асинхронным сбросом, выбором направления и входами сдвига

Условное обозначение SR8CEM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 1 1 1 0

Описание Таблица состояний

CLR	CE	SL	C	Q0	Q1	...	Q6	Q7
1	X	X	X	0	0	...	0	0
0	0	X	X	const	const	...	const	const
0	1	0	∕	DSR	Q0	...	Q5	Q6
0	1	1	∕	Q1	Q2	...	Q7	DSL



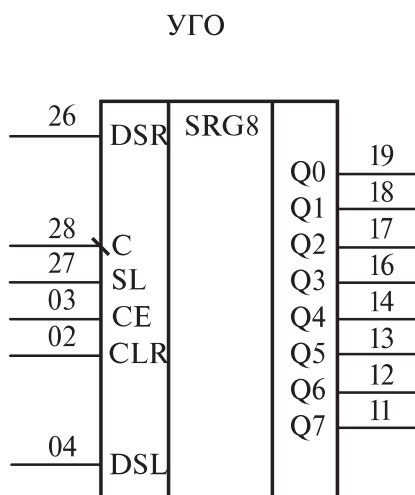
- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до фронта.
 2. Выводы 24, 25, 05 и 06 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 19 нс.

10.4.13.16. Сдвигающий по спаду 8-разрядный регистр с асинхронным сбросом, выбором направления и входами сдвига

Условное обозначение SR8CEBM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 1 1 1 1 1 1

Описание Таблица состояний

CLR	CE	SL	C	Q0	Q1	...	Q6	Q7
1	X	X	X	0	0	...	0	0
0	0	X	X	const	const	...	const	const
0	1	0	∖	DSR	Q0	...	Q5	Q6
0	1	1	∖	Q1	Q2	...	Q7	DSL



- Примечания**
1. Если в таблице состояний уровень выхода определяется через уровень другого или этого же выхода, то имеется в виду уровень другого или собственного выхода до спада.
 2. Выводы 24, 25, 05 и 06 (входы) должны быть подключены к питанию или земле.
 3. Максимальная задержка функции не превышает 20 нс.

10.4.14. Регистры

10.4.14.1. Загружаемый по фронту 4-разрядный регистр с синхронными сбросом и установкой, с парафазными выходами и третьим состоянием

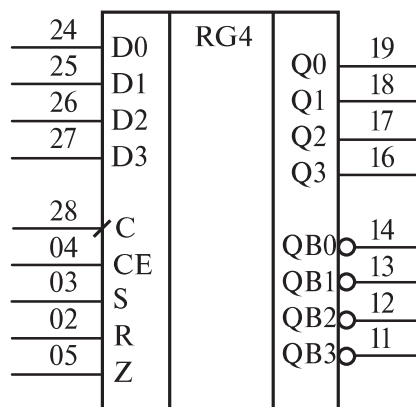
Условное обозначение FD4RSEZ

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 0 0 0 0 0

Описание Таблица состояний

Z	R	S	CE	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	∅	0	0	0	0
0	0	1	X	∅	1	1	1	1
0	0	0	1	∅	D0	D1	D2	D3
0	0	0	0	X	const	const	const	const

УГО



- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Вывод 06 (вход) должен быть подключен к питанию или земле.
 4. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам — 19 нс.

10.4.14.2. Загружаемый по спаду 4-разрядный регистр с синхронными сбросом и установкой, с парафазными выходами и третьим состоянием

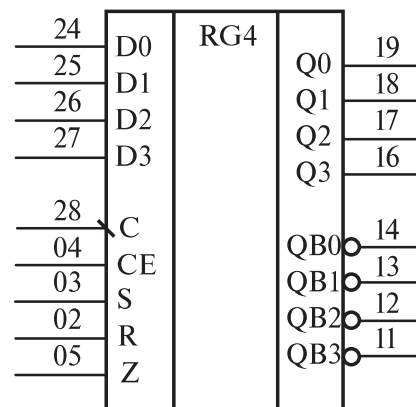
Условное обозначение FD4RSEZB

Адрес (двоичный) A6A5A4A3A2A1A0
1 0 0 0 0 0 1

Описание Таблица состояний

Z	R	S	CE	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	∅	0	0	0	0
0	0	1	X	∅	1	1	1	1
0	0	0	1	∅	D0	D1	D2	D3
0	0	0	0	X	const	const	const	const

УГО



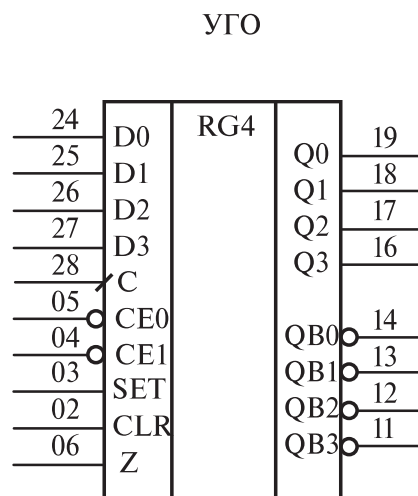
- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Вывод 06 (вход) должен быть подключен к питанию или земле.
 4. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам — 18 нс.

10.4.14.3. Загружаемый по фронту 4-разрядный регистр с асинхронными сбросом и установкой, с парафазными выходами и третьим состоянием

Условное обозначение FD4CPEZ
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 0 0 0 1 0

Описание Таблица состояний

Z	CLR	SET	$\overline{CE0 \& CE1}$	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	X	0	0	0	0
0	0	1	X	X	1	1	1	1
0	0	0	1	\setminus	D0	D1	D2	D3
0	0	0	0	X	const	const	const	const



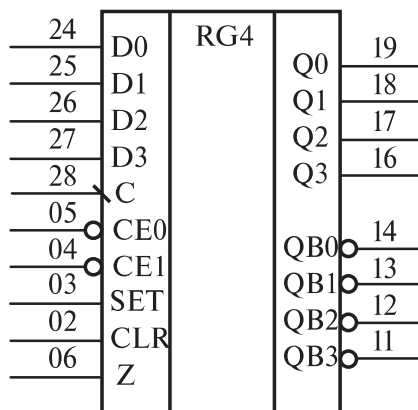
- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 19 нс.

10.4.14.4. Загружаемый по спаду 4-разрядный регистр с асинхронными сбросом и установкой, с парафазными выходами и третьим состоянием

Условное обозначение FD4CPEZB
 Адрес (двоичный) A6A5A4A3A2A1A0
 1 0 0 0 0 1 1

Описание Таблица состояний

Z	CLR	SET	$\overline{CE0 \& CE1}$	C	Q0	Q1	Q2	Q3
1	X	X	X	X	Z	Z	Z	Z
0	1	X	X	X	0	0	0	0
0	0	1	X	X	1	1	1	1
0	0	0	1	\setminus	D0	D1	D2	D3
0	0	0	0	X	const	const	const	const



- Примечания**
1. При Z=1 выходы Q0...Q3 и QB0...QB3 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (сброс, установка и загрузка).
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам – 18 нс.

10.4.14.5. Загружаемый по фронту 8-разрядный регистр с третьим состоянием

Условное обозначение

FD8Z

УГО

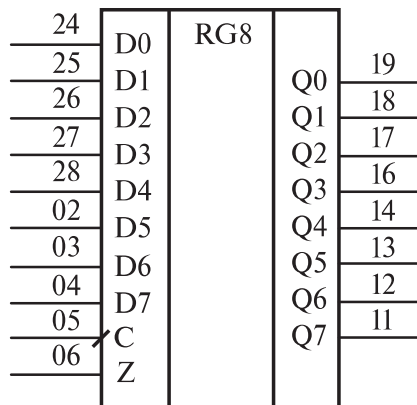
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 0 1 0 0

Описание

Таблица состояний

Z	C	Q0	Q1	...	Q6	Q7
1	X	Z	Z	...	Z	Z
0	$\overline{1}$	D0	D1	...	D6	D7
0	$\overline{0}$	const	const	...	const	const



Примечания

1. При Z=1 выходы Q0...Q7 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (загрузка).
2. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам — 18 нс.

10.4.14.6. Загружаемый по спаду 8-разрядный регистр с третьим состоянием

Условное обозначение

FD8ZB

УГО

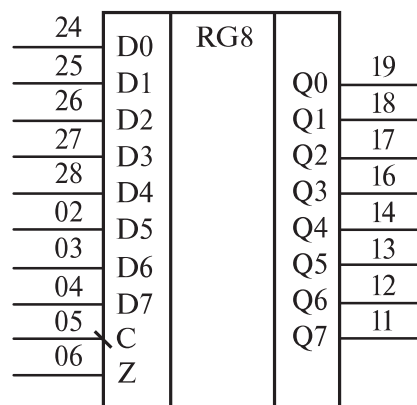
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 0 1 0 1

Описание

Таблица состояний

Z	C	Q0	Q1	...	Q6	Q7
1	X	Z	Z	...	Z	Z
0	$\overline{1}$	D0	D1	...	D6	D7
0	$\overline{0}$	const	const	...	const	const



Примечания

1. При Z=1 выходы Q0...Q7 переводятся в 3-е логическое состояние, однако регистр продолжает функционировать (загрузка).
2. Максимальная задержка функции по входу Z не превышает 21 нс, а по остальным входам — 18 нс.

10.4.14.7. Загружаемый по фронту 8-разрядный регистр с асинхронным сбросом

Условное обозначение

FD8C

УГО

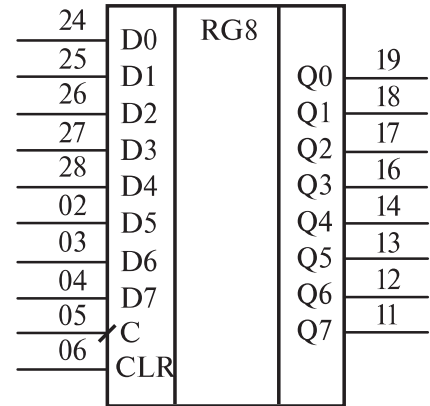
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 0 1 1 0

Описание

Таблица состояний

CRL	C	Q0	Q1	...	Q6	Q7
1	X	0	0	...	0	0
0	\overline{f}	D0	D1	...	D6	D7
0	\overline{f}	const	const	...	const	const



Примечания

Максимальная задержка функции не превышает 18 нс.

10.4.14.8. Загружаемый по спаду 8-разрядный регистр с асинхронным сбросом

Условное обозначение

FD8CB

УГО

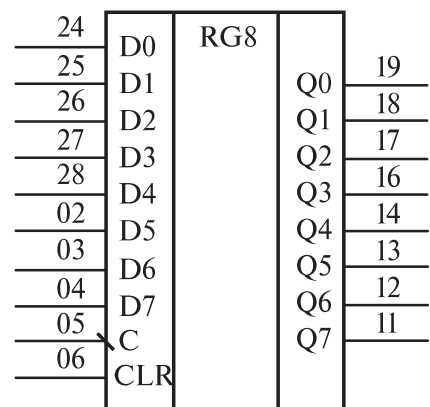
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 0 1 1 1

Описание

Таблица состояний

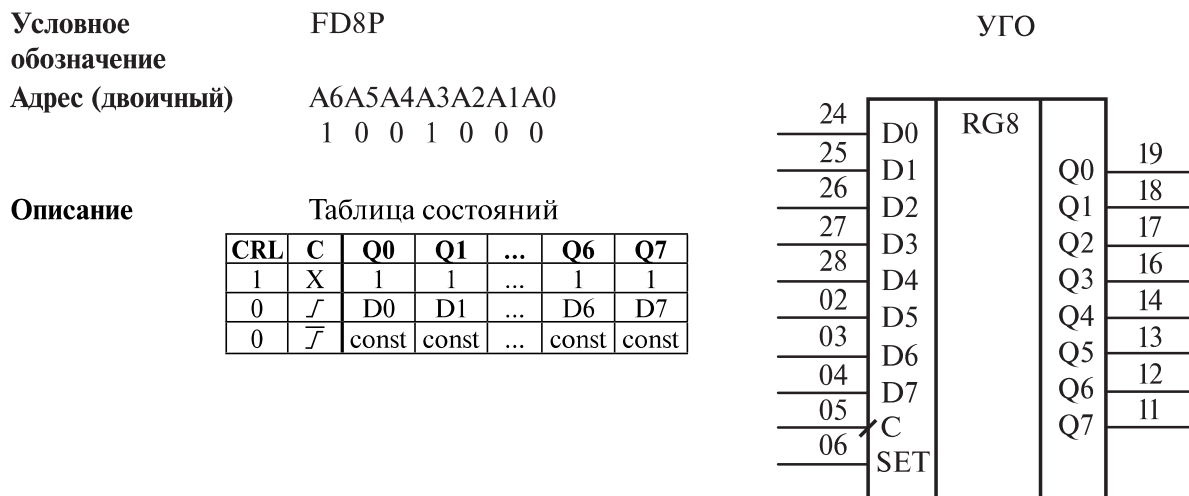
CRL	C	Q0	Q1	...	Q6	Q7
1	X	0	0	...	0	0
0	\overline{f}	D0	D1	...	D6	D7
0	\overline{f}	const	const	...	const	const



Примечания

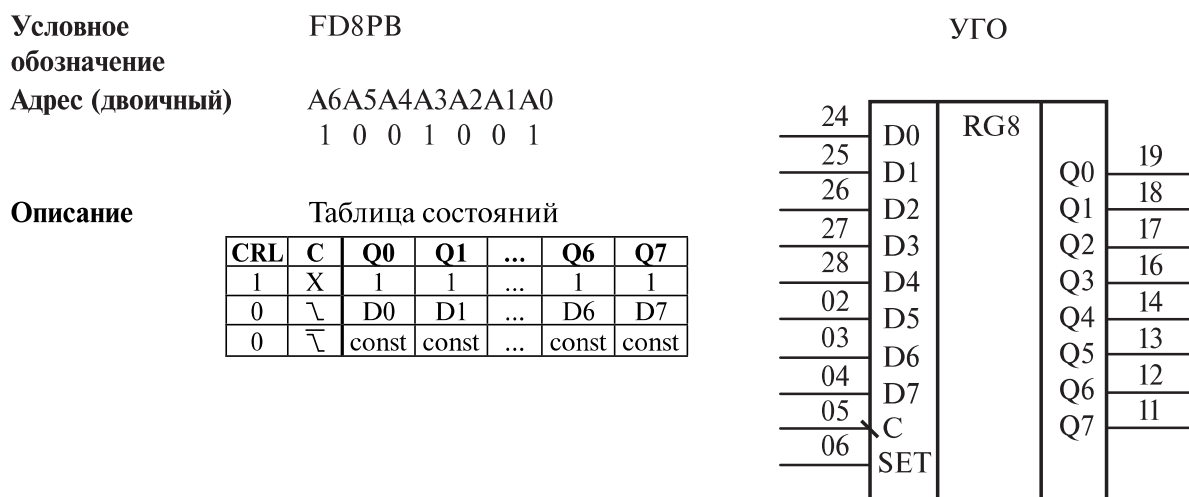
Максимальная задержка функции не превышает 18 нс.

10.4.14.9. Загружаемый по фронту 8-разрядный регистр с асинхронной установкой



Примечания: Максимальная задержка функции не превышает 18 нс.

10.4.14.10. Загружаемый по спаду 8-разрядный регистр с асинхронной установкой



Примечания: Максимальная задержка функции не превышает 18 нс.

10.4.14.11. Загружаемый по фронту 8-разрядный регистр со входом разрешения

Условное обозначение

FD8E

УГО

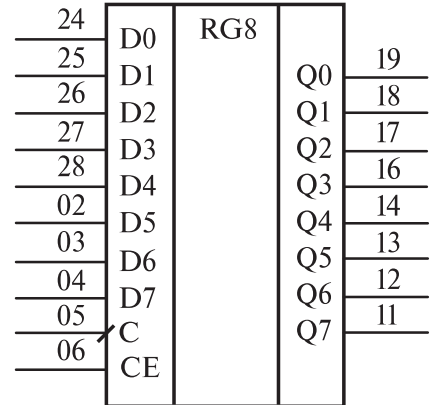
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 1 0 1 0

Описание

Таблица состояний

CE	C	Q0	Q1	...	Q6	Q7
0	X	const	const	...	const	const
1	∩	D0	D1	...	D6	D7



Примечания

Максимальная задержка функции не превышает 18 нс.

10.4.14.12. Загружаемый по спаду 8-разрядный регистр со входом разрешения

Условное обозначение

FD8EB

УГО

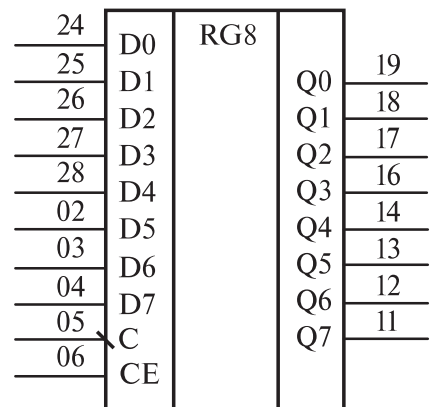
Адрес (двоичный)

A6A5A4A3A2A1A0
1 0 0 1 0 1 1

Описание

Таблица состояний

CE	C	Q0	Q1	...	Q6	Q7
0	X	const	const	...	const	const
1	∩	D0	D1	...	D6	D7



Примечания

Максимальная задержка функции не превышает 18 нс.

10.4.15. Двоичные счетчики

10.4.15.1. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронными загрузкой и сбросом

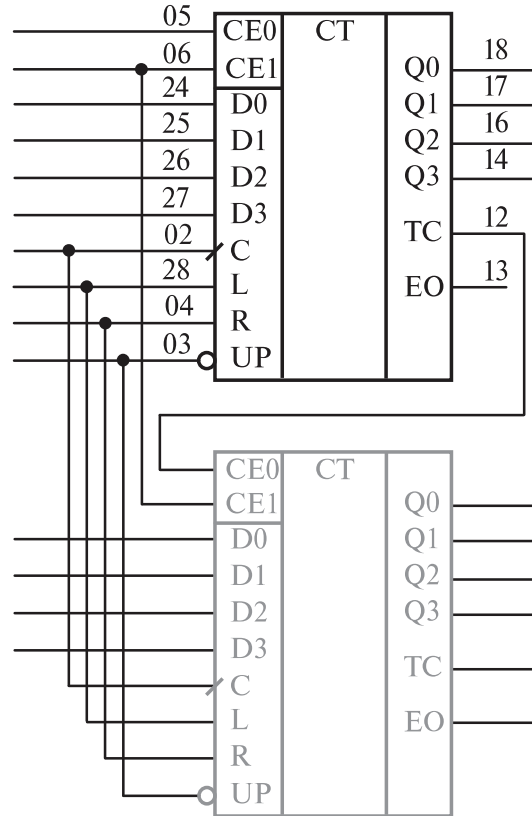
Условное обозначение CB4RLED

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 0 0 0 1 0

Описание Таблица состояний

R	L	CE0&CE1	UP	C	Операция
1	X	X	X	/	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

УГО и
пример каскадного соединения



- Примечания**
1. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) \vee (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
 2. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 3. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 4. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 5. Максимальная задержка функции не превышает 22 нс.

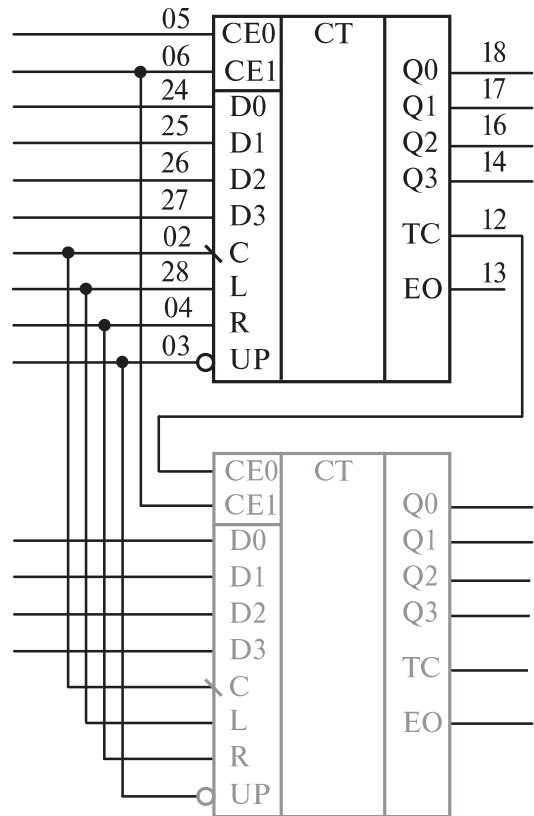
10.4.15.2. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронными загрузкой и сбросом

Условное обозначение CB4RLEDB
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 0 0 0 1 1

Описание Таблица состояний

R	L	CE0&CE1	UP	C	Операция
1	X	X	X	$\bar{}$	Q=0
0	1	X	X	$\bar{}$	Q=D
0	0	0	X	X	Q=const
0	0	1	0	$\bar{}$	Q=Q+1
0	0	1	1	$\bar{}$	Q=Q-1

УГО и пример каскадного соединения



- Примечания**
1. Логическая функция сигнала $TC=(Q0\&Q1\&Q2\&Q3\&\bar{UP})|(\bar{Q0}\&\bar{Q1}\&\bar{Q2}\&\bar{Q3}\&UP)$.
 2. Логическая функция сигнала $EO=TC\&CE1\&CE0$.
 3. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 4. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 5. Максимальная задержка функции не превышает 23 нс.

10.4.15.3. Синхронный 4-разрядный реверсивный счетчик по фронту с асинхронными загрузкой и сбросом

Условное обозначение

СВ4С1ЕD

Адрес (двоичный)

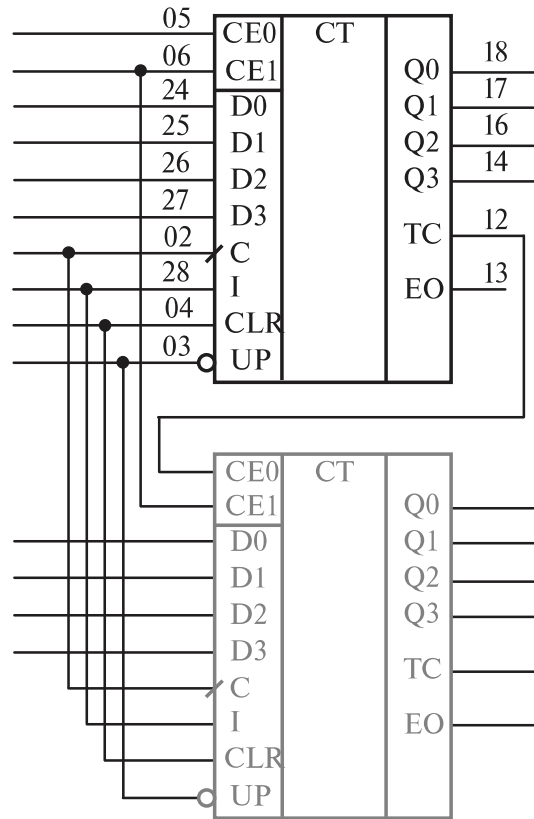
A6A5A4A3A2A1A0
0 0 0 0 1 0 0

Описание

Таблица состояний

R	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	X	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

УГО и пример каскадного соединения



Примечания

1. Т.к. загрузка асинхронна, то Q=D в таблице состояний означает, что все изменения уровней на входах D0...D3 отображаются на соответствующих выходах Q0...Q3.
2. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
6. Максимальная задержка функции не превышает 22 нс.

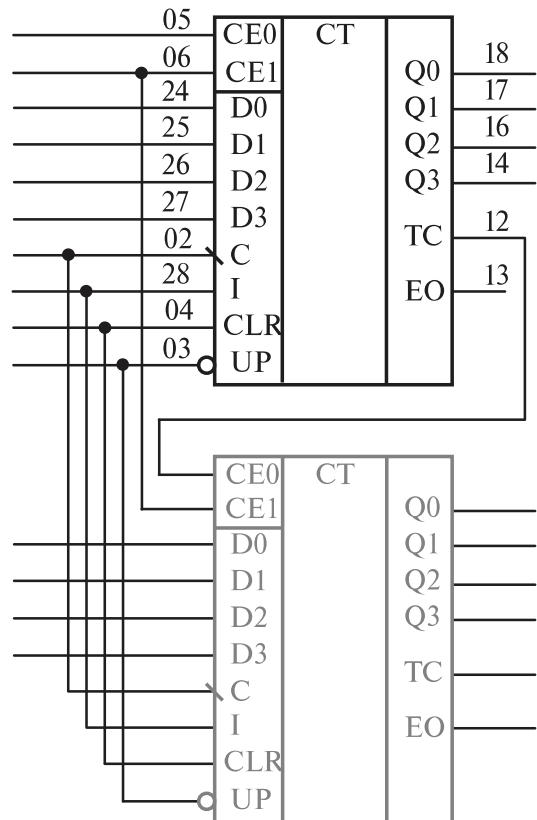
10.4.15.4. Синхронный 4-разрядный реверсивный счетчик по спаду с асинхронными загрузкой и сбросом

Условное обозначение CB4C1EDB
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 0 0 1 0 1

Описание Таблица состояний

R	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	X	Q=D
0	0	0	X	X	Q=const
0	0	1	0	$\bar{\lambda}$	Q=Q+1
0	0	1	1	λ	Q=Q-1

УГО и пример каскадного соединения



- Примечания**
1. Т.к. загрузка асинхронна, то Q=D в таблице состояний означает, что все изменения уровней на входах D0...D3 отображаются на соответствующих выходах Q0...Q3.
 2. Логическая функция сигнала $TC=(Q0\&Q1\&Q2\&Q3\&\bar{UP})|(\bar{Q0}\&\bar{Q1}\&\bar{Q2}\&\bar{Q3}\&UP)$.
 3. Логическая функция сигнала $EO=TC\&CE1\&CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 23 нс.

10.4.15.5. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом

Условное обозначение

СВ4СLED

Адрес (двоичный)

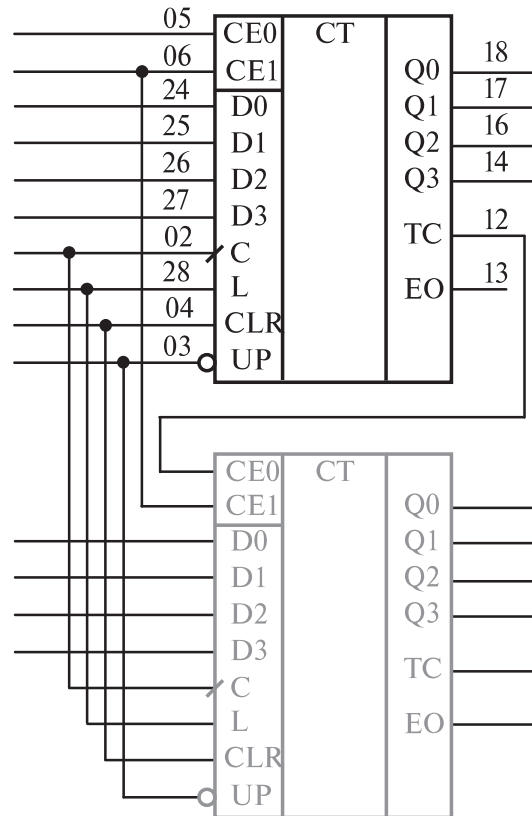
A6A5A4A3A2A1A0
0 0 0 0 1 1 0

Описание

Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

УГО и пример каскадного соединения



Примечания

1. Логическая функция сигнала $TC=(Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
2. Логическая функция сигнала $EO=TC \& CE1 \& CE0$.
3. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
4. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
5. Максимальная задержка функции не превышает 22 нс.

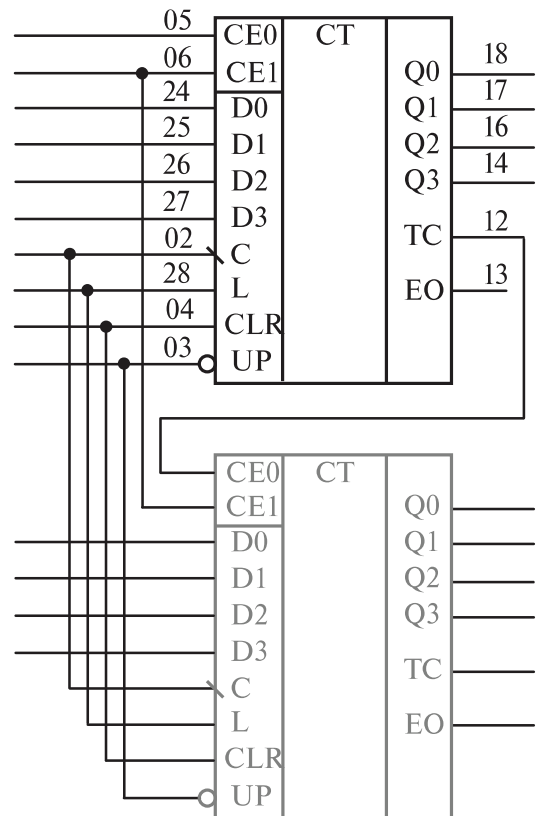
10.4.15.6. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом

Условное обозначение CB4CLEDB
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 0 0 1 1 1

Описание Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	∅	Q=D
0	0	0	X	X	Q=const
0	0	1	0	∅	Q=Q+1
0	0	1	1	∅	Q=Q-1

УГО и пример каскадного соединения



- Примечания**
1. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) \vee (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
 2. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 3. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 4. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 5. Максимальная задержка функции не превышает 23 нс.

10.4.15.7. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по фронту с синхронным сбросом

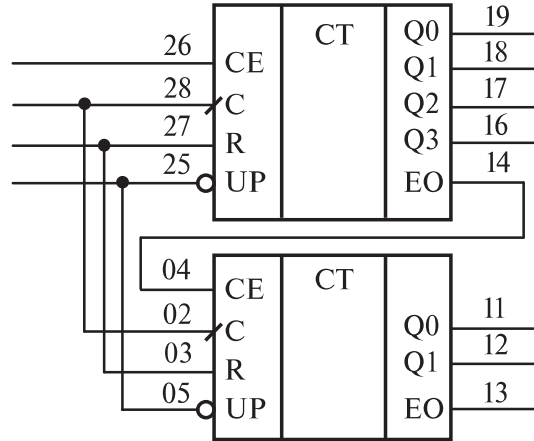
Условное обозначение CB4RED+CB2RED

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 0 1 0 0 0

Описание Таблица состояний

R	CE	UP	C	Операция
1	X	X	/	Q=0
0	0	X	X	Q=const
0	1	0	/	Q=Q+1
0	1	1	/	Q=Q-1

УГО и
пример соединения счетчиков



- Примечания**
1. Для 4-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& Q2 \& Q3 \& UP) | (Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP})) \& CE$.
 2. Для 2-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{UP})) \& CE$.
 3. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
 4. Порядок следования счетчиков при наращивании разрядности – любой.
 5. Максимальная задержка функции не превышает 24 нс.

10.4.15.8. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по спаду с синхронным сбросом

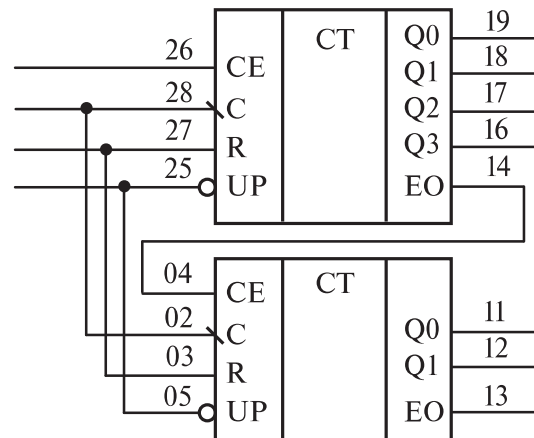
Условное обозначение CB4REDB+CB2REDB

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 0 1 0 0 1

Описание Таблица состояний

R	CE	UP	C	Операция
1	X	X	\	Q=0
0	0	X	X	Q=const
0	1	0	\	Q=Q+1
0	1	1	\	Q=Q-1

УГО и
пример соединения счетчиков



- Примечания**
1. Для 4-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& \overline{UP})) \& CE$.
 2. Для 2-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{UP})) \& CE$.
 3. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
 4. Порядок следования счетчиков при наращивании разрядности – любой.
 5. Максимальная задержка функции не превышает 25 нс.

10.4.15.9. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по фронту с асинхронным сбросом

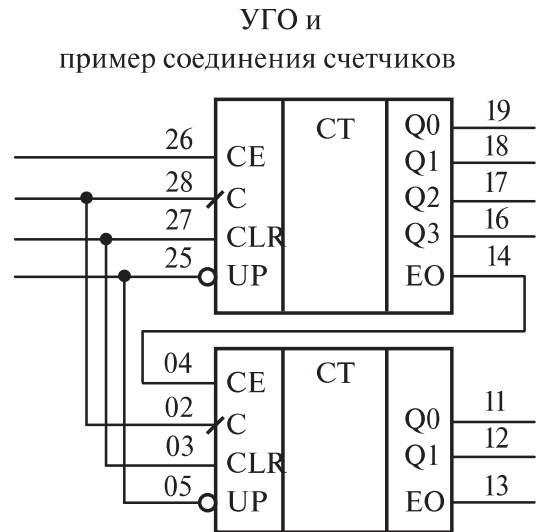
Условное обозначение CB4CED+CB2CED

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 0 1 0 1 0

Описание

Таблица состояний

CLR	CE	UP	C	Операция
1	X	X	X	Q=0
0	0	X	X	Q=const
0	1	0	/	Q=Q+1
0	1	1	/	Q=Q-1



Примечания

1. Для 4-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& Q2 \& Q3 \& UP) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)) \& CE$.
2. Для 2-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& UP) | (\overline{Q0} \& \overline{Q1} \& UP)) \& CE$.
3. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
4. Порядок следования счетчиков при наращивании разрядности – любой.
5. Максимальная задержка функции не превышает 24 нс.

10.4.15.10. Синхронные 4-разрядный и 2-разрядный реверсивные счетчики по спаду с асинхронным сбросом

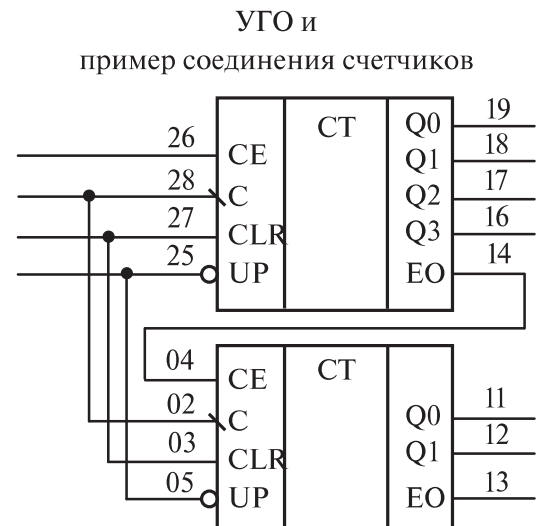
Условное обозначение CB4CEDB+CB2CEDB

Адрес (двоичный) A6A5A4A3A2A1A0
0 0 0 1 0 1 1

Описание

Таблица состояний

CLR	CE	UP	C	Операция
1	X	X	X	Q=0
0	0	X	X	Q=const
0	1	0	/	Q=Q+1
0	1	1	/	Q=Q-1



Примечания

1. Для 4-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& Q2 \& Q3 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& \overline{UP})) \& CE$.
2. Для 2-разрядного счетчика логическая функция сигнала $EO = ((Q0 \& Q1 \& \overline{UP}) | (\overline{Q0} \& \overline{Q1} \& \overline{UP})) \& CE$.
3. Выводы 06 и 24 (входы) должны быть подключены к питанию или земле.
4. Порядок следования счетчиков при наращивании разрядности – любой.
5. Максимальная задержка функции не превышает 25 нс.

10.4.15.11. Синхронный 8-разрядный реверсивный счетчик по фронту с синхронным сбросом

Условное обозначение

CB8RED

УГО

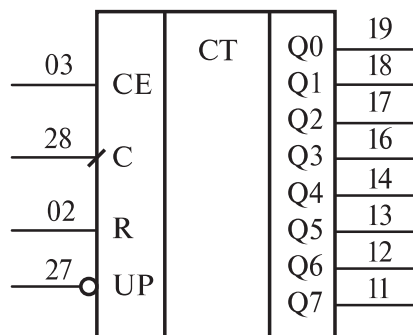
Адрес (двоичный)

A6A5A4A3A2A1A0
0 0 0 1 1 0 0

Описание

Таблица состояний

R	CE	UP	C	Операция
1	X	X	/	Q=0
0	0	X	X	Q=const
0	1	0	/	Q=Q+1
0	1	1	/	Q=Q-1



Примечания

1. Выводы 04, 05, 06, 24, 25 и 26 (входы) должны быть подключены к питанию или земле.
2. Каскадное соединение без дополнительной логики не предусмотрено.
3. Максимальная задержка функции не превышает 19 нс.

10.4.15.12. Синхронный 8-разрядный реверсивный счетчик по спаду с синхронным сбросом

Условное обозначение

CB8REDB

УГО

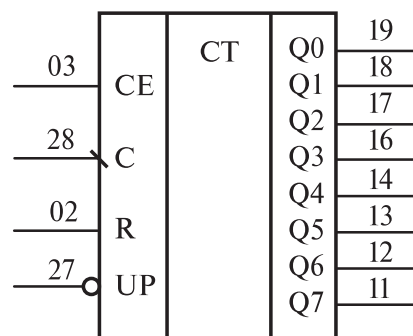
Адрес (двоичный)

A6A5A4A3A2A1A0
0 0 0 1 1 0 1

Описание

Таблица состояний

R	CE	UP	C	Операция
1	X	X	∩	Q=0
0	0	X	X	Q=const
0	1	0	∩	Q=Q+1
0	1	1	∩	Q=Q-1



Примечания

1. Выводы 04, 05, 06, 24, 25 и 26 (входы) должны быть подключены к питанию или земле.
2. Каскадное соединение без дополнительной логики не предусмотрено.
3. Максимальная задержка функции не превышает 19 нс.

10.4.15.13. Синхронный 8-разрядный реверсивный счетчик по фронту с асинхронным сбросом

Условное обозначение

CB8CED

УГО

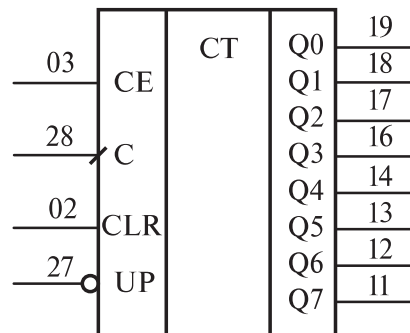
Адрес (двоичный)

A6A5A4A3A2A1A0
0 0 0 1 1 1 0

Описание

Таблица состояний

CLR	CE	UP	C	Операция
1	X	X	X	Q=0
0	0	X	X	Q=const
0	1	0	/	Q=Q+1
0	1	1	/	Q=Q-1



Примечания

1. Выводы 04, 05, 06, 24, 25 и 26 (входы) должны быть подключены к питанию или земле.
2. Каскадное соединение без дополнительной логики не предусмотрено.
3. Максимальная задержка функции не превышает 19 нс.

10.4.15.14. Синхронный 8-разрядный реверсивный счетчик по спаду с асинхронным сбросом

Условное обозначение

CB8CEDB

УГО

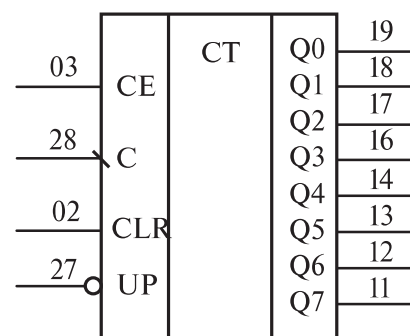
Адрес (двоичный)

A6A5A4A3A2A1A0
0 0 0 1 1 1 1

Описание

Таблица состояний

CLR	CE	UP	C	Операция
1	X	X	X	Q=0
0	0	X	X	Q=const
0	1	0	\	Q=Q+1
0	1	1	\	Q=Q-1



Примечания

1. Выводы 04, 05, 06, 24, 25 и 26 (входы) должны быть подключены к питанию или земле.
2. Каскадное соединение без дополнительной логики не предусмотрено.
3. Максимальная задержка функции не превышает 20 нс.

10.4.16. Счетчики с переменным модулем счета

10.4.16.1. Тестовый адрес

Условное обозначение	TEST
Адрес (двоичный)	A6A5A4A3A2A1A0 0 0 1 0 0 0 0
Описание	Адрес используется для тестирования микросхемы

10.4.16.2. Тестовый адрес

Условное обозначение	TEST
Адрес (двоичный)	A6A5A4A3A2A1A0 0 0 1 0 0 0 1
Описание	Адрес используется для тестирования микросхемы

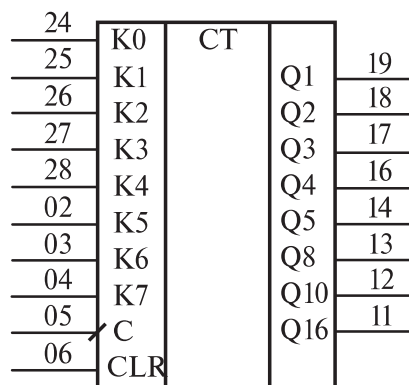
10.4.16.3. Универсальный делитель частоты (2...4096) по фронту с асинхронным сбросом

Условное обозначение	FUN2	УГО
Адрес (двоичный)	A6A5A4A3A2A1A0 0 0 1 1 1 0 0	

Описание

Таблица состояний

CLR	C	Операция
1	X	Q=0
0	Л	Счет



Примечания

1. Основной коэффициент деления входной частоты задается на входах K и равен K+1, т.е. может быть установлен в пределах 2...256 (K=0 является запрещенным значением).
2. Основной коэффициент деления может быть изменен в процессе работы делителя, при этом изменение частоты выходного сигнала будет согласовано по фазе.
3. Номер выхода Q соответствует величине дополнительного делителя частоты. Если обозначить частоту тактового сигнала на входе C как F, то для каждого из выходов получится частота $FN = F / (N * (K + 1))$, т.е. на Q16, например, можно получить частоту, поделенную на $16 * (K + 1)$, что дает максимальный делитель = 4096.
4. Максимальная задержка функции не превышает 29 нс.

10.4.16.4. Тестовый адрес

Условное обозначение	TEST
Адрес (двоичный)	A6A5A4A3A2A1A0 0 0 1 1 1 0 1
Описание	Адрес используется для тестирования микросхемы.

10.4.17. Двоично-десятичные счетчики

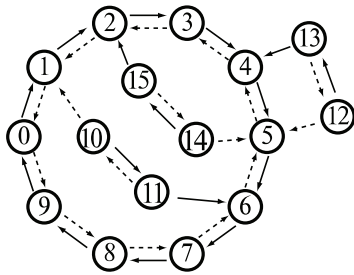
10.4.17.1. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронными загрузкой и сбросом

Условное обозначение: CBD4RLED
 Адрес (двоичный): A6A5A4A3A2A1A0
 0 0 1 0 0 1 0

Описание: Таблица состояний

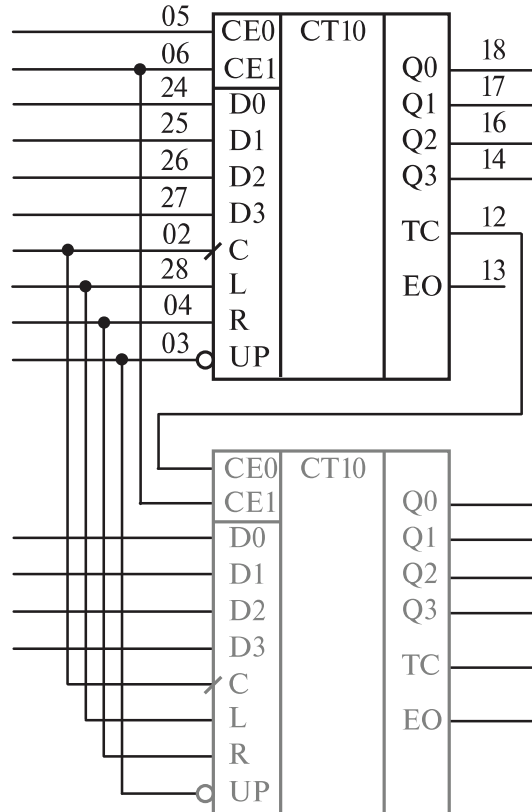
R	L	CE0&CE1	UP	C	Операция
1	X	X	X	/	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

Диаграмма переходов



Условные обозначения:
 → инкремент - - - -> декремент

УГО и пример каскадного соединения



- Примечания**
1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 2. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& UP) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
 3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 23 нс.

10.4.17.2. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронными загрузкой и сбросом

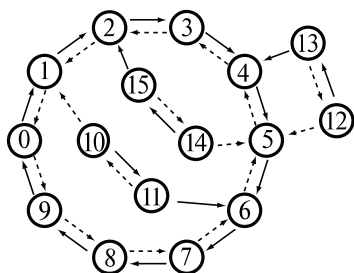
Условное обозначение CBD4RLEDB
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 1 0 0 1 1

УГО и пример каскадного соединения

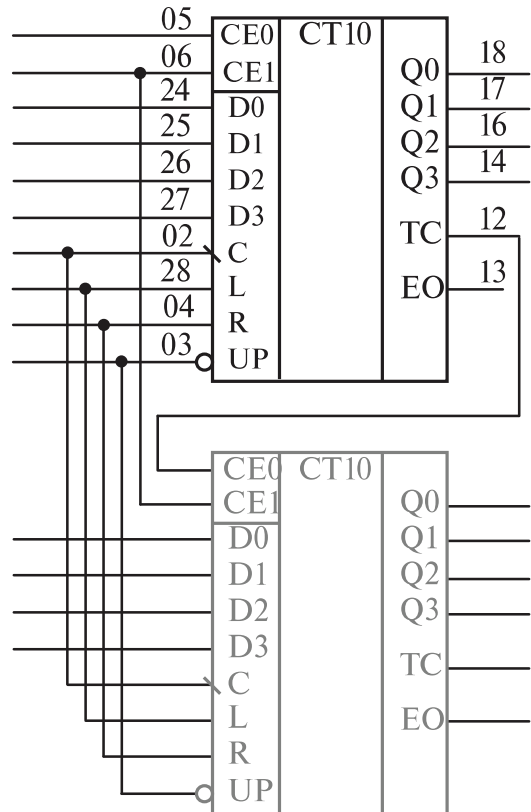
Описание Таблица состояний

R	L	CE0&CE1	UP	C	Операция
1	X	X	X	$\bar{}$	Q=0
0	1	X	X	$\bar{}$	Q=D
0	0	0	X	X	Q=const
0	0	1	0	$\bar{}$	Q=Q+1
0	0	1	1	$\bar{}$	Q=Q-1

Диаграмма переходов



Условные обозначения:
 → инкремент ----> декремент



- Примечания**
1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 2. Логическая функция сигнала $TC = (Q_0 \& \bar{Q}_1 \& \bar{Q}_2 \& Q_3 \& UP) | (\bar{Q}_0 \& \bar{Q}_1 \& \bar{Q}_2 \& \bar{Q}_3 \& UP)$.
 3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 24 нс.

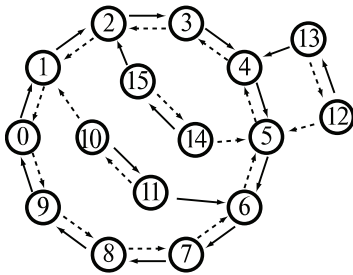
10.4.17.3. Синхронный 4-разрядный реверсивный счетчик по фронту с асинхронными загрузкой и сбросом

Условное обозначение: CBD4CIED
 Адрес (двоичный): A6A5A4A3A2A1A0
 0 0 1 0 1 0 0

Описание: Таблица состояний

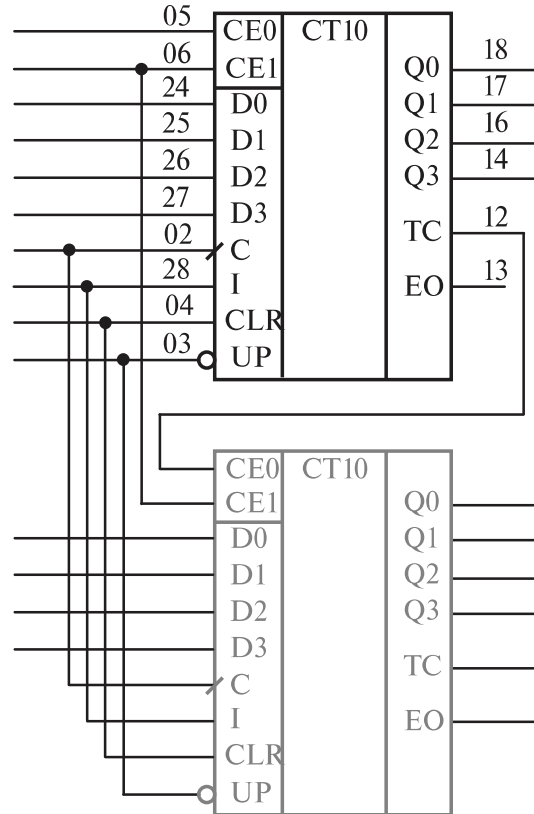
CLR	I	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	X	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

Диаграмма переходов



Условные обозначения:
 → инкремент - - - -> декремент

УГО и пример каскадного соединения



- Примечания**
1. Т.к. загрузка асинхронна, то Q=D в таблице состояний означает, что все изменения уровней на входах D0...D3 отображаются на соответствующих выходах Q0...Q3.
 2. В случае загрузки Q>9, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 3. Логическая функция сигнала $TC = (Q0 \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
 4. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 5. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 6. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 7. Максимальная задержка функции не превышает 23 нс.

10.4.17.5. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 1)

Условное обозначение

CBD4CLEDM1

Адрес (двоичный)

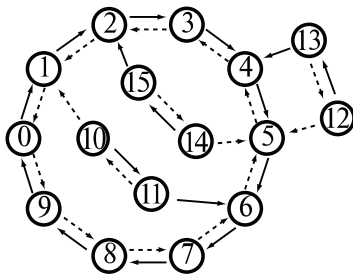
A6A5A4A3A2A1A0
0 0 1 0 1 1 0

Описание

Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

Диаграмма переходов

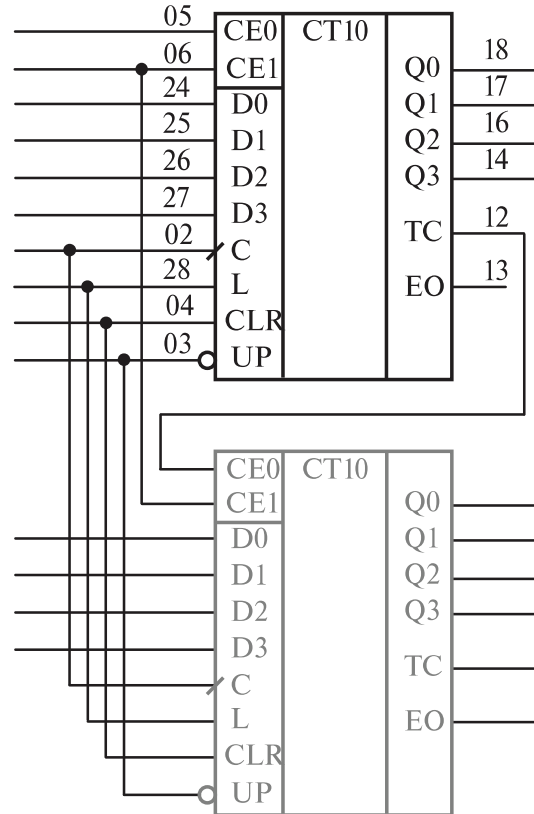


Условные обозначения:
→ инкремент ----> декремент

Примечания

1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
2. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& UP) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
6. Максимальная задержка функции не превышает 24 нс.

УГО и пример каскадного соединения



10.4.17.6. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронными сбросом (модификация 1)

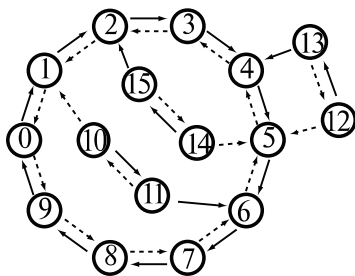
Условное обозначение CBD4CLED8M1
Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 1 0 1 1 1

УГО и пример каскадного соединения

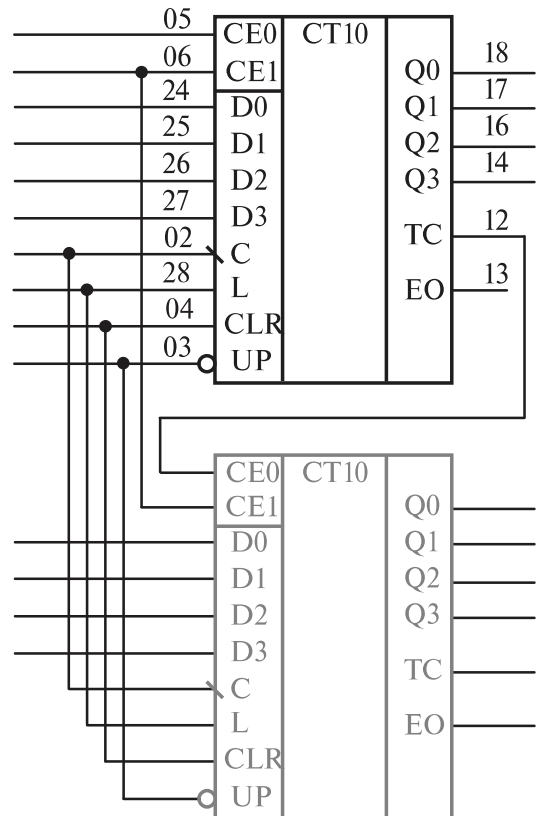
Описание Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	∅	Q=D
0	0	0	X	X	Q=const
0	0	1	0	∅	Q=Q+1
0	0	1	1	∅	Q=Q-1

Диаграмма переходов



Условные обозначения:
 — инкремент ---- декремент



- Примечания**
1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 2. Логическая функция сигнала $TC = (Q_0 \& \overline{Q_1} \& Q_2 \& Q_3 \& UP) | (\overline{Q_0} \& \overline{Q_1} \& \overline{Q_2} \& \overline{Q_3} \& UP)$.
 3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 24 нс.

10.4.17.7. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 2)

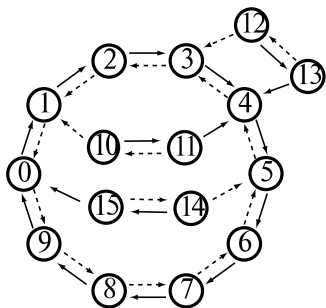
Условное обозначение: CBD4CLEDM2
 Адрес (двоичный): A6A5A4A3A2A1A0
 0 0 1 1 0 0 0

УГО и пример каскадного соединения

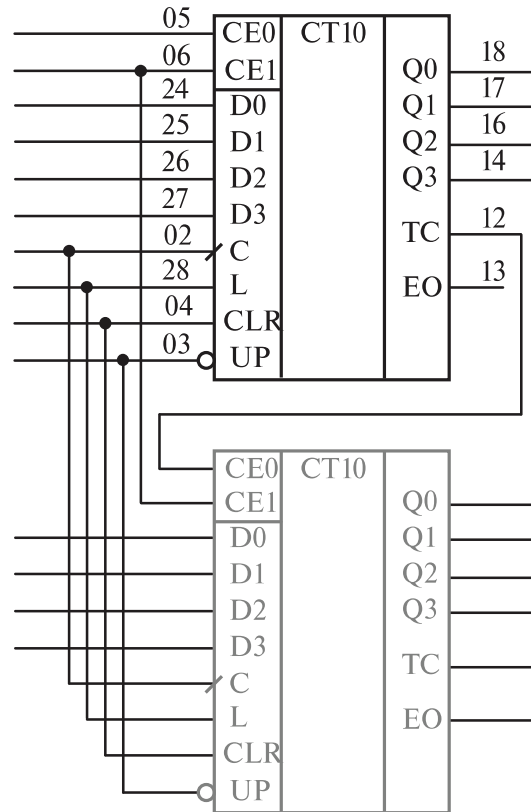
Описание: Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

Диаграмма переходов



Условные обозначения:
 → инкремент ----> декремент



- Примечания**
1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 2. Логическая функция сигнала $TC = (Q0 \& Q1 \& Q2 \& Q3 \& UP) | (Q0 \& Q1 \& Q2 \& Q3 \& UP)$.
 3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 23 нс.

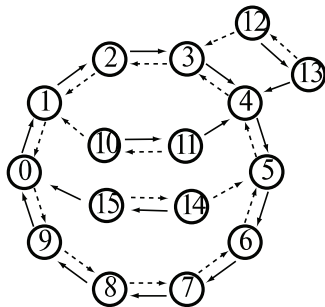
10.4.17.8. Синхронный 4-разрядный реверсивный счетчик по спаду с синхронной загрузкой и асинхронным сбросом (модификация 2)

Условное обозначение CBD4CLEDBM2
 Адрес (двоичный) A6A5A4A3A2A1A0
 0 0 1 1 0 0 1

Описание Таблица состояний

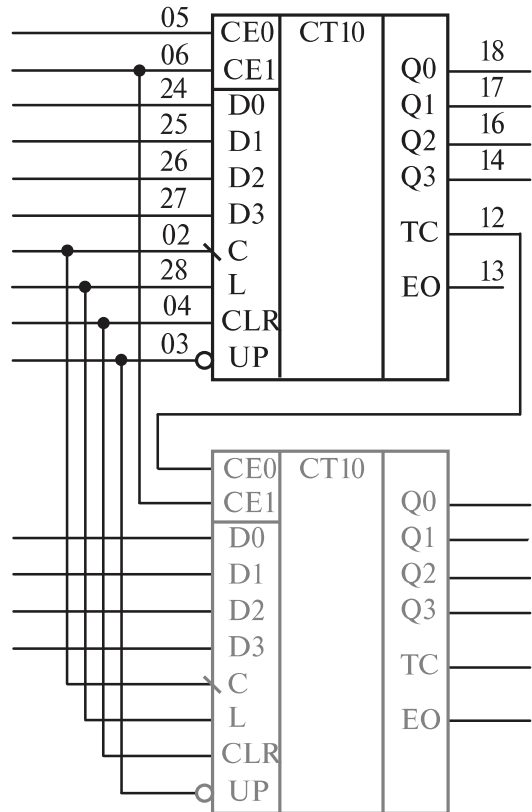
CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	∅	Q=D
0	0	0	X	X	Q=const
0	0	1	0	∅	Q=Q+1
0	0	1	1	∅	Q=Q-1

Диаграмма переходов



Условные обозначения:
 → инкремент ----> декремент

УГО и пример каскадного соединения



- Примечания**
1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
 2. Логическая функция сигнала $TC = (Q0 \& \overline{Q1} \& \overline{Q2} \& Q3 \& UP) | (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
 3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
 4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
 5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
 6. Максимальная задержка функции не превышает 24 нс.

10.4.17.9. Синхронный 4-разрядный реверсивный счетчик по фронту с синхронной загрузкой и асинхронным сбросом (модификация 3)

Условное обозначение

CBD4CLEDM3

Адрес (двоичный)

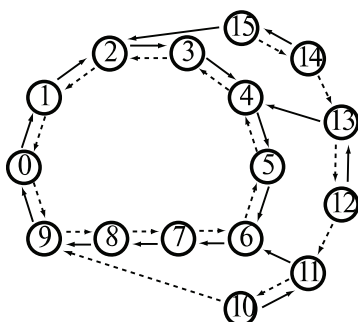
A6A5A4A3A2A1A0
0 0 1 1 0 1 0

Описание

Таблица состояний

CLR	L	CE0&CE1	UP	C	Операция
1	X	X	X	X	Q=0
0	1	X	X	/	Q=D
0	0	0	X	X	Q=const
0	0	1	0	/	Q=Q+1
0	0	1	1	/	Q=Q-1

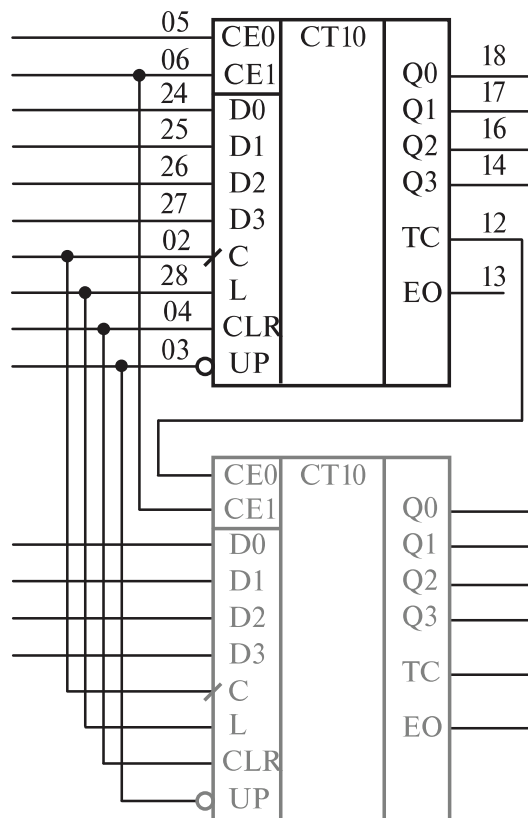
Диаграмма переходов



Условные обозначения:
→ инкремент ----> декремент

УГО и

пример каскадного соединения



Примечания

1. В случае загрузки $Q > 9$, счет производится не по модулю 10, а в соответствии с диаграммой переходов.
2. Логическая функция сигнала $TC = (Q0 \& \overline{Q1} \& \overline{Q2} \& Q3 \& UP) \vee (\overline{Q0} \& \overline{Q1} \& \overline{Q2} \& \overline{Q3} \& UP)$.
3. Логическая функция сигнала $EO = TC \& CE1 \& CE0$.
4. В качестве альтернативы можно организовать схему переноса, соединив входы CE0 и CE1 старшего счетчика с выходом EO младшего.
5. Выводы 11 и 19 (выходы) должны оставаться неподключенными.
6. Максимальная задержка функции не превышает 24 нс.

10.4.18. Счетчики Джонсона

10.4.18.1. Синхронный 4-разрядный счетчик по фронту с синхронной загрузкой и сбросом, с парафазными выходами

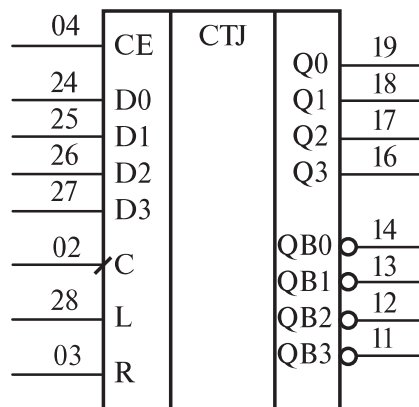
Условное обозначение CJ4RLE

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 0 0 0 0

Описание Таблица состояний

R	L	CE	C	Q3	Q2	Q1	Q0
1	X	X	∅	0	0	0	0
0	1	X	∅	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const

УГО



- Примечания**
1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
 4. Максимальная задержка функции не превышает 19 нс.

10.4.18.2. Синхронный 4-разрядный счетчик по спаду с синхронной загрузкой и сбросом, с парафазными выходами

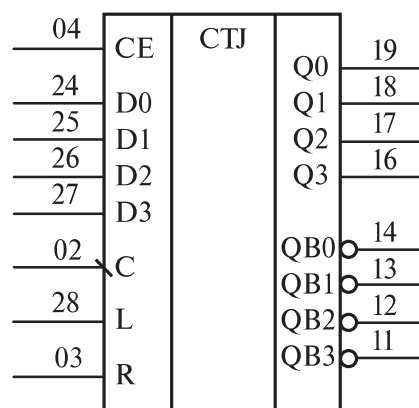
Условное обозначение CJ4RLEB

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 0 0 0 1

Описание Таблица состояний

R	L	CE	C	Q3	Q2	Q1	Q0
1	X	X	∅	0	0	0	0
0	1	X	∅	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const

УГО



- Примечания**
1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.18.3. Синхронный 4-разрядный счетчик по фронту с асинхронными загрузкой и сбросом, с парафазными выходами

Условное обозначение

CJ4CIE

УГО

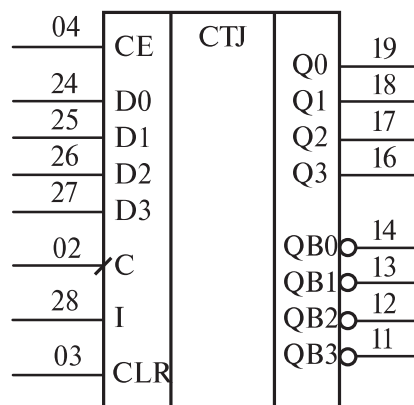
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 0 0 0 1 0

Описание

Таблица состояний

CLR	I	CE	C	Q3	Q2	Q1	Q0
1	X	X	X	0	0	0	0
0	1	X	X	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const



Примечания

1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
3. Т.к. загрузка асинхронна, то при I=1 все изменения уровней на входах D0...D3 отображаются на соответствующих выходах Q0...Q3.
4. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
5. Максимальная задержка функции не превышает 20 нс.

10.4.18.4. Синхронный 4-разрядный счетчик по спаду с асинхронными загрузкой и сбросом, с парафазными выходами

Условное обозначение

CJ4CIEB

УГО

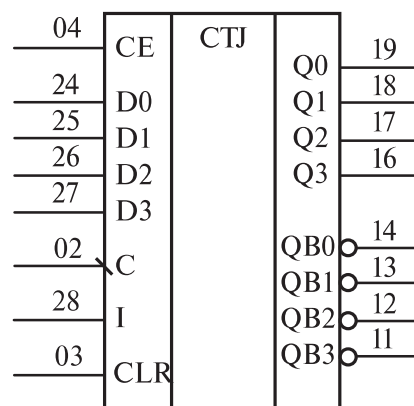
Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 0 0 0 1 1

Описание

Таблица состояний

CLR	I	CE	C	Q3	Q2	Q1	Q0
1	X	X	X	0	0	0	0
0	1	X	X	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const



Примечания

1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
3. Т.к. загрузка асинхронна, то при I=1 все изменения уровней на входах D0...D3 отображаются на соответствующих выходах Q0...Q3.
4. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
5. Максимальная задержка функции не превышает 20 нс.

10.4.18.5. Синхронный 4-разрядный счетчик по фронту с синхронной загрузкой, асинхронным сбросом и парафазными выходами

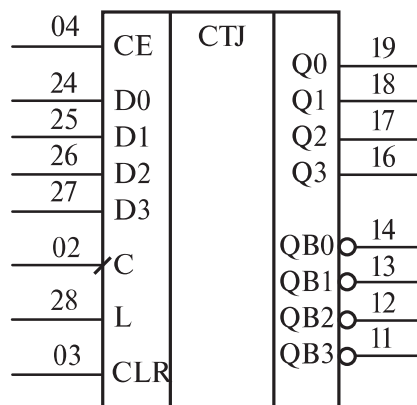
Условное обозначение CJ4CLE

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 0 1 0 0

Описание Таблица состояний

CLR	L	CE	C	Q3	Q2	Q1	Q0
1	X	X	X	0	0	0	0
0	1	X	∅	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const

УГО



- Примечания**
1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.18.6. Синхронный 4-разрядный счетчик по спаду с синхронной загрузкой, асинхронным сбросом и парафазными выходами

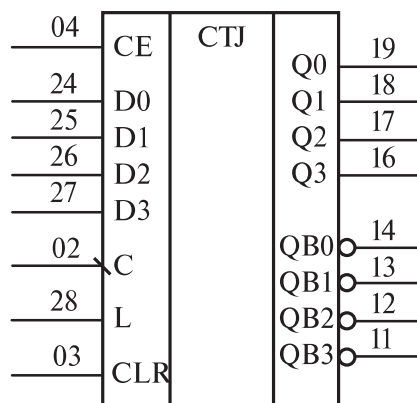
Условное обозначение CJ4CLEB

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 0 1 0 1

Описание Таблица состояний

CLR	L	CE	C	Q3	Q2	Q1	Q0
1	X	X	X	0	0	0	0
0	1	X	∅	D3	D2	D1	D0
0	0	1	∅	Q2	Q1	Q0	$\overline{Q3}$
0	0	0	X	const	const	const	const

УГО



- Примечания**
1. Диаграмма переходов не приведена ввиду ее зависимости от начальной загрузки счетчика. При желании ее легко получить, пользуясь таблицей состояний.
 2. Уровни на выходах QB0...QB3 в таблице состояний не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
 3. Выводы 05 и 06 (входы) должны быть подключены к питанию или земле.
 4. Максимальная задержка функции не превышает 20 нс.

10.4.18.7. Синхронный 4-разрядный счетчик по фронту с асинхронным сбросом, выбором разрядности и конфигурации парафазных выходов

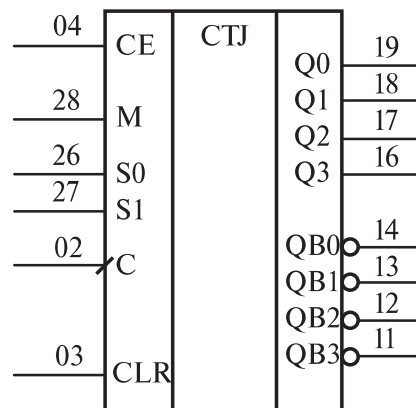
Условное обозначение

CJ4CE

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 0 0 1 1 0



Описание Таблица состояний триггеров для M=0

CLR	CE	C	q3	q2	q1	q0
1	X	X	0	0	0	0
0	0	X	const	const	const	const
0	1	/	q2	q1	q0	$\overline{q3}$

Таблица состояний триггеров для M=1

CLR	CE	C	q3	q2	q1	q0
1	X	X	0	0	0	0
0	0	X	0	const	const	const
0	1	/	0	q1	q0	$\overline{q2}$

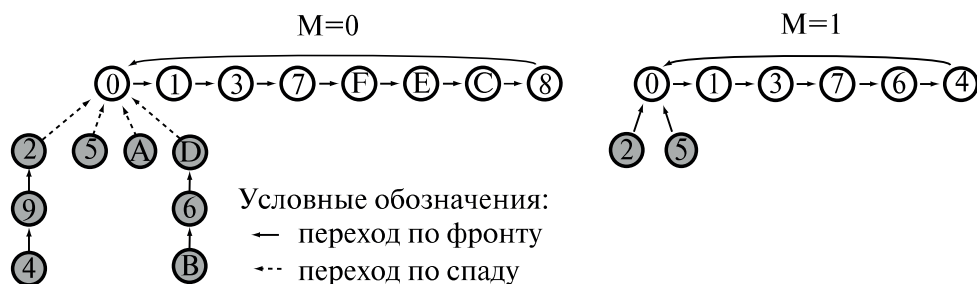
Таблица состояний выходов для M=0

S1	S0	Q3	Q2	Q1	Q0
0	0	q3	q2	q1	q0
0	1	$q3 \& \overline{q2}$	$q1 \& \overline{q0}$	$\overline{q3} \& q2$	$\overline{q1} \& q0$
1	0	$\overline{q3} \oplus q0$	$q3 \oplus q2$	$q2 \oplus q1$	$q1 \oplus q0$
1	1	0	0	0	0

Таблица состояний выходов для M=1

S1	S0	Q3	Q2	Q1	Q0
0	0	0	q2	q1	q0
0	1	0	$q2 \& \overline{q1}$	$q2 \& q0$	$\overline{q1} \& q0$
1	0	0	$\overline{q2} \oplus q0$	$q2 \oplus q1$	$q1 \oplus q0$
1	1	0	0	0	0

Диаграммы переходов для q3...q0



Примечания

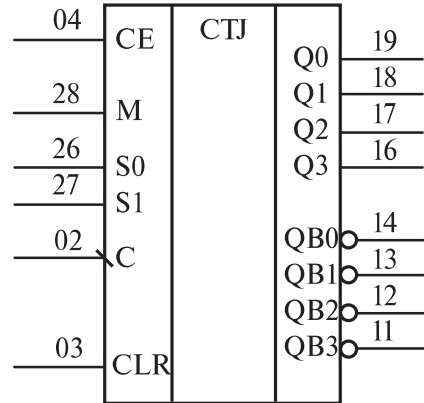
1. Сигналы S1 и S0 задают конфигурацию выходов (см. таблицу состояний выходов). Конфигурация S1=1 и S0=1 блокирует выходы (Q3=0, ... Q0=0), хотя счетчик продолжает работать.
2. Сигнал M задает разрядность счетчика (M=0 — 4 разряда, M=1 — 3 разряда).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика и выхода из запрещенных комбинаций (обозначены серой заливкой). Старший разряд шестнадцатеричного кода отражает состояние триггера q3, остальные — соответственно q2...q0.
4. Уровни на выходах QB0...QB3 в таблицах состояний выходов не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
5. Вывод 05 (вход) должен быть подключен к земле, а 06 (вход) должен быть подключен к питанию или земле.
6. Максимальная задержка функции не превышает 24 нс.

10.4.18.8. Синхронный 4-разрядный счетчик по спаду с асинхронным сбросом, выбором разрядности и конфигурации парафазных выходов

Условное обозначение CJ4CEB

Адрес (двоичный) A6A5A4A3A2A1A0
0 1 0 0 1 1 1

УГО



Описание Таблица состояний триггеров для M=0

CLR	CE	C	q3	q2	q1	q0
1	X	X	0	0	0	0
0	0	X	const	const	const	const
0	1	λ	q2	q1	q0	\bar{q}_3

Таблица состояний триггеров для M=1

CLR	CE	C	q3	q2	q1	q0
1	X	X	0	0	0	0
0	0	X	0	const	const	const
0	1	λ	0	q1	q0	\bar{q}_2

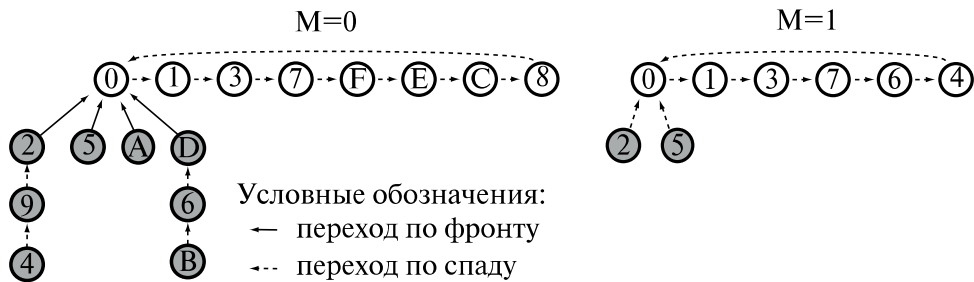
Таблица состояний выходов для M=0

S1	S0	Q3	Q2	Q1	Q0
0	0	q3	q2	q1	q0
0	1	$q_3 \& \bar{q}_2$	$q_1 \& \bar{q}_0$	$\bar{q}_3 \& q_2$	$\bar{q}_1 \& q_0$
1	0	$\bar{q}_3 \oplus q_0$	$q_3 \oplus q_2$	$q_2 \oplus q_1$	$q_1 \oplus q_0$
1	1	0	0	0	0

Таблица состояний выходов для M=1

S1	S0	Q3	Q2	Q1	Q0
0	0	0	q2	q1	q0
0	1	0	$q_2 \& \bar{q}_1$	$q_2 \& q_0$	$\bar{q}_1 \& q_0$
1	0	0	$\bar{q}_2 \oplus q_0$	$q_2 \oplus q_1$	$q_1 \oplus q_0$
1	1	0	0	0	0

Диаграммы переходов для q3...q0



Примечания

1. Сигналы S1 и S0 задают конфигурацию выходов (см. таблицу состояний выходов). Конфигурация S1=1 и S0=1 блокирует выходы (Q3=0, ... Q0=0), хотя счетчик продолжает работать.
2. Сигнал M задает разрядность счетчика (M=0 — 4 разряда, M=1 — 3 разряда).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика и выхода из запрещенных комбинаций (обозначены серой заливкой). Старший разряд шестнадцатеричного кода отражает состояние триггера q3, остальные — соответственно q2...q0.
4. Уровни на выходах QB0...QB3 в таблицах состояний выходов не приведены, но всегда являются инверсией уровней на выходах Q0...Q3.
5. Вывод 05 (вход) должен быть подключен к земле, а 06 (вход) должен быть подключен к питанию или земле.
6. Максимальная задержка функции не превышает 25 нс.

10.4.18.9. Синхронный 8-разрядный счетчик по фронту с синхронным сбросом, выбором разрядности и конфигурации выходов

Условное обозначение

CJ8RE

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0
0 1 0 1 0 0 0

Описание Таблица состояний триггеров (M1=0, M0=0)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	/	0	0	0	0	...	0	0
0	0	X	const	const	const	const	...	const	const
0	1	/	q6	q5	q4	q3	...	q0	$\overline{q7}$

Таблица состояний триггеров (M1=0, M0=1)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	/	0	0	0	0	...	0	0
0	0	X	0	const	const	const	...	const	const
0	1	/	0	q5	q4	q3	...	q0	$\overline{q6}$

Таблица состояний триггеров (M1=1, M0=0)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	/	0	0	0	0	...	0	0
0	0	X	0	0	const	const	...	const	const
0	1	/	0	0	q4	q3	...	q0	$\overline{q5}$

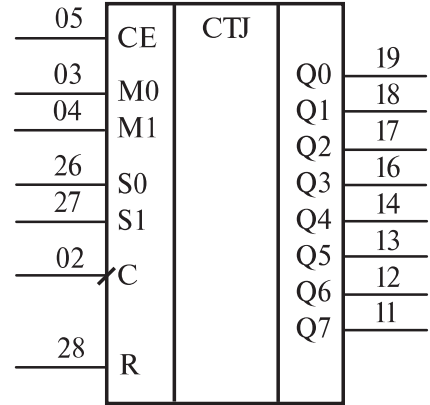
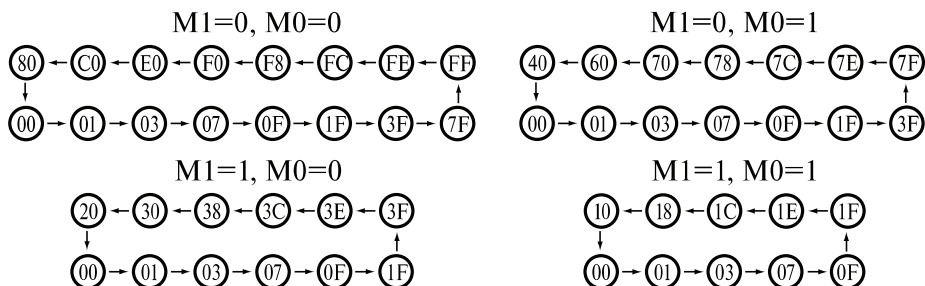
Таблица состояний триггеров (M1=1, M0=1)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	/	0	0	0	0	...	0	0
0	0	X	0	0	0	const	...	const	const
0	1	/	0	0	0	q3	...	q0	$\overline{q4}$

Таблица состояний выходов для различных конфигураций и разрядности

S1	S0	M1	M0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	1	0	0	$\overline{q6 \& q7}$	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q6 \& q7$	$q4 \& q5$	$q2 \& q3$	$q0 \& q1$
0	1	0	1	0	$\overline{q5 \& q6}$	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q6$	$q4 \& q5$	$q2 \& q3$	$q0 \& q1$
0	1	1	0	0	0	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q4 \& q5$	$q2 \& q3$	$q0 \& q1$
0	1	1	1	0	0	0	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q4$	$q2 \& q3$	$q0 \& q1$
1	0	0	0	$\overline{q0 \oplus q7}$	$q7 \oplus q6$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	0	1	0	$\overline{q0 \oplus q6}$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	0	0	0	$\overline{q0 \oplus q5}$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	1	0	0	0	$\overline{q0 \oplus q4}$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$

Диаграммы переходов для q7...q0



Примечания

1. Сигналы $S1$ и $S0$ задают конфигурацию выходов (см. таблицу состояний выходов). В таблице состояний приведены только 2 конфигурации, в остальных случаях при $S1=0$ и $S0=0$ всегда $Qx=qx$, а при $S1=1$ и $S0=1$ всегда $Qx=\bar{qx}$.
2. Сигналы $M1$ и $M0$ задают разрядность счетчика: $M1=0$ и $M0=0$ — 8 разрядов, $M1=0$ и $M0=1$ — 7 разрядов, $M1=1$ и $M0=0$ — 6 разрядов и $M1=1$ и $M0=1$ — 5 разрядов).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика при разной разрядности. Старший разряд шестнадцатеричного кода отражает состояние триггера $q7$, остальные — соответственно $q6...q0$.
4. Запрещенные комбинации на диаграмме состояний не приводятся ввиду большого объема информации, однако счетчик выходит из любой запрещенной комбинации триггеров по следующему фронту сигнала C в начальное состояние 00 .
5. Выводы 06 , 24 и 25 (входы) должны быть подключены к питанию или земле.
6. Максимальная задержка функции не превышает 25 нс.

10.4.18.10. Синхронный 8-разрядный счетчик по спаду с синхронным сбросом, выбором разрядности и конфигурации выходов

Условное обозначение

CJ8REB

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0

0 1 0 1 0 0 1

Описание Таблица состояний триггеров (M1=0, M0=0)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	$\bar{\lambda}$	0	0	0	0	...	0	0
0	0	X	const	const	const	const	...	const	const
0	1	$\bar{\lambda}$	q6	q5	q4	q3	...	q0	$\bar{q7}$

Таблица состояний триггеров (M1=0, M0=1)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	$\bar{\lambda}$	0	0	0	0	...	0	0
0	0	X	0	const	const	const	...	const	const
0	1	$\bar{\lambda}$	0	q5	q4	q3	...	q0	$\bar{q6}$

Таблица состояний триггеров (M1=1, M0=0)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	$\bar{\lambda}$	0	0	0	0	...	0	0
0	0	X	0	0	const	const	...	const	const
0	1	$\bar{\lambda}$	0	0	q4	q3	...	q0	$\bar{q5}$

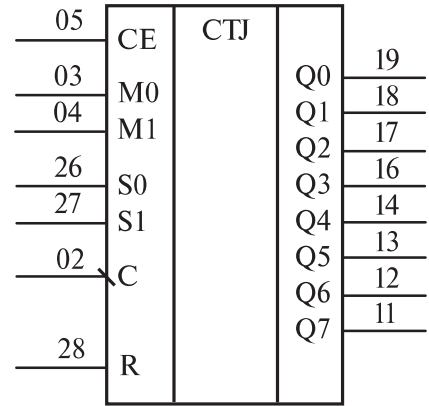
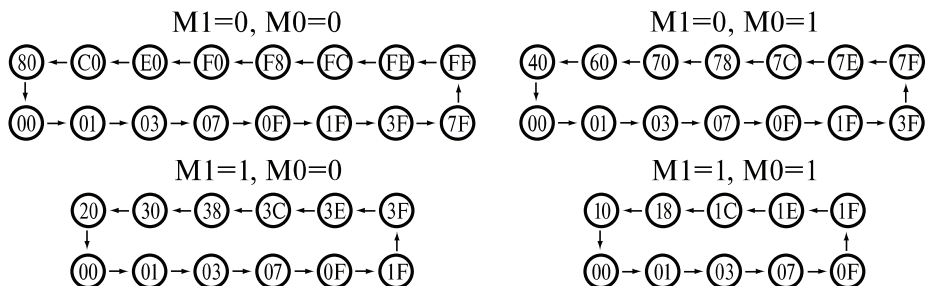
Таблица состояний триггеров (M1=1, M0=1)

R	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	$\bar{\lambda}$	0	0	0	0	...	0	0
0	0	X	0	0	0	const	...	const	const
0	1	$\bar{\lambda}$	0	0	0	q3	...	q0	$\bar{q4}$

Таблица состояний выходов для различных конфигураций и разрядности

S1	S0	M1	M0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	1	0	0	$\bar{q6} \& q7$	$\bar{q4} \& q5$	$\bar{q2} \& q3$	$\bar{q0} \& q1$	$q6 \& \bar{q7}$	$q4 \& \bar{q5}$	$q2 \& \bar{q3}$	$q0 \& \bar{q1}$
0	1	0	1	0	$\bar{q5} \& q6$	$\bar{q3} \& q4$	$\bar{q1} \& q2$	$q0 \& q6$	$q4 \& \bar{q5}$	$q2 \& \bar{q3}$	$q0 \& \bar{q1}$
0	1	1	0	0	0	$\bar{q4} \& q5$	$\bar{q2} \& q3$	$\bar{q0} \& q1$	$q4 \& \bar{q5}$	$q2 \& \bar{q3}$	$q0 \& \bar{q1}$
0	1	1	1	0	0	0	$\bar{q3} \& q4$	$\bar{q1} \& q2$	$q0 \& q4$	$q2 \& \bar{q3}$	$q0 \& \bar{q1}$
1	0	0	0	$\bar{q0} \oplus q7$	$q7 \oplus q6$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	0	1	0	$\bar{q0} \oplus q6$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	0	0	0	$\bar{q0} \oplus q5$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	1	0	0	0	$\bar{q0} \oplus q4$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$

Диаграммы переходов для q7...q0



Примечания

1. Сигналы $S1$ и $S0$ задают конфигурацию выходов (см. таблицу состояний выходов). В таблице состояний приведены только 2 конфигурации, в остальных случаях при $S1=0$ и $S0=0$ всегда $Qx=qx$, а при $S1=1$ и $S0=1$ всегда $Qx=\overline{qx}$.
2. Сигналы $M1$ и $M0$ задают разрядность счетчика: $M1=0$ и $M0=0$ — 8 разрядов, $M1=0$ и $M0=1$ — 7 разрядов, $M1=1$ и $M0=0$ — 6 разрядов и $M1=1$ и $M0=1$ — 5 разрядов).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика при разной разрядности. Старший разряд шестнадцатеричного кода отражает состояние триггера $q7$, остальные — соответственно $q6\dots q0$.
4. Запрещенные комбинации на диаграмме состояний не приводятся ввиду большого объема информации, однако счетчик выходит из любой запрещенной комбинации триггеров по следующему срезу сигнала C в начальное состояние 00 .
5. Выводы 06, 24 и 25 (входы) должны быть подключены к питанию или земле.
6. Максимальная задержка функции не превышает 25 нс.

10.4.18.11. Синхронный 8-разрядный счетчик по фронту с асинхронным сбросом, выбором разрядности и конфигурации выходов

Условное обозначение

CJ8CE

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0

0 1 0 1 0 1 0

Описание Таблица состояний триггеров (M1=0, M0=0)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	const	const	const	const	...	const	const
0	1	/	q6	q5	q4	q3	...	q0	$\overline{q7}$

Таблица состояний триггеров (M1=0, M0=1)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	const	const	const	...	const	const
0	1	/	0	q5	q4	q3	...	q0	$\overline{q6}$

Таблица состояний триггеров (M1=1, M0=0)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	0	const	const	...	const	const
0	1	/	0	0	q4	q3	...	q0	$\overline{q5}$

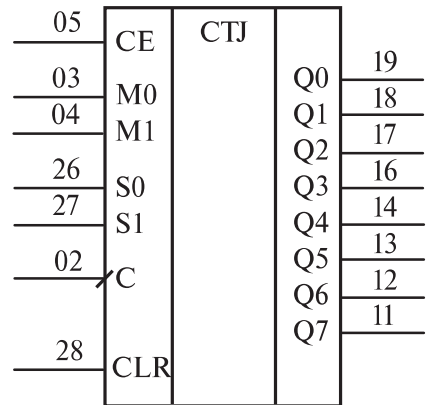
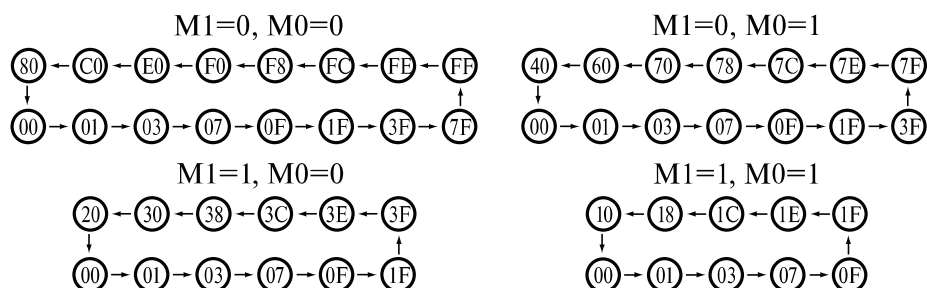
Таблица состояний триггеров (M1=1, M0=1)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	0	const	const	...	const	const
0	1	/	0	0	0	q3	...	q0	$\overline{q4}$

Таблица состояний выходов для различных конфигураций и разрядности

S1	S0	M1	M0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	1	0	0	$\overline{q6 \& q7}$	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q6 \& \overline{q7}$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	0	1	0	$\overline{q5 \& q6}$	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q6$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	1	0	0	0	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	1	1	0	0	0	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q4$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
1	0	0	0	$\overline{q0 \oplus q7}$	$q7 \oplus q6$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	0	1	0	$\overline{q0 \oplus q6}$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	0	0	0	$\overline{q0 \oplus q5}$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	1	0	0	0	$\overline{q0 \oplus q4}$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$

Диаграммы переходов для q7...q0



Примечания

1. Сигналы $S1$ и $S0$ задают конфигурацию выходов (см. таблицу состояний выходов). В таблице состояний приведены только 2 конфигурации, в остальных случаях при $S1=0$ и $S0=0$ всегда $Qx=qx$, а при $S1=1$ и $S0=1$ всегда $Qx=\overline{qx}$.
2. Сигналы $M1$ и $M0$ задают разрядность счетчика: $M1=0$ и $M0=0$ — 8 разрядов, $M1=0$ и $M0=1$ — 7 разрядов, $M1=1$ и $M0=0$ — 6 разрядов и $M1=1$ и $M0=1$ — 5 разрядов).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика при разной разрядности. Старший разряд шестнадцатеричного кода отражает состояние триггера $q7$, остальные — соответственно $q6\dots q0$.
4. Запрещенные комбинации на диаграмме состояний не приводятся ввиду большого объема информации, однако счетчик выходит из любой запрещенной комбинации триггеров по следующему фронту сигнала C в начальное состояние 00 .
5. Выводы 06, 24 и 25 (входы) должны быть подключены к питанию или земле.
6. Максимальная задержка функции не превышает 25 нс.

10.4.18.12. Синхронный 8-разрядный счетчик по спаду с асинхронным сбросом, выбором разрядности и конфигурации выходов

Условное обозначение

CJ8CEB

УГО

Адрес (двоичный)

A6A5A4A3A2A1A0

0 1 0 1 0 1 1

Описание Таблица состояний триггеров (M1=0, M0=0)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	const	const	const	const	...	const	const
0	1	∅	q6	q5	q4	q3	...	q0	$\overline{q7}$

Таблица состояний триггеров (M1=0, M0=1)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	const	const	const	...	const	const
0	1	∅	0	q5	q4	q3	...	q0	$\overline{q6}$

Таблица состояний триггеров (M1=1, M0=0)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	0	const	const	...	const	const
0	1	∅	0	0	q4	q3	...	q0	$\overline{q5}$

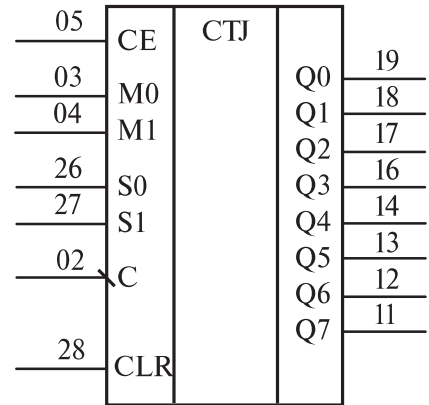
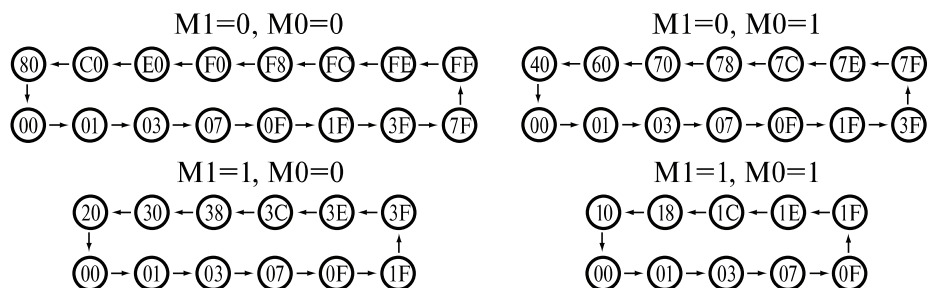
Таблица состояний триггеров (M1=1, M0=1)

CLR	CE	C	q7	q6	q5	q4	...	q1	q0
1	X	X	0	0	0	0	...	0	0
0	0	X	0	0	0	const	...	const	const
0	1	∅	0	0	0	q3	...	q0	$\overline{q4}$

Таблица состояний выходов для различных конфигураций и разрядности

S1	S0	M1	M0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	1	0	0	$\overline{q6 \& q7}$	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q6 \& \overline{q7}$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	0	1	0	$\overline{q5 \& q6}$	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q6$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	1	0	0	0	$\overline{q4 \& q5}$	$\overline{q2 \& q3}$	$\overline{q0 \& q1}$	$q4 \& \overline{q5}$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
0	1	1	1	0	0	0	$\overline{q3 \& q4}$	$\overline{q1 \& q2}$	$q0 \& q4$	$q2 \& \overline{q3}$	$q0 \& \overline{q1}$
1	0	0	0	$\overline{q0 \oplus q7}$	$q7 \oplus q6$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	0	1	0	$\overline{q0 \oplus q6}$	$q5 \oplus q6$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	0	0	0	$\overline{q0 \oplus q5}$	$q4 \oplus q5$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$
1	0	1	1	0	0	0	$\overline{q0 \oplus q4}$	$q3 \oplus q4$	$q2 \oplus q3$	$q1 \oplus q2$	$q0 \oplus q1$

Диаграммы переходов для q7...q0



Примечания

1. Сигналы $S1$ и $S0$ задают конфигурацию выходов (см. таблицу состояний выходов). В таблице состояний приведены только 2 конфигурации, в остальных случаях при $S1=0$ и $S0=0$ всегда $Qx=qx$, а при $S1=1$ и $S0=1$ всегда $Qx=\overline{qx}$.
2. Сигналы $M1$ и $M0$ задают разрядность счетчика: $M1=0$ и $M0=0$ — 8 разрядов, $M1=0$ и $M0=1$ — 7 разрядов, $M1=1$ и $M0=0$ — 6 разрядов и $M1=1$ и $M0=1$ — 5 разрядов).
3. Диаграммы переходов поясняют логику смены состояния триггеров счетчика при разной разрядности. Старший разряд шестнадцатеричного кода отражает состояние триггера $q7$, остальные — соответственно $q6\dots q0$.
4. Запрещенные комбинации на диаграмме состояний не приводятся ввиду большого объема информации, однако счетчик выходит из любой запрещенной комбинации триггеров по следующему фронту сигнала C в начальное состояние 00 .
5. Выводы 06, 24 и 25 (входы) должны быть подключены к питанию или земле.
6. Максимальная задержка функции не превышает 25 нс.

10.5. Дискретные аналоги функций МФЦМ

Ниже приведена таблица аналогов функций микросхемы 5521ТН015-574 из библиотеки микросхем серии 74 фирмы Motorola. Не все функции имеют подобные аналоги, в таком случае соответствующая графа пуста. Кроме того, указанные в данной таблице аналоги зачастую являются неполными и могут отличаться наличием или отсутствием некоторых функциональных выводов или же инверсией некоторых сигналов. Функции МФЦМ также отличаются от приводимых аналогов по электрическим и динамическим параметрам. Функции приведены в порядке нарастания адресов и со ссылками на соответствующие им страницы справочника.

Таблица 10.2. Аналоги функций МФЦМ

Адрес (двоичный)	Условное обозначение функции	Страница справочника	Наименование аналога
0000001	3*MAJ3	14	
0000010	CB4RLED	64	74LS163
0000011	CB4RLEDB	65	74LS163
0000100	CB4CIED	66	
0000101	CB4CIEDB	67	
0000110	CB4CLEDB	68	74LS161
0000111	CB4CLEDB	69	74LS161
0001000	CB4RED+CB2RED	70	
0001001	CB4REDB+CB2REDB	70	
0001010	CB4CED+CB2CED	71	
0001011	CB4CEDB+CB2CEDB	71	
0001100	CB8RED	72	
0001101	CB8REDB	72	
0001110	CB8CED	73	
0001111	CB8CEDB	73	
0010000	TEST	74	
0010001	TEST	74	
0010010	CBD4RLED	76	
0010011	CBD4RLEDB	77	
0010100	CBD4CIED	78	
0010101	CBD4CIEDB	79	74LS568 (только переходы)
0010110	CBD4CLEDM1	80	
0010111	CBD4CLEDBM1	81	74LS568 (только переходы)
0011000	CBD4CLEDM2	82	74LS168
0011001	CBD4CLEDBM2	83	74LS168
0011010	CBD4CLEDM3	84	74LS190
0011011	CBD4CLEDBM3	85	74LS190
0011100	FUN2	74	
0011101	TEST	75	
0011110	2*XOR5	14	
0011111	XOR9+3*XOR3	15	74LS280
0100000	CJ4RLE	86	
0100001	CJ4RLEB	86	
0100010	CJ4CIE	87	
0100011	CJ4CIEB	87	

Продолжение таблицы 10.2

Адрес (двоичный)	Условное обозначение функции	Страница справочника	Наименование аналога
0100100	CJ4CLE	88	
0100101	CJ4CLEB	88	
0100110	CJ4CE	89	
0100111	CJ4CEB	90	
0101000	CJ8RE	91	
0101001	CJ8REB	93	
0101010	CJ8CE	95	
0101011	CJ8CEB	97	
0101100	2*BUFTM4	37	74LS240
0101101	BUFTM4+INVTM4	37	
0101110	2*INVTM4	38	74LS241
0101111	A32A22O	15	74LS54
0110000	SR4CL	50	74LS194
0110001	SR4CLB	50	74LS194
0110010	SR4CLEM1	51	74LS195
0110011	SR4CLEBM1	51	74LS195
0110100	SR4CLEM2	52	74LS95
0110101	SR4CLEBM2	52	74LS95
0110110	SR4RLEZ	53	
0110111	SR4RLEZB	53	
0111000	SR4CIEZ	54	
0111001	SR4CIEZB	54	
0111010	SR4CLEZ	55	74LS395
0111011	SR4CLEZB	55	74LS395
0111100	SR8CEM1	56	74LS164
0111101	SR8CEBM1	56	74LS164
0111110	SR8CEM2	57	
0111111	SR8CEBM2	57	
1000000	FD4RSEZ	58	
1000001	FD4RSEZB	58	
1000010	FD4CPEZ	59	74LS173
1000011	FD4CPEZB	59	74LS173
1000100	FD8Z	60	74F374
1000101	FD8ZB	60	74F374
1000110	FD8C	61	74LS273
1000111	FD8CB	61	74LS273
1001000	FD8P	62	
1001001	FD8PB	62	
1001010	FD8E	63	
1001011	FD8EB	63	
1001100	4*FD	40	
1001101	4*FDB	40	
1001110	2*FDCPE+2*FDCPEB	41	74F74
1001111	2*FJKCP+2*FJKCPB	44	74F112, 74F113

Продолжение таблицы 10.2

Адрес (двоичный)	Условное обозначение функции	Страница справочника	Наименование аналога
1010000	4*RS	39	74LS279
1010001	4*RSB	39	74LS279
1010010	LD4CPEZ	45	
1010011	LD4CPEZB	45	
1010100	LD8Z	46	74F373
1010101	LD8ZB	46	74F373
1010110	LD8C	47	
1010111	LD8CB	47	
1011000	LD8P	48	
1011001	LD8PB	48	
1011010	2*DC24M1	49	74F256
1011011	DC38M1	49	74F257
1011100	4*LD	41	74LS75
1011101	4*LDB	42	74LS75
1011110	2*LDCPE+2*LDCPEB	42	
1011111	RAM4X4L	43	74LS170
1100000	2*COD42E	22	
1100001	COD83E	22	74LS148
1100010	COD83Z	23	74LS348
1100011	COD104	23	74LS147
1100100	2*COMP2	20	
1100101	COMP4	20	
1100110	COMP4M1	21	74LS85
1100111	DC24ENM1+DC24ENM2	24	74F139
1101000	2*DC24EZN	24	74F539
1101001	DC38EZNM1	25	
1101010	DC38EZNM2	25	74F538
1101011	DC38EM1	26	74LS137
1101100	DC38EM2	26	74LS137
1101101	DC47E	27	74LS247
1101110	DC47EB	28	74LS248
1101111	FUN1	29	74F350
1110000	2*BUFM1	16	
1110001	AND2M1	17	
1110010	A22OM1	18	
1110011	2*A22OM2	19	
1110100	3*ADD1	35	
1110101	2*ADD2	35	
1110110	ADD4	36	74LS83
1110111	3*MX21	30	
1111000	MX21+MX41	30	
1111001	MX41Z	31	
1111010	2*MX22	31	
1111011	MX42	32	74LS153, 74LS352

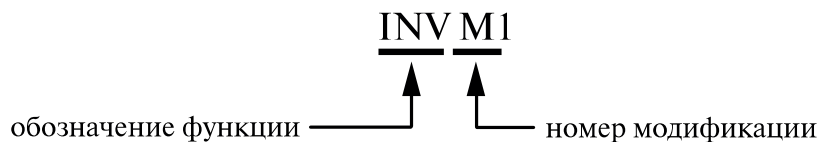
Окончание таблицы 10.2

Адрес (двоичный)	Условное обозначение функции	Страница справочника	Наименование аналога
1111100	MX24Z	32	74LS257, 74LS258
1111101	MX24E	33	74LS157, 74LS158
1111110	MX24M2	34	74LS399
1111111	MX24M1	33	

10.6. Приложение. Описание системы условных обозначений функций

10.6.1. Буферы, инверторы и формирователи

Обозначение включает в себя обозначение функции, разрядность формирователя и признак стробирования.



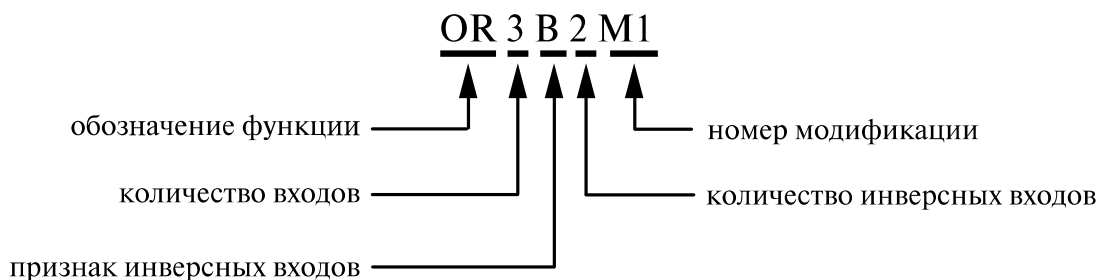
Обозначение функции может принимать следующие значения:

- INV** — инвертор с одним инверсным выходом;
- INVE** — инвертор с тремя выходными состояниями с разрешением высоким уровнем;
- INVT** — инвертор с тремя выходными состояниями с разрешением низким уровнем;
- BUF** — буфер с одним выходом;
- BUFE** — буфер с тремя выходными состояниями с разрешением высоким уровнем;
- BUFT** — буфер с тремя выходными состояниями с разрешением низким уровнем.

Номер модификации может соответствовать разрядности формирователя. Для одиного инвертора или буфера номер модификации отсутствует.

10.6.2. Логические элементы и разветвители

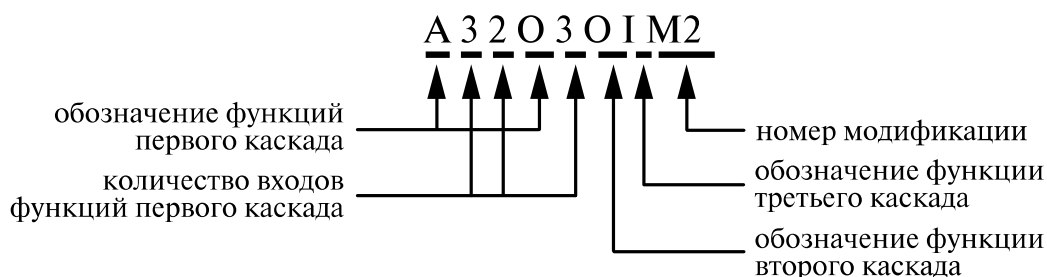
Обозначение логического элемента включает в себя обозначение функции, общее количество входов, количество инверсных входов. Обозначение разветвителей включает в себя обозначение выполняемой логической функции и номер модификации.



Обозначение функции может принимать следующие значения:

- AND** — функция И;
- MAJ** — функция мажорирования;
- NAN** — функция И-НЕ;
- NOR** — функция ИЛИ-НЕ;
- OR** — функция ИЛИ;
- XOR** — функция исключающего ИЛИ;
- XNOR** — функция исключающего ИЛИ с инверсией.

Признак наличия инверсных входов не указывается в случае отсутствия инверсных входов. Для ячеек, выполняющих функцию мажорирования, не указывается количество входов. Обозначение составного логического элемента включает в себя обозначение функций, выполняемых элементом в соответствии с их последовательностью, количество входов элементов первого каскада, номер модификации данной ячейки.



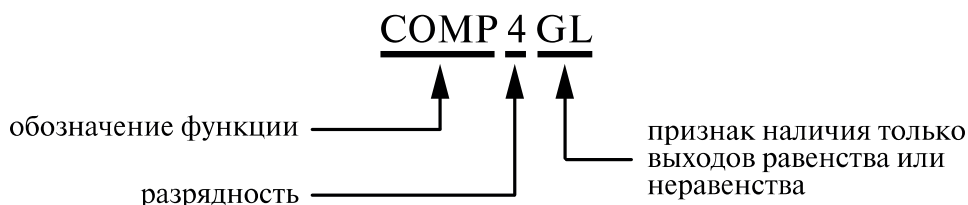
Обозначение функций может принимать следующие значения:

- A — функция И;
- O — функция ИЛИ;
- I — функция инверсии.

Логический элемент может содержать два или три каскада. В начале имени логического элемента указывается обозначение функции первого каскада, который может содержать несколько элементов данной функции, и количество входов каждого из этих элементов данной функции. Затем указывается обозначение функции первого каскада, содержащей только один элемент. После этого указывается обозначение функций второго и третьего каскадов. Модификацией функциональной ячейки является ячейка, выполняющая ту же функцию и имеющая то же количество входов, но содержащая инверсные входы. Номер модификации может отсутствовать.

10.6.3. Цифровые компараторы

Обозначение компаратора включает в себя обозначение функции, разрядность сравниваемых бинарных чисел и наличие входов увеличения разрядности.



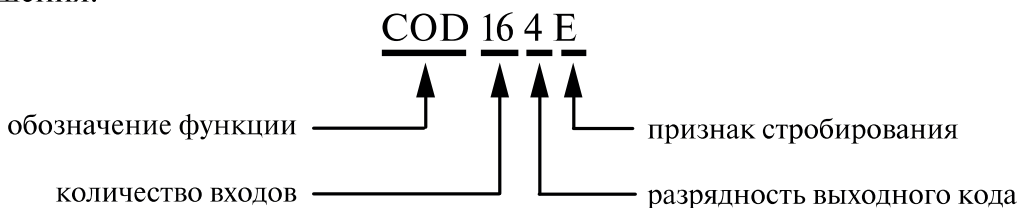
Обозначение функции компаратора может принимать следующие значения:

- COMPn** — сравнение двух чисел с формированием сигналов равенства и неравенства (выходы EQ, GT, LT);
- COMPnGL** — сравнение двух чисел с формированием сигналов сравнения «больше» (выход GT) и «меньше» (выход LT);
- COMPnEQ** — сравнение двух чисел с формированием сигнала эквивалентности (выход EQ).

Здесь **n** — разрядность сравниваемых двоичных чисел, может принимать значения 2 или 4. Для одноразрядных компараторов разрядность не указывается.

10.6.4. Шифраторы

Обозначение шифратора включает в себя обозначение функции, количество входных сигналов, разрядность выходного двоичного кода и признак сигнала разрешения.



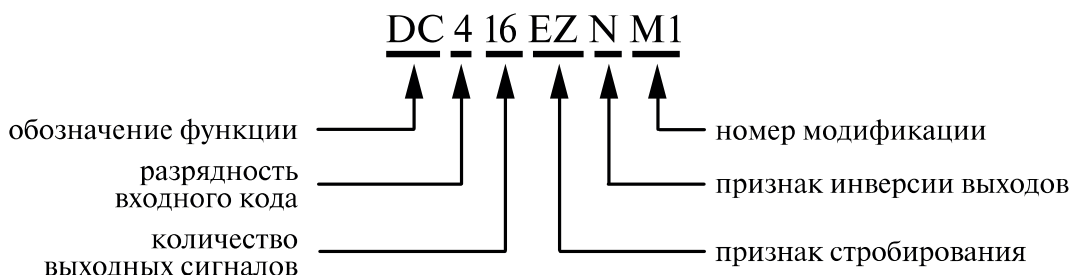
Признак стробирования может принимать следующие значения:

- E** — стробирование выходов в высокий или низкий уровень сигнала;
- Z** — стробирование выходов в высокоимпедансное состояние;
- EZ** — наличие входов стробирования обоих типов.

Признак стробирования в обозначении нестробируемых шифраторов отсутствует.

10.6.5. Дешифраторы

Обозначение дешифратора включает в себя обозначение функции, разрядность входного двоичного кода, количество выходных сигналов и признак наличия сигнала стробирования.



Признак стробирования может принимать следующие значения:

E — стробирование выходов в высокий или низкий уровень сигнала;

Z — стробирование выходов в высокоимпедансное состояние;

EZ — наличие входов стробирования обоих типов.

Признак стробирования в обозначении нестробируемых дешифраторов отсутствует. Признак инверсии выходов может принимать следующие значения:

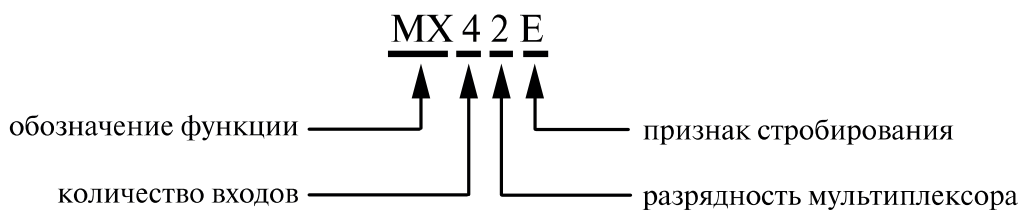
V — наличие инверсии выходов дешифратора;

N — наличие входа управления инверсией выходов дешифратора.

Признак инверсии в дешифраторах без инверсии выходов отсутствует. Дешифраторы одного типа могут иметь модификации, которыми считаются какие-либо отличия. В этом случае в имени дешифратора добавляется номер модификации. При отсутствии модификаций номер модификации отсутствует.

10.6.6. Мультиплексоры

Обозначение мультиплексора включает в себя обозначение функции, количество входных шин, разрядность мультиплексора, признак наличия сигнала стробирования и признак инверсии выхода.



Признак стробирования может принимать следующие значения:

E — стробирование выходов в высокий или низкий уровень сигнала;

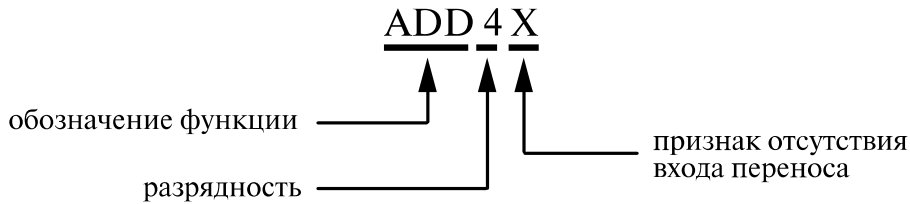
Z — стробирование выходов в высокоимпедансное состояние;

EZ — наличие входов стробирования обоих типов.

Признак стробирования в обозначении нестробируемых мультиплексоров отсутствует.

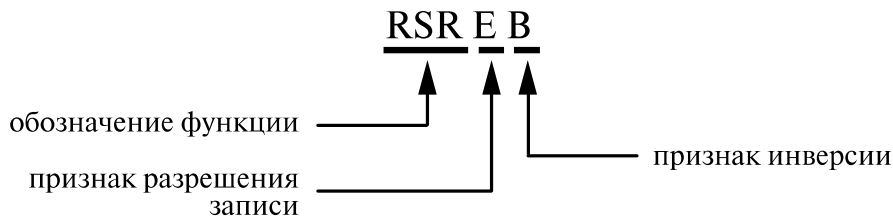
10.6.7. Сумматоры

Обозначение сумматора включает в себя обозначение функции, разрядность суммируемых чисел и признак отсутствия входа переноса.



10.6.8. Триггеры RS-типа

Обозначение триггера RS-типа включает в себя обозначение функции, признак разрешения записи и признак инверсии входных сигналов.



Используются следующие обозначения триггера RS-типа:

RS — триггер с запрещенной комбинацией;

RSS — триггер с приоритетом установки (S-типа);

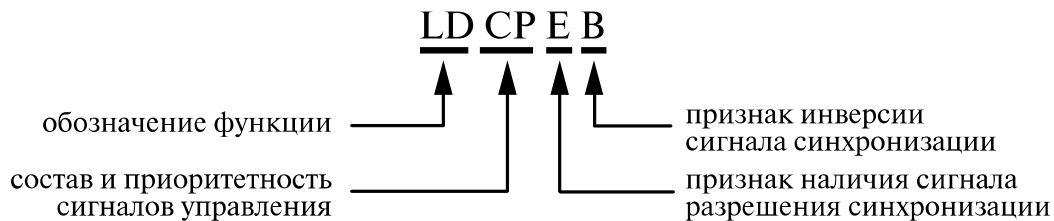
RSR — триггер с приоритетом сброса (R-типа);

RSK — триггер с приоритетом хранения (K-типа).

Признак **E** указывает на наличие сигнала разрешения записи (вход E). Признак **B** означает, что сигналы управления (входы R, S и E) имеют активный низкий уровень.

10.6.9. Одноступенчатые триггеры D-типа (защелки)

Обозначение триггера включает в себя обозначение функции, состав и приоритетность сигналов управления, признак наличия сигнала разрешения синхронизации и признак инверсии сигнала синхронизации.



В обозначении триггера указываются состав и приоритетность управляющих сигналов установки и сброса, причем первым указывается тот сигнал, который имеет более высокий приоритет. В качестве управляющих могут использоваться следующие сигналы:

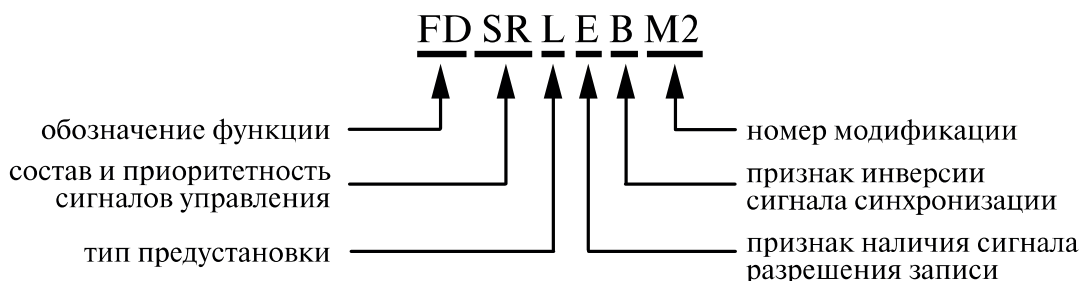
C — асинхронный сброс (вход CLR);

P — асинхронная установка (вход PRE).

Признак **E** указывает на наличие сигнала разрешения записи (вход CE). Признак **B** означает, что активным является низкий уровень сигнала синхронизации (вход C).

10.6.10. Двухступенчатые триггеры (с синхронизацией по перепаду)

Обозначение триггера включает в себя обозначение функции, состав и приоритетность сигналов управления, тип предустановки, признаки и номер модификации.



Используются следующие обозначения функции триггера:

- FC** — детектор фронта;
- FD** — триггер D-типа;
- FJK** — триггер JK-типа;
- FT** — счетный триггер T-типа.

В обозначении триггера указываются состав и приоритетность сигналов управления. Первым указывается тот сигнал, который имеет высший приоритет. В качестве управляющих могут использоваться следующие сигналы:

- C** — асинхронный сброс (вход CLR);
- P** — асинхронная установка (вход PRE);
- R** — синхронный сброс (вход R);
- S** — синхронная установка (вход S).

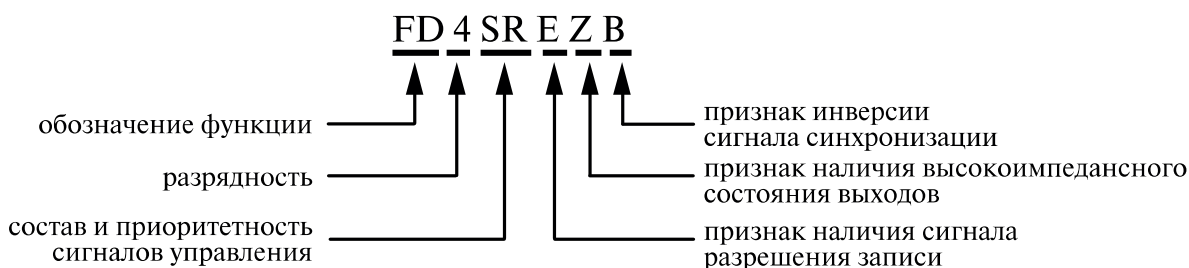
Тип предустановки может отсутствовать или принимать следующие значения:

- L** — синхронная предустановка (вход L);
- I** — асинхронная предустановка (вход I).

Признак наличия сигнала разрешения **E** указывает на наличие в триггере входа разрешения сигнала синхронизации (вход E), также может отсутствовать. Признак инверсии **B** означает, что активным для триггера является задний фронт сигнала синхронизации. Модификациями считаются триггеры, имеющие дополнительные входные сигналы, номер модификации может отсутствовать.

10.6.11. Регистры данных

Обозначение регистра данных включает в себя тип регистра, количество разрядов, состав и приоритетность сигналов управления, признак наличия сигнала разрешения записи.



Используются следующие обозначения функции регистров данных:

FD — регистры с записью по перепаду сигнала синхронизации;

LD — регистры с записью по уровню сигнала синхронизации.

В обозначении могут присутствовать следующие сигналы управления, причем первым указывается сигнал, имеющий более высокий приоритет:

S — синхронная установка (вход **S**);

R — синхронный сброс (вход **R**);

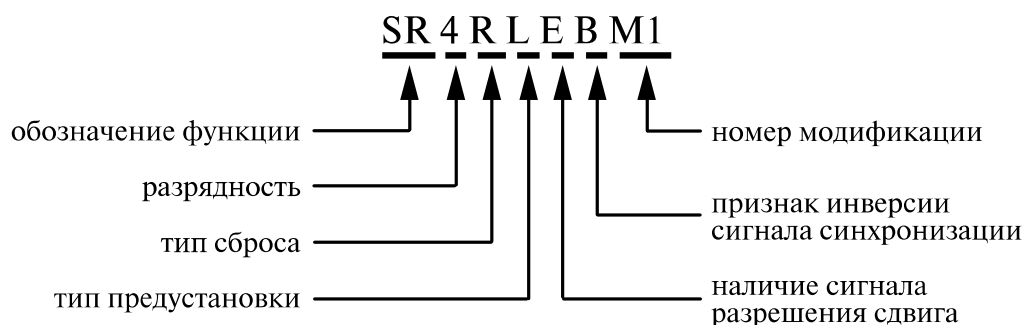
P — асинхронная установка (вход **PRE**);

C — асинхронный сброс (вход **CLE**).

Признаки наличия сигналов разрешения записи **E**, перевода выходов в высокоимпедансное состояние **Z**, а также признак инверсии сигнала синхронизации могут отсутствовать.

10.6.12. Сдвиговые регистры

Для всех сдвиговых регистров принято обозначение функции **SR**, остальные компоненты условного обозначения определяют разрядность, состав и приоритетность сигналов управления и номер модификации регистра.



В обозначении могут присутствовать следующие сигналы управления, причем первым указывается сигнал, имеющий более высокий приоритет:

S — синхронная установка (вход **S**);

R — синхронный сброс (вход **R**);

P — асинхронная установка (вход **PRE**);

C — асинхронный сброс (вход **CLE**).

Наличие признака предустановки указывает на возможность параллельной записи данных в регистр. Признак может отсутствовать или принимать значения:

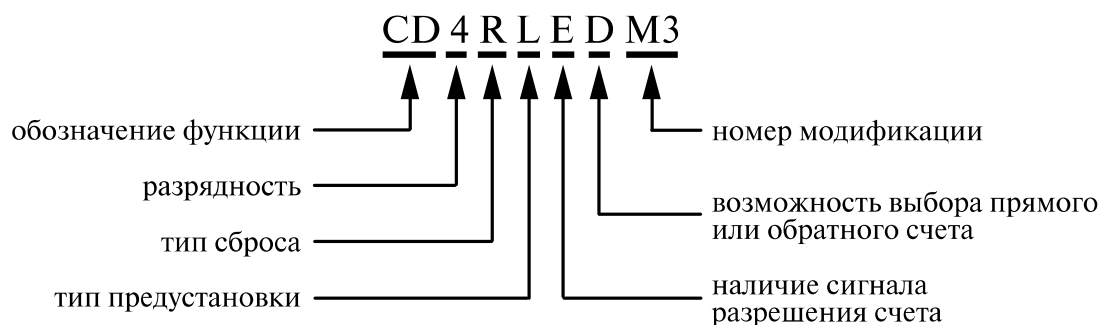
L — синхронная предустановка с синхронизацией по входу **C**;

I — асинхронная предустановка.

Признаки наличия сигналов разрешения записи **E**, перевода выходов в высокоимпедансное состояние **Z**, а также признак инверсии сигнала синхронизации могут отсутствовать. Модификациями считаются регистры, имеющие инверсные входные сигналы или другие отличия. Номер модификации может отсутствовать.

10.6.13. Счетчики

Обозначение счетчика включает в себя тип счетчика, разрядность, признаки управляющих сигналов и номер модификации.



Используются следующие обозначения функций для разных типов счетчиков:

- CB** — двоичный синхронный счетчик;
- CR** — двоичный последовательный счетчик;
- CBV** — двоичный синхронный счетчик с переменным коэффициентом счета;
- CRV** — двоичный последовательный счетчик с переменным коэффициентом счета;
- CBD** — двоично-десятичный синхронный счетчик;
- CRD** — двоично-десятичный последовательный счетчик;
- CJ** — счетчик Джонсона.

Тип сброса принимает значение **R** в случае наличия в счетчике синхронного сброса и значение **C** в случае наличия асинхронного сброса. Наличие признака предустановки указывает на возможность параллельной записи данных в счетчик (предустановка счетчика). Признак может отсутствовать или принимать значения:

- L** — синхронная предустановка с синхронизацией по входу **C**;
- I** — асинхронная предустановка.

Признак наличия сигнала разрешения счета **E** указывает на реализацию синхронного счетчика на основе триггеров с разрешением записи по входу **E**, может отсутствовать. Наличие признака выбора прямого или обратного счета **D** соответствует счетчикам, в которых имеется возможность выбора направления счета. Счетчики одного типа могут иметь модификации, которыми считаются какие-либо отличия, например инверсные входные сигналы или разный коэффициент счета. В этом случае в имени счетчика добавляется номер модификации (в частном случае равный коэффициенту счета). При отсутствии модификаций номер модификации отсутствует.