

# 5529TP015-678

## Многофункциональная цифровая микросхема для аппаратуры специального назначения

### Содержание

1.	Назначение. . . . .	3
2.	Особенности 5529TP015-678 . . . . .	3
3.	Общие сведения . . . . .	3
3.1.	Упрощенная структурная схема . . . . .	4
3.2.	Описание корпуса МФЦМ . . . . .	5
3.3.	Назначение внешних выводов. . . . .	6
4.	Описание реализованных функциональных аналогов . . . . .	7
4.1.	Логика, формирователи . . . . .	8
4.1.1.	Функциональный аналог 74HC125 . . . . .	8
4.1.2.	Функциональный аналог 74HC126 . . . . .	8
4.1.3.	Расширенный функциональный аналог 74HC260 . . . . .	9
4.1.4.	Расширенный функциональный аналог 74HC260 . . . . .	9
4.1.5.	Расширенный функциональный аналог 74HC266 . . . . .	10
4.1.6.	Мажоритарный элемент $\geq 2$ (нет прототипа) . . . . .	10
4.2.	Мультиплексоры . . . . .	11
4.2.1.	Функциональный аналог 74150 . . . . .	11
4.2.2.	Функциональный аналог 74HC298 . . . . .	12
4.3.	Дешифраторы, демультиплексоры . . . . .	13
4.3.1.	Функциональный аналог 74HC139 . . . . .	13
4.3.2.	Функциональный аналог 74LS145 . . . . .	13
4.3.3.	Функциональный аналог 74HC155 . . . . .	14
4.3.4.	Функциональный аналог 74LS156 . . . . .	14
4.3.5.	Функциональный аналог 74HC237 . . . . .	15
4.3.6.	Функциональный аналог 74HC238 . . . . .	15
4.3.7.	4 независимых демультиплексора из 1 в 2 (нет прототипа) . . . . .	16
4.3.8.	Демультиплексор из 1 в 8 (нет прототипа). . . . .	16
4.4.	Триггеры . . . . .	17
4.4.1.	Функциональный аналог 74HC279 . . . . .	17
4.5.	Регистры по перепаду . . . . .	18
4.5.1.	Функциональный аналог 74HC166 . . . . .	18
4.5.2.	Функциональный аналог 74HC323 . . . . .	18
4.5.3.	Функциональный аналог 74HC323 . . . . .	19
4.5.4.	Два 4-разрядных сдвиговых регистра (нет прототипа) . . . . .	19
4.5.5.	Два 4-разрядных сдвиговых регистра (нет прототипа) . . . . .	20
4.5.6.	8-разрядный сдвиговый регистр с загрузкой (нет прототипа) . . . . .	20
4.6.	Асинхронные счетчики . . . . .	21
4.6.1.	Функциональный аналог 74LS196 . . . . .	21
4.6.2.	Функциональный аналог 74LS197 . . . . .	21
4.6.3.	Функциональный аналог 74LS290 . . . . .	22
4.6.4.	Функциональный аналог 74LS293 . . . . .	22
4.6.5.	16-разрядный двоичный счетчик (нет прототипа) . . . . .	23
4.6.6.	16-разрядный двоичный счетчик (нет прототипа) . . . . .	24
4.7.	Синхронные счетчики . . . . .	25
4.7.1.	Функциональный аналог 74HC160 . . . . .	25
4.7.2.	Функциональный аналог 74HC162 . . . . .	25
4.7.3.	Функциональный аналог 74LS192 . . . . .	26
4.7.4.	Три счетчика по фронту (нет прототипа). . . . .	26

4.7.5.	Три счетчика по спаду (нет прототипа) . . . . .	27
4.8.	Счетчики Джонсона . . . . .	28
4.8.1.	Бессбойный 5-разрядный счетчик (нет прототипа) . . . . .	28
4.8.2.	Бессбойный 5-разрядный счетчик (нет прототипа) . . . . .	28
4.8.3.	Бессбойный 10-разрядный счетчик (нет прототипа) . . . . .	29
4.8.4.	Бессбойный 16-разрядный счетчик (нет прототипа) . . . . .	29
4.9.	Делители и синтезаторы частот . . . . .	30
4.9.1.	Функциональный аналог 74HC292 . . . . .	30
4.9.2.	Функциональный аналог 74HC294 . . . . .	30
4.9.3.	Функциональный аналог 74HC297 . . . . .	31
4.10.	Арифметические устройства . . . . .	32
4.10.1.	Функциональный аналог 74HC180 . . . . .	32
4.10.2.	Функциональный аналог 74HC181 . . . . .	32
4.10.3.	Функциональный аналог 74HC182 . . . . .	33
4.10.4.	Функциональный аналог 74LS261 . . . . .	33
4.11.	Память . . . . .	34
4.11.1.	Функциональный аналог 74LS89 . . . . .	34
4.11.2.	Неполный функциональный аналог 74LS224 . . . . .	34

## 1. Назначение

Многofункциональная цифровая микросхема (далее МФЦМ) является функциональной заменой (аналогом) широко распространенных зарубежных интегральных микросхем (прототипов) в аппаратуре специального назначения. МФЦМ изготовлена по радиационнотстойкой технологии.

## 2. Особенности 5529TP015-678

- Реализована по технологии КМОП на КНИ структурах с технологическими нормами 0,25 мкм
- Напряжение питания 3...3,3В ±10%.
- Количество информационных входов-выходов — не более 22.
- Количество адресных входов, определяющих функцию микросхемы — 6.
- Нагрузочная способность 12 мА на выход.
- Радиационнотстойкая технология с кольцевыми транзисторами.
- Разрешение для применения в аппаратуре специального и космического назначения.
- Значения задержек — TBD.

## 3. Общие сведения

МФЦМ имеет 6 адресных входов, логические уровни на которых задаются подключением к питанию или земле. Код на адресных входах выбирает одну из заложенных в микросхему функций. Назначение входов и выходов определяется выбранной функцией и позволяет МФЦМ реализовать замену распространенного прототипа. Отдельные прототипы требуют большего количества информационных выводов, чем имеется в составе МФЦМ. В таком случае роль информационных исполняет часть адресных выводов, и, следовательно, аналог «занимает» несколько адресов (обычно 4). Для некоторых адресов прототипы отсутствуют, т.е. МФЦМ реализует цифровую ИС с уникальной функцией. Ниже приведен перечень реализуемых МФЦМ функций.

1. Логика, формирователи ..... 6 вариантов.
2. Мультиплексоры ..... 2 варианта.
3. Дешифраторы, демльтиплексоры ..... 8 вариантов.
4. Триггеры ..... 1 вариант.
5. Регистры по перепаду ..... 6 вариантов.
6. Асинхронные счетчики ..... 6 вариантов.
7. Синхронные счетчики ..... 5 вариантов.
8. Счетчики Джонсона ..... 4 варианта.
9. Делители и синтезаторы частот ..... 3 варианта.
10. Арифметические устройства ..... 4 варианта.
11. Память ..... 2 варианта.

### 3.1. Упрощенная структурная схема

Упрощенная структурная схема МФЦМ приведена на рис. 1. В состав МФЦМ входят следующие основные узлы.

**U1** (селектор выбора функций) — предназначен для выбора одной из реализованных в МФЦМ функций в соответствии с кодом на адресных входах  $ADR5...ADR0$ . Нулевое значение адреса блокирует МФЦМ (информационные выходы устанавливаются в 3-е логическое состояние). При этом никакой функции не выбирается.

**U2** (буфер входов и выходов функций) — предназначен для формирования соответствующих сигналов на выходах МФЦМ, максимальный ток нагрузки 12 мА.

**F1...F51** — функциональные узлы, реализующие заложенные в МФЦМ цифровые микросхемы.

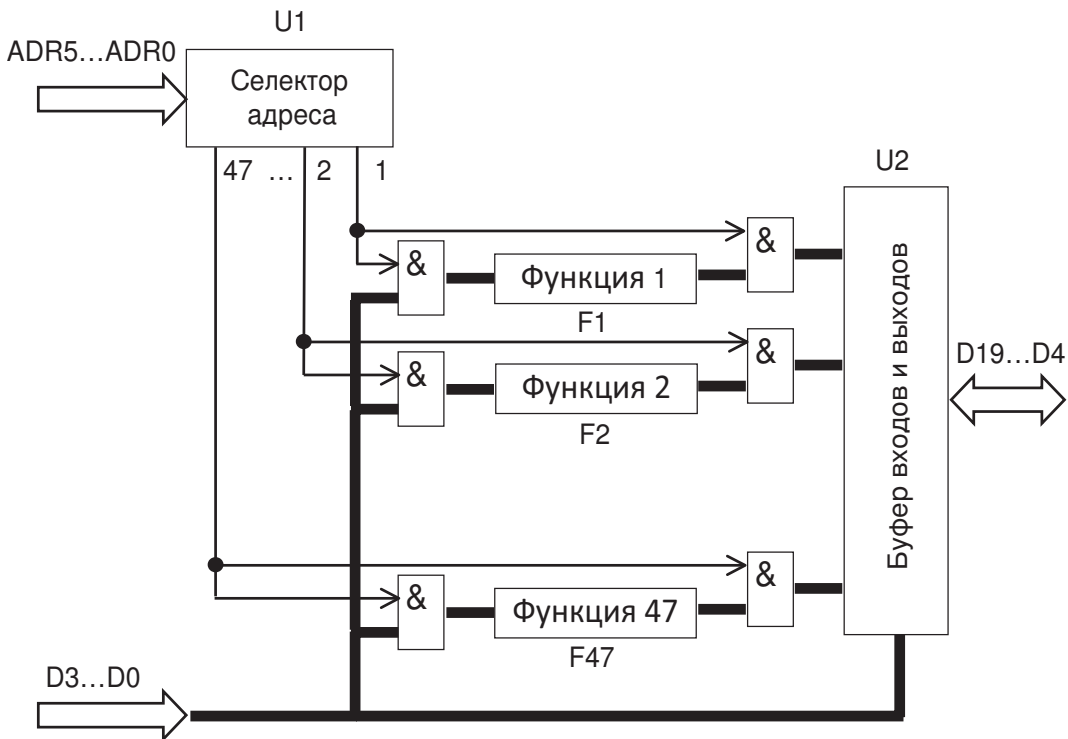
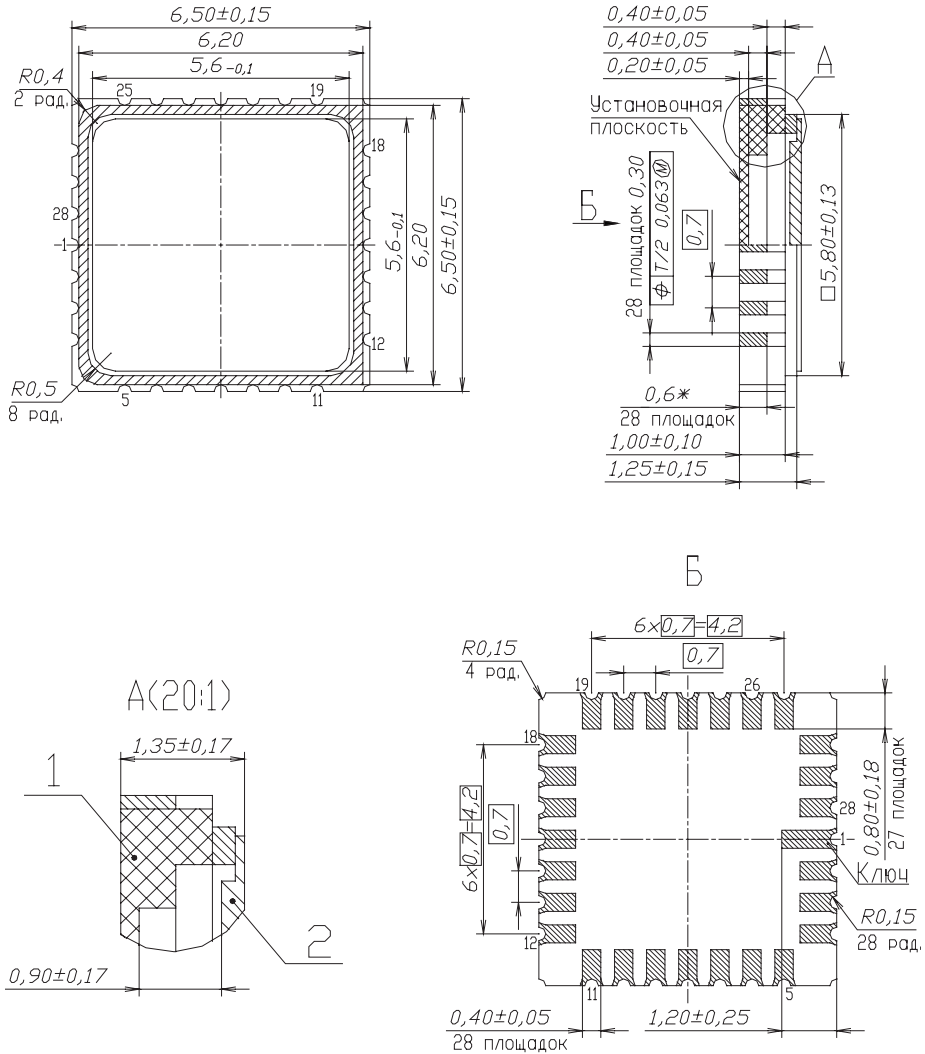


Рис. 1. Упрощенная структурная схема МФЦМ

### 3.2. Описание корпуса МФЦМ

Чертеж корпуса микросхемы приведен на рис. 2.



1. \* Размеры для справок.

2. Размеры после спекания.

3. Крышку поз.2 присоединить герметично к основанию поз.1 с помощью шовной роликовой сварки после установки кристалла.

4. Покрытие H23л.1,5.

5. Таблица соединения контактных площадок с выводными площадками приведена в чертеже основания

6. Монтажная площадка не металлизирована. Ободок электрически изолирован от выводных площадок корпуса.

7. Неуказанные значения предельных отклонения не более  $\pm 0,20$  мм.

Рис. 2. Чертеж корпуса

### 3.3. Назначение внешних выводов

В приведено краткое описание выводов МФЦМ.

Таблица 1. Выводы МФЦМ

Номер	Имя	Описание
1	VDD	Плюс источника питания
2	ADR2	Адресный вход (выбор функции)
3	ADR1	Адресный вход (выбор функции)
4	ADR0	Адресный вход (выбор функции)
5	D0	Информационный вход функции
6	D1	Информационный вход функции
7	D2	Информационный вход функции
8	D3	Информационный вход функции
9	D4	Информационный вход или выход функции
10	D5	Информационный вход или выход функции
11	D6	Информационный вход или выход функции
12	D7	Информационный вход или выход функции
13	D8	Информационный вход или выход функции
14	D9	Информационный вход или выход функции
15	GND	Минус источника питания (общий провод, «земля»)
16	D10	Информационный вход или выход функции
17	D11	Информационный вход или выход функции
18	D12	Информационный вход или выход функции
19	D13	Информационный вход или выход функции
20	D14	Информационный вход или выход функции
21	D15	Информационный вход или выход функции
22	D16	Информационный вход или выход функции
23	D17	Информационный вход или выход функции
24	D18	Информационный вход или выход функции
25	D19	Информационный вход или выход функции
26	ADR5	Адресный вход (выбор функции)
27	ADR4	Адресный вход (выбор функции)
28	ADR3	Адресный вход (выбор функции)

#### 4. Описание реализованных функциональных аналогов

Ниже приводится описание реализованных в МФЦМ функциональных аналогов. Все описания используют положительную логику (логическая 1 — высокий уровень, логический 0 — низкий).

При описании используются следующие общепринятые обозначения:

X — произвольное логическое состояние (любой перепад, 0 или 1)

Z — 3-е логическое состояние (высокое сопротивление, выход отключен)

& — логическая функция И;

+ — логическая функция ИЛИ для логики, суммирование для счетчиков;

$\overline{Q0}$  — логическая инверсия операнда Q0;

$\uparrow$  — фронт (перепад от низкого уровня к высокому);

$\downarrow$  — спад (перепад от высокого уровня к низкому);

$\overline{\uparrow}$  — не фронт (спад, 0 или 1);

$\overline{\downarrow}$  — не спад (фронт, 0 или 1);

Q=const или просто const — означает неизменность состояния, т.е. сохранение операндом или битом своего значения.

Везде, где возможно, для наименования выводов использованы обозначения, взятые из документации на прототипы.

Для обозначения сигналов на входах и выходах используются латинские буквы или комбинации букв и цифр (например: CE0, D1, q3 и т.п.). Буквы обозначают функциональную принадлежность сигнала (данные, входы, выходы, синхронизация, сброс и т.п.). Цифры нумеруют сигналы внутри функциональной группы (номер сигнала разрешения, номер разряда, номер канала, адрес ячейки и т.п.). При возможных разночтениях следует смотреть примечания.

Для групповых операций могут использоваться замены цифр строчной буквой «x», например Qx может означать любой из разрядов Q7...Q0.

В некоторых случаях используется обозначенное буквой число, представленное разрядами устройства, например Q — число образованное разрядами Q3...Q0.

При обозначении выводов многоразрядных мультиплексоров и демultipлексоров сначала дается номер канала, затем — разряда, например 2D0 следует понимать как 2-й канал 0-й разряд. Если состояния выходов регистра или счетчика однозначно соответствует состояниям триггеров, то для простоты при их описании используются обозначения состояний выходов заглавными буквами (например: Q0, Q1 и т.п.). В некоторых регистрах и счетчиках состояния выходов являются логическими функциями состояний соответствующих триггеров и других сигналов. В таком случае состояния триггеров обозначаются строчными буквами (например: q0, q1 и т.п.), а состояния соответствующих выходов по-прежнему — заглавными.

В диаграммах переходов счетчиков коды состояний даны в десятичной системе счисления.

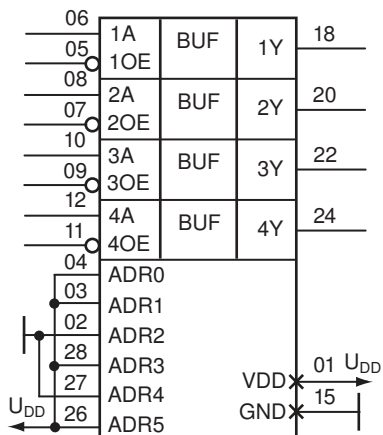
## 4.1. Логика, формирователи

### 4.1.1. Функциональный аналог 74HC125

4 независимых буфера с 3-м логическим состоянием по «1».

**Адрес 101011.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 xA — информационный вход;  
 xOE — вход управления;  
 xY — информационный выход.

**Таблица состояний**

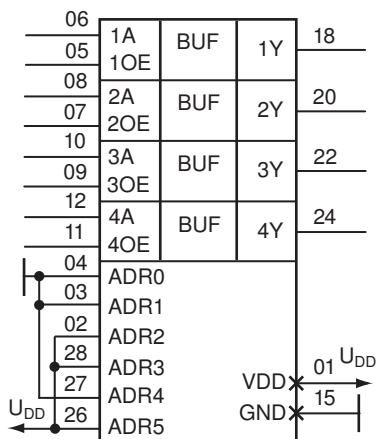
xOE	xA	xY
1	X	Z
0	0	0
0	1	1

### 4.1.2. Функциональный аналог 74HC126

4 независимых буфера с 3-м логическим состоянием по «0».

**Адрес 101100.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 xA — информационный вход;  
 xOE — вход управления;  
 xY — информационный выход.

**Таблица состояний**

xOE	xA	xY
0	X	Z
1	0	0
1	1	1

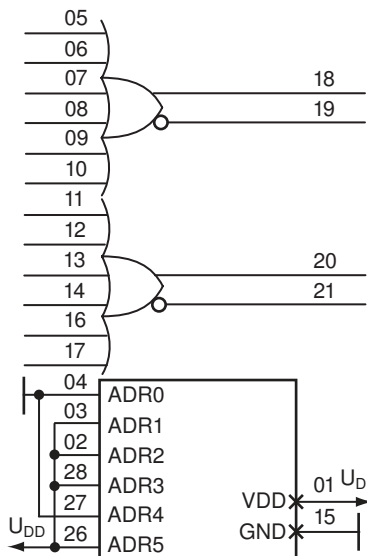


### 4.1.3. Расширенный функциональный аналог 74НС260

2 вентиля 6ИЛИ с прямым и инверсным выходами.

**Адрес 101110.**

**Условное графическое обозначение**



**Назначение выводов аналога**

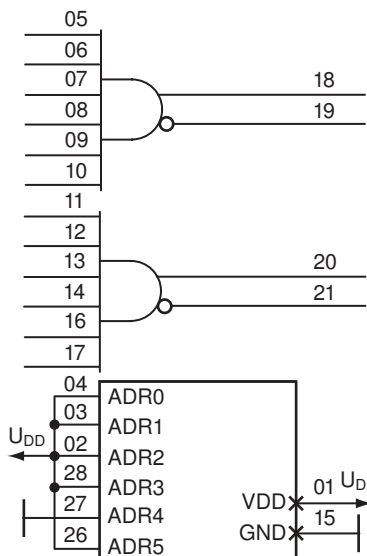
ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;

### 4.1.4. Расширенный функциональный аналог 74НС260

2 вентиля 6И с прямым и инверсным выходами.

**Адрес 101111.**

**Условное графическое обозначение**



**Назначение выводов аналога**

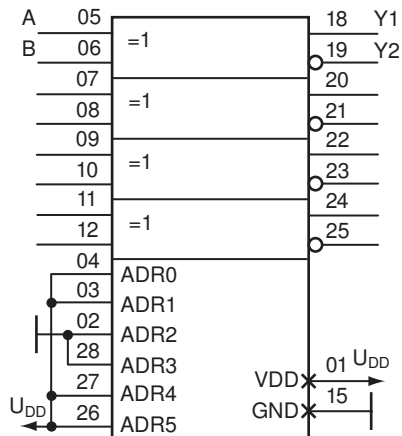
ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;

#### 4.1.5. Расширенный функциональный аналог 74НС266

4 вентиля ИСКЛЮЧАЮЩЕЕ ИЛИ с прямым и инверсным выходами. Выходы с открытым стоком.

Адрес 110011.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
VDD — вывод подключения питания;  
GND — вывод общего провода;

Таблица состояний

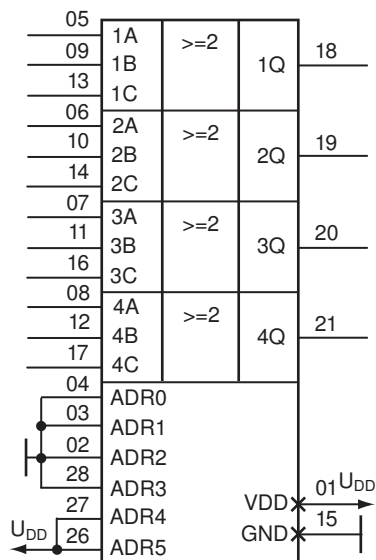
A	B	Y1	Y2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

#### 4.1.6. Мажоритарный элемент $\geq 2$ (нет прототипа)

4 мажоритарных элемента (элемента голосования) «больше или равно 2».

Адрес 110000.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
VDD — вывод подключения питания;  
GND — вывод общего провода;  
xA...xC — входы;  
xQ — выход (результат голосования).

Таблица состояний

xA	xB	xC	xQ
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

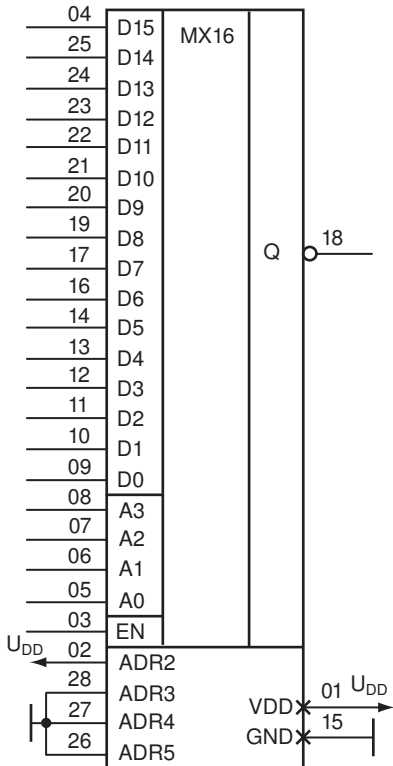
## 4.2. Мультиплексоры

### 4.2.1. Функциональный аналог 74150

Мультиплексор из 16 в 1 с инверсным выходом и разрешением «1»..

Адрес 0001XX.

Условное графическое обозначение



Назначение выводов аналога

ADR2...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 D15...D0 — входы данных;  
 A3...A0 — входы адреса;  
 EN — вход разрешения «1»;  
 Q — инверсный выход данных.

Таблица состояний

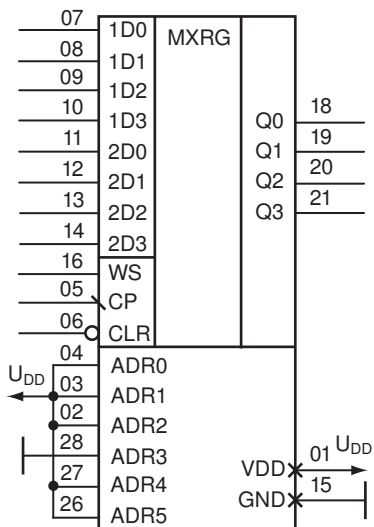
A3	A2	A1	A0	EN	Q
0	0	0	0	1	D0
0	0	0	1	1	D1
0	0	1	0	1	D2
0	0	1	1	1	D3
0	1	0	0	1	D4
0	1	0	1	1	D5
0	1	1	0	1	D6
0	1	1	1	1	D7
1	0	0	0	1	D8
1	0	0	1	1	D9
1	0	1	0	1	D10
1	0	1	1	1	D11
1	1	0	0	1	D12
1	1	0	1	1	D13
1	1	1	0	1	D14
1	1	1	1	1	D15
X	X	X	X	0	1

### 4.2.2. Функциональный аналог 74НС298

4-разрядный мультиплексор из 2 в 1 с регистром на выходе. Синхронизация записи в регистр спадом. Асинхронный сброс регистра «0»..

#### Адрес 110111.

#### Условное графическое обозначение



#### Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- 1D0...1D3 — входы данных 1-го канала;
- 2D0...2D3 — входы данных 2-го канала;
- WS — вход адреса канала;
- CP — вход синхронизации спадом;
- CLR — вход сброса регистра «0»;
- Q0...Q3 — выходы регистра.

#### Таблица состояний

CLR	WS	CP	Qx
0	X	X	0
1	0	$\downarrow$	1Dx
1	1	$\downarrow$	2Dx
1	X	$\bar{\downarrow}$	qx

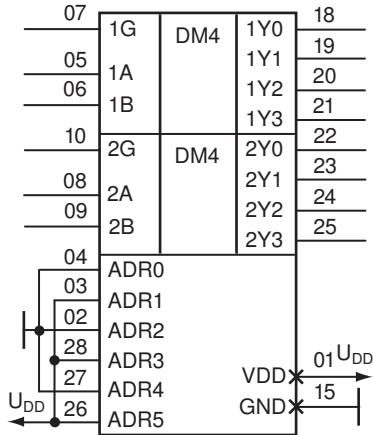
### 4.3. Дешифраторы, демультиплексоры

#### 4.3.1. Функциональный аналог 74HC139

Два независимых демультиплексора из 1 в 4 без входов разрешения ..

Адрес 101010.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- xG — вход данных;
- xA,xB — входы адреса;
- xY0...xY3 — выходы направлений.

Таблица состояний каналов

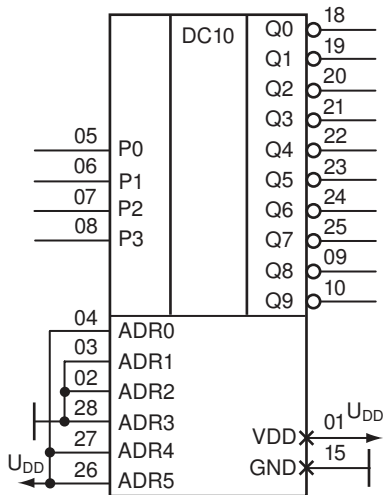
xB	xA	xY0	xY1	xY2	xY3
0	0	xG	1	1	1
0	1	1	xG	1	1
1	0	1	1	xG	1
1	1	1	1	1	xG

#### 4.3.2. Функциональный аналог 74LS145

Дешифратор из 4 в 10 с открытым стоком, активным «0» на выходе и без входов разрешения..

Адрес 110001.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- P0...P3 — входы адреса;
- Q0...Q9 — выходы с активным «0».

Таблица состояний

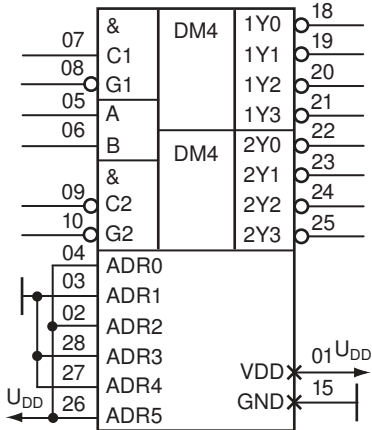
P3	P2	P1	P0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

### 4.3.3. Функциональный аналог 74HC155

Двухканальный демультиплексор из 1 в 4 с общими адресными входами. Разрешение 1-го канала «1». Разрешение 2-го канала «0»..

Адрес 100101.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- C1 — вход разрешения 1-го канала «1»;
- C2 — вход разрешения 2-го канала «0»;
- G1 — вход данных 1-го канала;
- G2 — вход данных 2-го канала;
- A,B — входы адреса обоих каналов;
- 1Y0...1Y3 — выходы направлений 1-го канала;
- 2Y0...2Y3 — выходы направлений 2-го канала.

Таблица состояний каналов

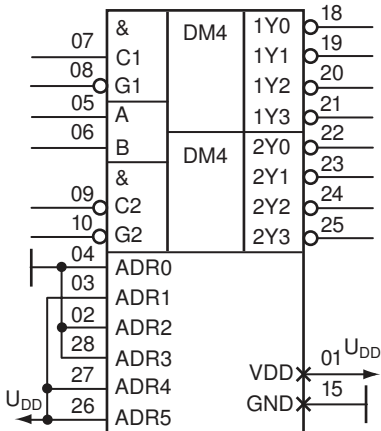
B	A	C1	1Y0	1Y1	1Y2	1Y3	C2	2Y0	2Y1	2Y2	2Y3
0	0	1	G1	1	1	1	0	G2	1	1	1
0	1	1	1	G1	1	1	0	1	G2	1	1
1	0	1	1	1	G1	1	0	1	1	G2	1
1	1	1	1	1	1	G1	0	1	1	1	G2
X	X	0	1	1	1	1	1	1	1	1	1

### 4.3.4. Функциональный аналог 74LS156

Двухканальный демультиплексор из 1 в 4 с общими адресными входами и выходами с открытым стоком. Разрешение 1-го канала «1». Разрешение 2-го канала «0»..

Адрес 110010.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- C1 — вход разрешения 1-го канала «1»;
- C2 — вход разрешения 2-го канала «0»;
- G1 — вход данных 1-го канала;
- G2 — вход данных 2-го канала;
- A,B — входы адреса обоих каналов;
- 1Y0...1Y3 — выходы направлений 1-го канала;
- 2Y0...2Y3 — выходы направлений 2-го канала.

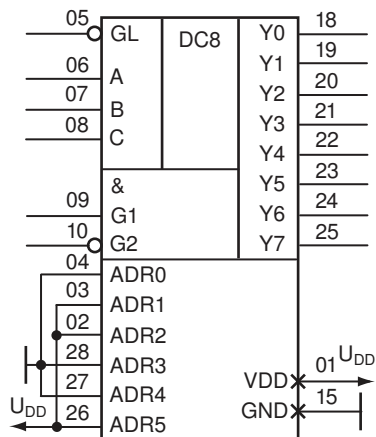
Таблица состояний каналов

B	A	C1	1Y0	1Y1	1Y2	1Y3	C2	2Y0	2Y1	2Y2	2Y3
0	0	1	G1	1	1	1	0	G2	1	1	1
0	1	1	1	G1	1	1	0	1	G2	1	1
1	0	1	1	1	G1	1	0	1	1	G2	1
1	1	1	1	1	1	G1	0	1	1	1	G2
X	X	0	1	1	1	1	1	1	1	1	1

### 4.3.5. Функциональный аналог 74НС237

Дешифратор из 3 в 8 с регистром-защелкой адреса «1», активной «1» на выходе и входами разрешения. Инверсный и прямой входы разрешения объединены по 2И..

**Адрес 100110.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- GL — вход защелкивания адреса «1»;
- A...C — входы адреса;
- G1 — вход разрешения «1»;
- G2 — вход разрешения «0»;
- Y0...Y7 — выходы (активный «1»).

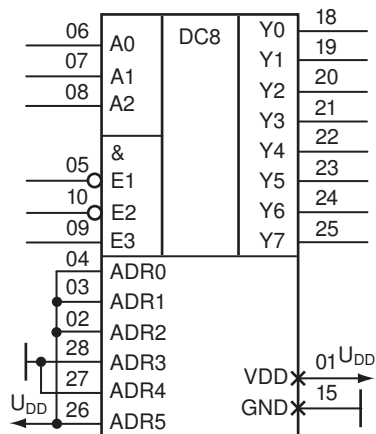
**Таблица состояний**

C	B	A	GL	G2	G1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	1	0	0	0	0	0
0	1	1	0	0	1	0	0	0	1	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	1	0	0	0	0	0	0	1	0
1	1	1	0	0	1	0	0	0	0	0	0	0	1
X	X	X	1	0	1	по адресу из регистра							
X	X	X	X	1	X	0	0	0	0	0	0	0	0
X	X	X	X	X	0	0	0	0	0	0	0	0	0

### 4.3.6. Функциональный аналог 74НС238

Дешифратор из 3 в 8 с активной «1» на выходе и входами разрешения. Два инверсных и один прямой входы разрешения объединены по 3И..

**Адрес 100111.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- A0...A3 — входы адреса;
- E1 — вход разрешения «0»;
- E2 — вход разрешения «0»;
- E3 — вход разрешения «1»;
- Y0...Y7 — выходы (активный «1»).

**Таблица состояний**

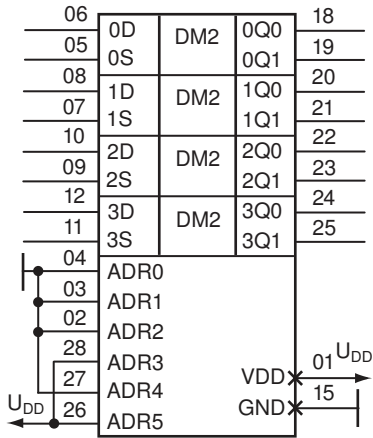
A2	A1	A0	E1	E2	E3	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	1	0	0	0	0	0
0	1	1	0	0	1	0	0	0	1	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	1	0	0	0	0	0	0	1	0
1	1	1	0	0	1	0	0	0	0	0	0	0	1
X	X	X	1	X	X	0	0	0	0	0	0	0	0
X	X	X	X	1	X	0	0	0	0	0	0	0	0
X	X	X	X	X	0	0	0	0	0	0	0	0	0

### 4.3.7. 4 независимых демультиплектора из 1 в 2 (нет прототипа)

4 независимых демультиплектора из 1 в 2 без входов разрешения..

**Адрес 101000.**

**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- xD — вход данных;
- xS — вход адреса;
- xQ0, xQ1 — выходы направлений.

**Таблица состояний**

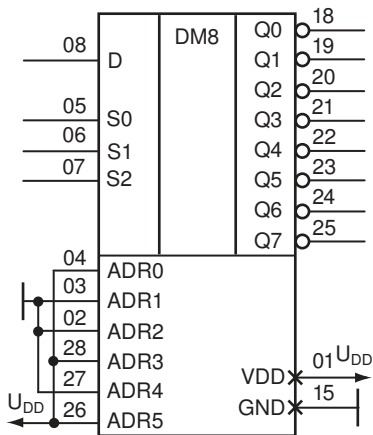
xS	xQ0	xQ1
0	xD	0
1	0	xD

### 4.3.8. Демультиплектор из 1 в 8 (нет прототипа)

Демультиплектор из 1 в 8 с инверсией и без входов разрешения..

**Адрес 101001.**

**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- D — вход данных;
- S0...S2 — входы адреса;
- Q0...Q7 — инверсные выходы направлений.

**Таблица состояний**

S2	S1	S0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	$\bar{D}$	1	1	1	1	1	1	1
0	0	1	1	$\bar{D}$	1	1	1	1	1	1
0	1	0	1	1	$\bar{D}$	1	1	1	1	1
0	1	1	1	1	1	$\bar{D}$	1	1	1	1
1	0	0	1	1	1	1	$\bar{D}$	1	1	1
1	0	1	1	1	1	1	1	$\bar{D}$	1	1
1	1	0	1	1	1	1	1	1	$\bar{D}$	1
1	1	1	1	1	1	1	1	1	1	$\bar{D}$



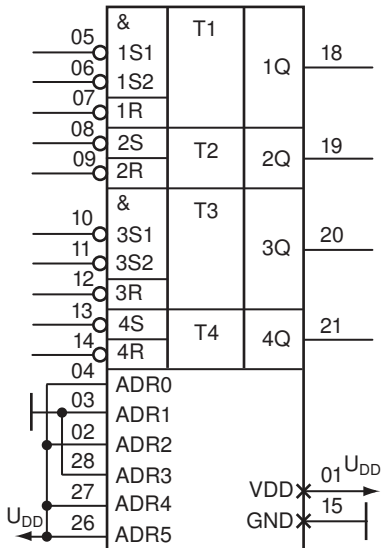
## 4.4. Триггеры

### 4.4.1. Функциональный аналог 74HC279

4 RS триггера с прямым выходом и входами установки и сброса «0». У 2 триггеров по 2 входа установки объединенных по 2И.

**Адрес 110101.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 xS1, xS2 — входы установки «0» по 2И;  
 xS — входы установки «0»;  
 xR — входы сброса «0»;  
 xQ — выходы.

**Таблица состояний**

xS	xR	xQ
0	0	1
0	1	1
1	0	0
1	1	xQ

Для нечетных триггеров:

$$xS = xS1 \& xS2$$

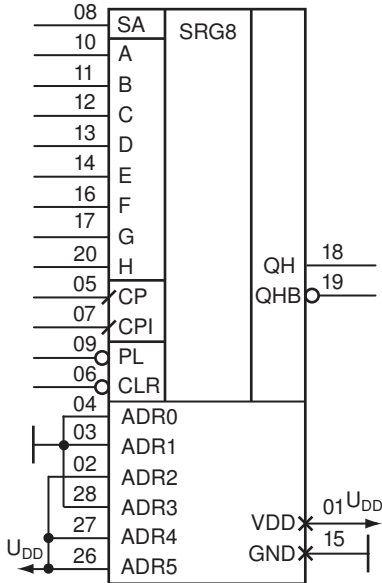
## 4.5. Регистры по перепаду

### 4.5.1. Функциональный аналог 74НС166

8-разрядный однонаправленный сдвиговый регистр. Два схода синхронизации фронтом по 2ИЛИ. Синхронная параллельная загрузка «0», иначе сдвиг. Асинхронный сброс «0». Последовательный вход и последовательный парафазный выход.

Адрес 110100.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5 — входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 SA — последовательный вход (разряд a);  
 A...H — входы загрузки (все разряды);  
 CP, CPI — входы синхронизации фронтом по 2ИЛИ;  
 PL — вход загрузки «0», иначе сдвиг;  
 CLR — вход асинхронного сброса «0»;  
 QH, QHB — парафазные выходы (разряд h).

Таблица состояний

CLR	PL	CPI	CP	a	b	QH	Режим
0	X	X	X	0	0	0	сброс
1	0	0	/	A	B	h	загрузка
1	0	/	0	A	B	h	загрузка
1	1	0	/	SA	a	g	сдвиг
1	1	/	0	SA	a	g	сдвиг
1	X	1	X	a	b	h	хранение
1	X	X	1	a	b	h	хранение

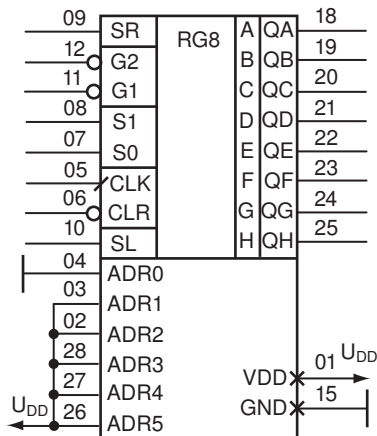
Примечание. Строчными буквами обозначены состояния соответствующих триггеров регистра.

### 4.5.2. Функциональный аналог 74НС323

8-разрядный реверсивный сдвиговый регистр. Параллельные входы-выходы с 3-м состоянием. Последовательные входы. Синхронизация фронтом в режимах: сброс, сдвиг влево, вправо, загрузка.

Адрес 111110.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5 — входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 SR, SL — последовательные входы (разряды a, h);  
 G1, G2 — входы 3-го состояния;  
 S1, S0 — входы режима;  
 CLK — вход синхронизации фронтом;  
 CLR — вход синхронного сброса «0»;  
 A...H — входы данных;  
 QA...QH — выходы данных с 3-м состоянием.

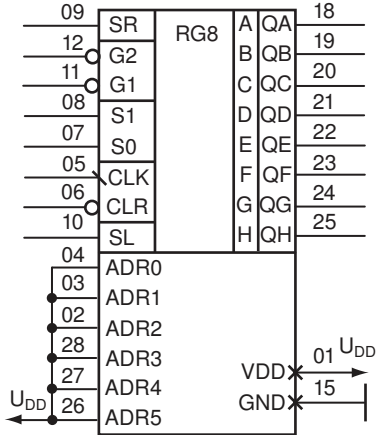
Таблица состояний

CLR	S1	S0	G1+G2	CLK	a	h	QA	QH	Режим
0	0	X	0/1	/	0	0	0/Z	0/Z	сброс
0	X	0	0/1	/	0	0	0/Z	0/Z	сброс
0	1	1	X	/	0	0	Z	Z	сброс
1	0	0	0/1	X	a	h	a/Z	h/Z	хранение
1	0	1	0/1	/	SR	g	SR/Z	g/Z	сдвиг вправо
1	1	0	0/1	/	b	SL	b/Z	SL/Z	сдвиг влево
1	1	1	X	/	A	H	Z	Z	загрузка

### 4.5.3. Функциональный аналог 74НС323

8-разрядный реверсивный сдвиговый регистр. Параллельные входы-выходы с 3-м состоянием. Последовательные входы. Синхронизация спадом в режимах: сброс, сдвиг влево, вправо, загрузка.

**Адрес 111111.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- SR, SL — последовательный входы (разряды a, h);
- G1, G2 — входы 3-го состояния ;
- S1, S0 — входы режима;
- CLK — вход синхронизации спадом;
- CLR — вход синхронного сброса «0»;
- A...H — входы данных;
- QA...QH — выходы данных с 3-м состоянием.

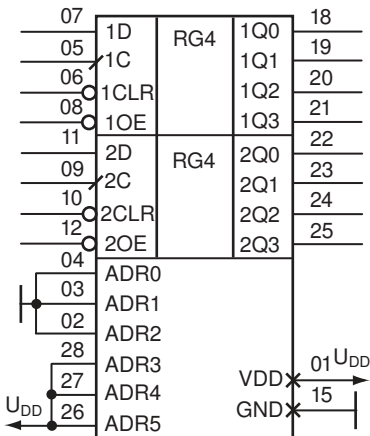
**Таблица состояний**

CLR	S1	S0	G1+G2	CLK	a	h	QA	QH	Режим
0	0	X	0/1	$\bar{\phantom{x}}$	0	0	0/Z	0/Z	сброс
0	X	0	0/1	$\bar{\phantom{x}}$	0	0	0/Z	0/Z	сброс
0	1	1	X	$\bar{\phantom{x}}$	0	0	Z	Z	сброс
1	0	0	0/1	X	a	h	a/Z	h/Z	хранение
1	0	1	0/1	$\bar{\phantom{x}}$	SR	g	SR/Z	g/Z	сдвиг вправо
1	1	0	0/1	$\bar{\phantom{x}}$	b	SL	b/Z	SL/Z	сдвиг влево
1	1	1	X	$\bar{\phantom{x}}$	A	H	Z	Z	загрузка

### 4.5.4. Два 4-разрядных сдвиговых регистра (нет прототипа)

Два независимых 4-разрядных однонаправленных сдвиговых регистра. Синхронизация фронтом. Последовательный вход. Параллельные выходы с 3-м состоянием по «1». Асинхронный сброс «0».

**Адрес 111000.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- xD — последовательный вход данных;
- xC — вход синхронизации фронтом;
- xCLR — вход асинхронного сброса «0»;
- xOE — вход 3-го состояния «1»;
- xQ0...xQ3 — выходы данных с 3-м состоянием.

**Таблица состояний**

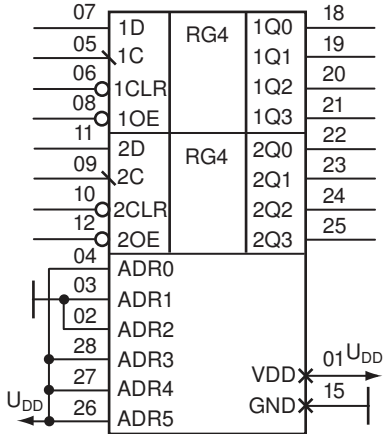
xCLR	xOE	xC	xq0	xq3	xQ0	xQ3	Режим
0	0	X	0	0	0	0	сброс
0	1	X	0	0	Z	Z	сброс
1	0	$\bar{\phantom{x}}$	xD	xq2	xD	xq2	сдвиг
1	1	$\bar{\phantom{x}}$	xD	xq2	Z	Z	сдвиг
1	0	$\bar{\phantom{x}}$	xq0	xq3	xq0	xq3	хранение
1	1	$\bar{\phantom{x}}$	xq0	xq3	Z	Z	хранение

#### 4.5.5. Два 4-разрядных сдвиговых регистра (нет прототипа)

Два независимых 4-разрядных однонаправленных сдвиговых регистра. Синхронизация спадом. Последовательный вход. Параллельные выходы с 3-м состоянием по «1». Асинхронный сброс «0».

Адрес 111001.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- xD — последовательный вход данных;
- xC — вход синхронизации спадом;
- xCLR — вход асинхронного сброса «0»;
- xOE — вход 3-го состояния «1»;
- xQ0...xQ3 — выходы данных с 3-м состоянием.

Таблица состояний

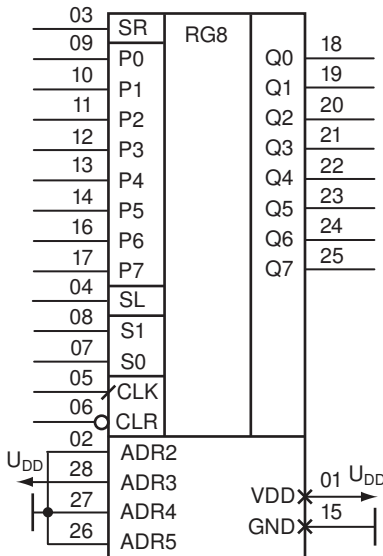
xCLR	xOE	xC	xq0	xq3	xQ0	xQ3	Режим
0	0	X	0	0	0	0	сброс
0	1	X	0	0	Z	Z	сброс
1	0	$\setminus$	xD	xq2	xD	xq2	сдвиг
1	1	$\setminus$	xD	xq2	Z	Z	сдвиг
1	0	$\bar{\setminus}$	xq0	xq3	xq0	xq3	хранение
1	1	$\bar{\setminus}$	xq0	xq3	Z	Z	хранение

#### 4.5.6. 8-разрядный сдвиговый регистр с загрузкой (нет прототипа)

8-разрядный реверсивный сдвиговый регистр. Раздельные параллельные входы и выходы. Последовательные входы. Синхронизация фронтом в режимах: сдвиг влево, вправо, загрузка. Асинхронный сброс «0».

Адрес 0010XX.

Условное графическое обозначение



Назначение выводов аналога

- ADR2...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- SR, SL — последовательные входы (разряды 0, 7);
- P0...P7 — входы параллельной загрузки;
- S1, S0 — входы режима;
- CLK — вход синхронизации фронтом;
- CLR — вход асинхронного сброса «0»;
- Q0...Q7 — выходы данных.

Таблица состояний

CLR	S1	S0	CLK	q0	q7	Q0	Q7	Режим
0	X	X	X	0	0	0	0	сброс
1	0	0	X	q0	q7	q0	q7	хранение
1	0	1	$\setminus$	SR	q6	SR	q6	сдвиг вправо
1	1	0	$\setminus$	q1	SL	q1	SL	сдвиг влево
1	1	1	$\setminus$	P0	P7	P0	P7	загрузка

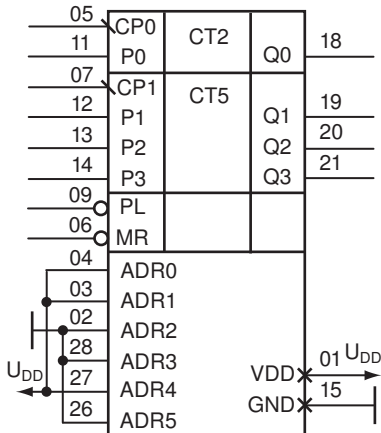
## 4.6. Асинхронные счетчики

### 4.6.1. Функциональный аналог 74LS196

Асинхронные суммирующие счетчики по модулю 2 и 5. Раздельная синхронизация по спаду. Общие асинхронные сброс и загрузка «0».

Адрес 010011.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CP0 — вход синхронизации счетчика M2;  
 CP1 — вход синхронизации счетчика M5;  
 PL — вход асинхронной загрузки «0»;  
 MR — вход асинхронного сброса «0»;  
 P0...P3 — входы данных загрузки;  
 Q0...Q3 — выходы данных.

Таблица состояний

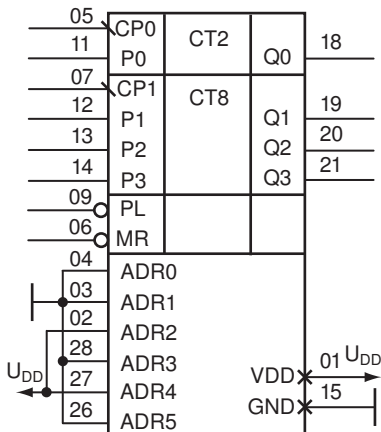
MR	PL	CPx	Q
0	X	X	0
1	0	X	P
1	1	$\bar{\phantom{x}}$	$Q=(Q+1)\%M$
1	1	$\bar{\phantom{x}}$	const

### 4.6.2. Функциональный аналог 74LS197

Асинхронные суммирующие счетчики по модулю 2 и 8. Раздельная синхронизация по спаду. Общие асинхронные сброс и загрузка «0».

Адрес 010100.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CP0 — вход синхронизации счетчика M2;  
 CP1 — вход синхронизации счетчика M8;  
 PL — вход асинхронной загрузки «0»;  
 MR — вход асинхронного сброса «0»;  
 P0...P3 — входы данных загрузки;  
 Q0...Q3 — выходы данных.

Таблица состояний

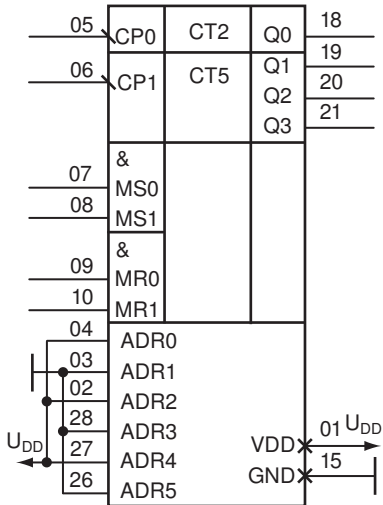
MR	PL	CPx	Q
0	X	X	0
1	0	X	P
1	1	$\bar{\phantom{x}}$	$Q=(Q+1)\%M$
1	1	$\bar{\phantom{x}}$	const

### 4.6.3. Функциональный аналог 74LS290

Асинхронные суммирующие счетчики по модулю 2 и 5. Раздельная синхронизация по спаду. Общий асинхронный сброс по 2И. Общая асинхронная установка по 2И.

Адрес 010101.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CP0 — вход синхронизации счетчика M2;
- CP1 — вход синхронизации счетчика M5;
- MS0, MS1 — входы асинхронной установки «1»;
- MR0, MR1 — входы асинхронного сброса «1»;
- Q0...Q3 — выходы данных.

Таблица состояний

MS0&MS1	MR0&MR1	CPx	Q
1	X	X	9
0	1	X	0
0	0	$\lambda$	$Q=(Q+1)\%M$
0	0	$\bar{\lambda}$	const

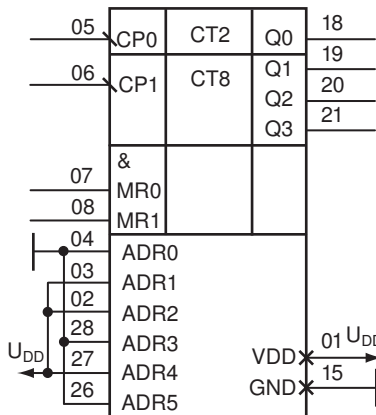
Примечание. Установка «9» соответствует нумерации битов выхода в естественном порядке Q3...Q0

### 4.6.4. Функциональный аналог 74LS293

Асинхронные суммирующие счетчики по модулю 2 и 8. Раздельная синхронизация по спаду. Общий асинхронный сброс по 2И.

Адрес 010110.

Условное графическое обозначение



Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CP0 — вход синхронизации счетчика M2;
- CP1 — вход синхронизации счетчика M8;
- MR0, MR1 — входы асинхронного сброса «1»;
- Q0...Q3 — выходы данных.

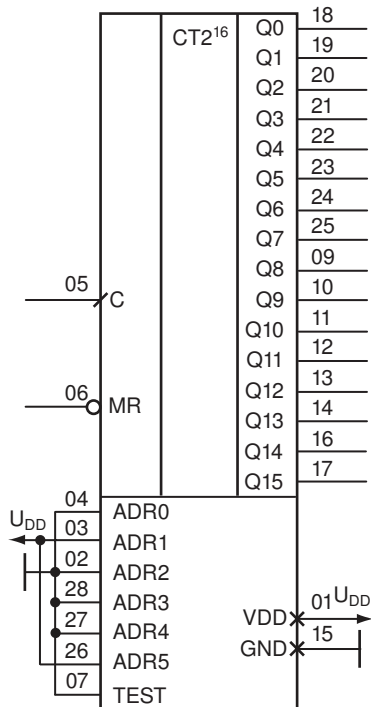
Таблица состояний

MR0&MR1	CPx	Q
1	X	0
0	$\lambda$	$Q=(Q+1)\%M$
0	$\bar{\lambda}$	const

#### 4.6.5. 16-разрядный двоичный счетчик (нет прототипа)

Асинхронный суммирующий счетчик по модулю 65536. Синхронизация по фронту. Асинхронный сброс «0». Тестовый режим.

**Адрес 100010.**  
**Условное графическое обозначение**



#### Назначение выводов

- ADR0...ADR5— входы адреса функции;
- TEST — вход теста;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- C — вход синхронизации;
- MR — вход асинхронного сброса «0»;
- Q0...Q15 — выходы данных.

**Таблица состояний**

MR	C	Q
0	X	0
1	↗	$Q=(Q+1)\%65536$
1	↘	const

#### 4.6.6. 16-разрядный двоичный счетчик (нет прототипа)

Асинхронный суммирующий счетчик по модулю 65536. Синхронизация по спаду. Асинхронный сброс «0». Тестовый режим.

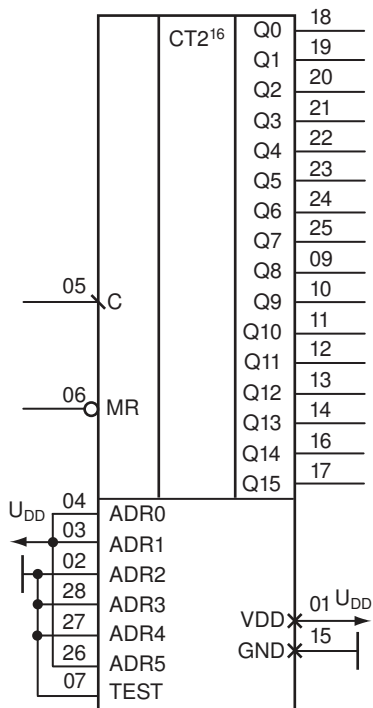
**Адрес 100011.**  
Условное графическое обозначение

#### Назначение выводов

ADR0...ADR5— входы адреса функции;  
TEST — вход теста;  
VDD — вывод подключения питания;  
GND — вывод общего провода;  
C — вход синхронизации;  
MR — вход асинхронного сброса «0»;  
Q0...Q15 — выходы данных.

Таблица состояний

MR	C	Q
0	X	0
1	$\downarrow$	$Q=(Q+1)\%65536$
1	$\bar{\downarrow}$	const





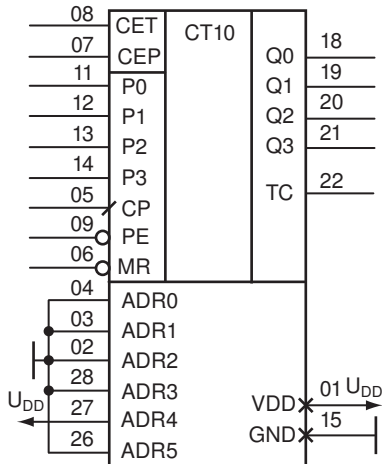
## 4.7. Синхронные счетчики

### 4.7.1. Функциональный аналог 74НС160

Синхронный суммирующий счетчик по модулю 10 с загрузкой. Синхронизация по фронту. Асинхронный сброс по «0». Синхронная загрузка «0». Разрешение счета и переноса «1».

Адрес 010000.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CET — вход разрешения счета «1»;  
 CEP — вход разрешения переноса «1»;  
 CP — вход синхронизации;  
 PE — вход синхронной загрузки «0»;  
 MR — вход асинхронного сброса «0»;  
 P0...P3 — входы данных загрузки;  
 Q0...Q3 — выходы данных;  
 TC — выход разрешения переноса «1».

Диаграмма состояний

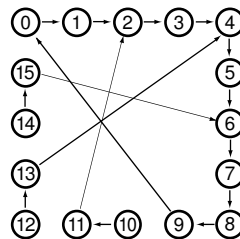


Таблица состояний

MR	PE	CET	CEP	CP	Q
0	X	X	X	X	0
1	0	X	X	/	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	/	см. диагр.
1	1	1	1	/	const

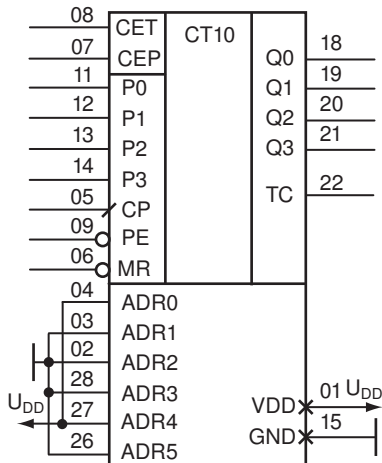
$$TC = CET \& Q0 \& \overline{Q1} \& \overline{Q2} \& Q3$$

### 4.7.2. Функциональный аналог 74НС162

Синхронный суммирующий счетчик по модулю 10 с загрузкой. Синхронизация по фронту. Синхронные сброс и загрузка «0». Разрешение счета и переноса «1».

Адрес 010001.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CET — вход разрешения счета «1»;  
 CEP — вход разрешения переноса «1»;  
 CP — вход синхронизации;  
 PE — вход синхронной загрузки «0»;  
 MR — вход синхронного сброса «0»;  
 P0...P3 — входы данных загрузки;  
 Q0...Q3 — выходы данных;  
 TC — выход разрешения переноса «1».

Диаграмма состояний

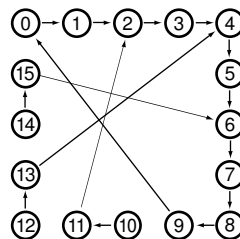


Таблица состояний

MR	PE	CET	CEP	CP	Q
0	X	X	X	/	0
1	0	X	X	/	P
1	1	X	0	X	const
1	1	0	X	X	const
1	1	1	1	/	см. диагр.
1	1	1	1	/	const

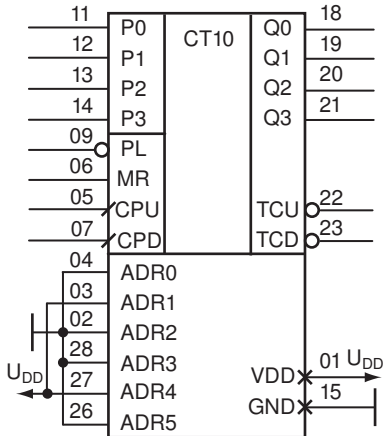
$$TC = CET \& Q0 \& \overline{Q1} \& \overline{Q2} \& Q3$$

### 4.7.3. Функциональный аналог 74LS192

Синхронный реверсивный счетчик по модулю 10 с загрузкой. Раздельная синхронизация для UP и DOWN по фронту. Асинхронные сброс «1» и загрузка «0». Выходы заема и переноса фронтом.

**Адрес 010010.**

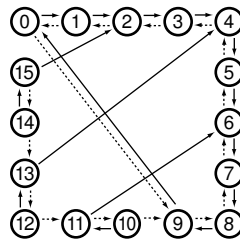
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CPU — вход синхронизации +1 (UP);
- CPD — вход синхронизации -1 (DOWN);
- PL — вход асинхронной загрузки «0»;
- MR — вход асинхронного сброса «1»;
- P0...P3 — входы данных загрузки;
- Q0...Q3 — выходы данных;
- TCU — выход переноса фронтом;
- TCD — выход заема фронтом.

**Диаграмма состояний**



**Таблица состояний**

MR	PE	CPU	CPD	Q
1	X	X	X	0
0	0	X	X	P
0	1	∕	1	+1(см. диагр.)
0	1	1	∕	-1(см. диагр.)
0	1	∕	∕	const

$$TCU = \overline{Q0} + \overline{Q3} + CPU$$

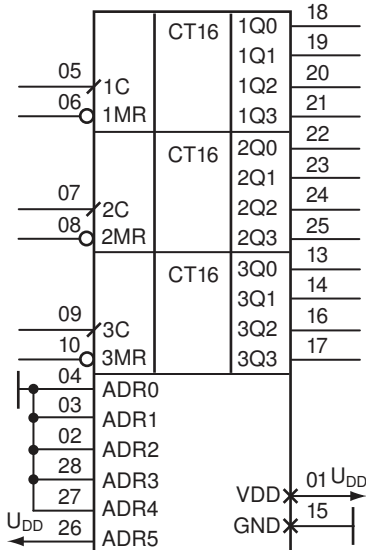
$$TCD = Q0 + Q1 + Q2 + Q3 + CPD$$

### 4.7.4. Три счетчика по фронту (нет прототипа)

Три независимых синхронных суммирующих счетчика по модулю 16. Раздельная синхронизация по фронту. Раздельный асинхронный сброс «0».

**Адрес 100000.**

**Условное графическое обозначение**



**Назначение выводов**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- xC — входы синхронизации;
- xMR — входы асинхронного сброса;
- xQ0...xQ3 — выходы данных.

**Таблица состояний**

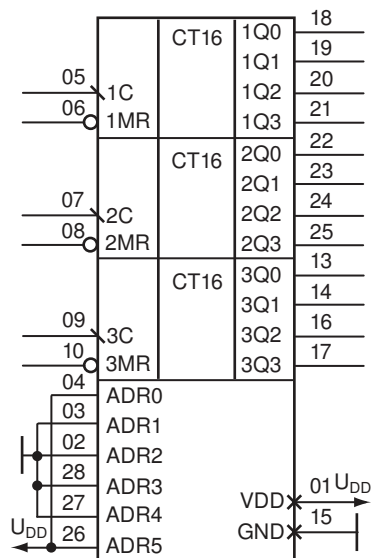
xMR	xC	xQ
0	X	0
1	∕	$xQ = (xQ + 1) \% 16$
1	∕	const

#### 4.7.5. Три счетчика по спаду (нет прототипа)

Три независимых синхронных суммирующих счетчика по модулю 16. Раздельная синхронизация по спаду. Раздельный асинхронный сброс «0».

Адрес 100001.

Условное графическое обозначение



#### Назначение выводов

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 xC — входы синхронизации;  
 xMR — входы асинхронного сброса;  
 xQ0...xQ3 — выход данных.

Таблица состояний

xMR	xC	xQ
0	X	0
1	$\downarrow$	$xQ=(xQ+1)\%16$
1	$\overline{\downarrow}$	const

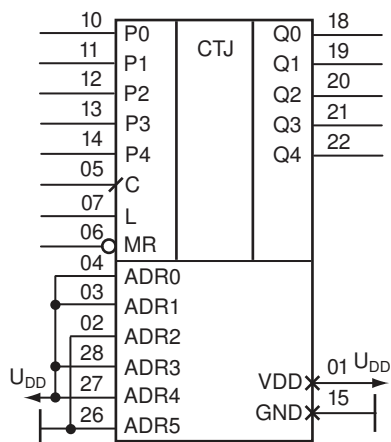
## 4.8. Счетчики Джонсона

### 4.8.1. Бесбойный 5-разрядный счетчик (нет прототипа)

Бесбойный 5-разрядный счетчик Джонсона. Синхронизация по фронту. Синхронный сброс «0». Синхронная загрузка по «1».

Адрес 011011.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 C — вход синхронизации;  
 L — вход синхронной загрузки «1»;  
 MR — вход синхронного сброса «0»;  
 P0...P4 — входы данных загрузки;  
 Q0...Q4 — выходы данных.

Таблица состояний

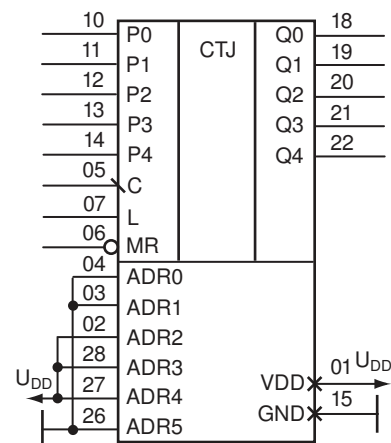
MR	L	C	Q
0	X	∩	0
1	1	∩	P
1	0	∩	count
1	0	∩̄	const

### 4.8.2. Бесбойный 5-разрядный счетчик (нет прототипа)

Бесбойный 5-разрядный счетчик Джонсона. Синхронизация по спаду. Синхронный сброс «0». Синхронная загрузка по «1».

Адрес 011100.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 C — вход синхронизации;  
 L — вход синхронной загрузки «1»;  
 MR — вход синхронного сброса «0»;  
 P0...P4 — входы данных загрузки;  
 Q0...Q4 — выходы данных.

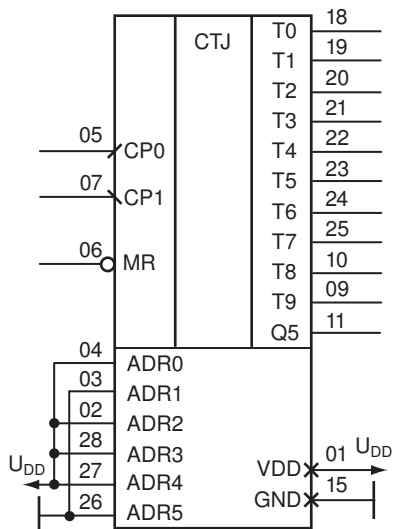
Таблица состояний

MR	L	C	Q
0	X	∩̄	0
1	1	∩̄	P
1	0	∩̄	count
1	0	∩̄̄	const

### 4.8.3. Бесбойный 10-разрядный счетчик (нет прототипа)

Бесбойный 10-разрядный счетчик Джонсона. Синхронизация по выбору (фронт или спад). Синхронный сброс «0». Выход переноса.

**Адрес 011101.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CP0 — вход синхронизации фронтом;
- CP1 — вход синхронизации спадом;
- MR — вход синхронного сброса «0»;
- T0...T9 — выходы данных;
- Q5 — выход переноса.

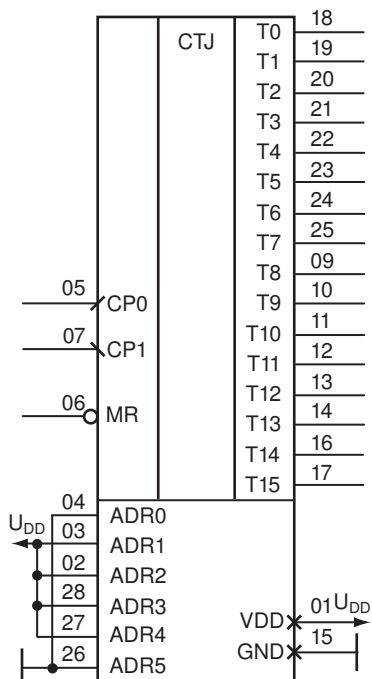
**Таблица состояний**

MR	CP0	CP1	Q5	T0	T1	...	T8	T9
0	/	0	0	1	0	...	0	0
0	/	1	Q5	T0	T1	...	T8	T9
0	0	\	Q5	T0	T1	...	T8	T9
0	1	\	0	1	0	...	0	0
1	/	0	T9&CP0	T9	T0	...	T7	T8
1	/	1	Q5	T0	T1	...	T8	T9
1	0	\	Q5	T0	T1	...	T8	T9
1	1	\	T9&CP1	T9	T0	...	T7	T8

### 4.8.4. Бесбойный 16-разрядный счетчик (нет прототипа)

Бесбойный 16-разрядный счетчик Джонсона. Синхронизация по выбору (фронт или спад). Синхронный сброс «0».

**Адрес 011110.**  
**Условное графическое обозначение**



**Назначение выводов аналога**

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CP0 — вход синхронизации фронтом;
- CP1 — вход синхронизации спадом;
- MR — вход синхронного сброса «0»;
- T0...T15 — выходы данных.

**Таблица состояний**

MR	CP0	CP1	T0	T1	...	T14	T15
0	/	0	1	0	...	0	0
0	/	1	T0	T1	...	T14	T15
0	0	\	T0	T1	...	T14	T15
0	1	\	1	0	...	0	0
1	/	0	T15	T0	...	T13	T14
1	/	1	T0	T1	...	T14	T15
1	0	\	T0	T1	...	T14	T15
1	1	\	T15	T0	...	T13	T14

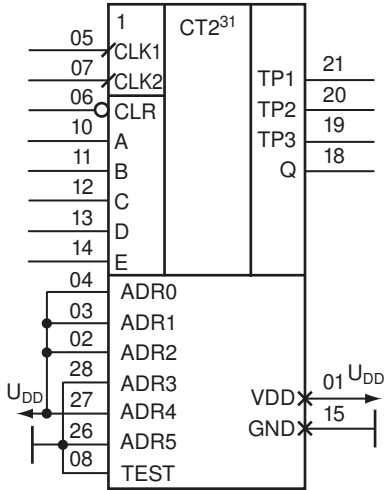
## 4.9. Делители и синтезаторы частот

### 4.9.1. Функциональный аналог 74HC292

Программируемый делитель частоты на целую степень двойки. Синхронизация фронтом по 2ИЛИ. Асинхронный сброс «0». Три выхода промежуточных частот. Тестовый режим.

Адрес 010111.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 TEST — вход теста;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CLK1, CLK2 — входы синхронизации по 2ИЛИ;  
 CLR — вход асинхронного сброса «0»;  
 E...A — входы коэфф. деления  $2^{16 \cdot E + 8 \cdot D + 4 \cdot C + 2 \cdot B + A}$ ;  
 Q — выход делителя частоты;  
 TP1...TP3 — выходы промежуточных частот.

Таблица состояний

CLR	CLK1	CLK2	Состояние
0	X	X	Сброс делителя
1	0	∕	Счет
1	1	X	Остановка
1	∕	0	Счет
1	X	1	Остановка

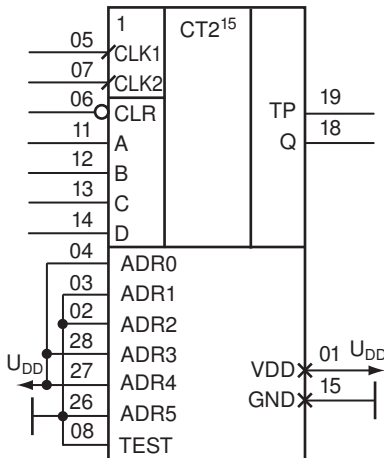
$$F_Q = F_{CLK} / 2^N, \text{ где } N = 16 \cdot E + 8 \cdot D + 4 \cdot C + 2 \cdot B + A, 1 < N < 32$$

### 4.9.2. Функциональный аналог 74HC294

Программируемый делитель частоты на целую степень двойки. Синхронизация фронтом по 2ИЛИ. Асинхронный сброс «0». Три выхода промежуточных частот. Тестовый режим.

Адрес 011001.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 TEST — вход теста;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 CLK1, CLK2 — входы синхронизации по 2ИЛИ;  
 CLR — вход асинхронного сброса «0»;  
 D...A — входы коэфф. деления  $2^{8 \cdot D + 4 \cdot C + 2 \cdot B + A}$ ;  
 Q — выход делителя частоты;  
 TP — выход промежуточной частоты.

Таблица состояний

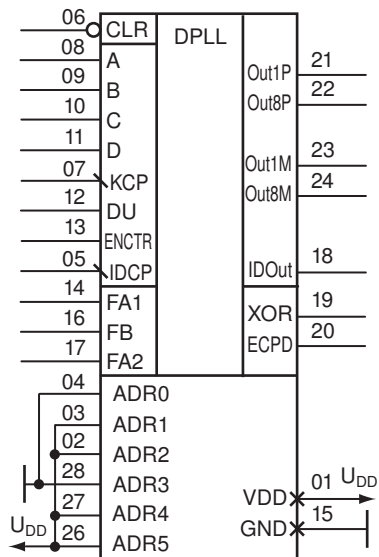
CLR	CLK1	CLK2	Состояние
0	X	X	Сброс делителя
1	0	∕	Счет
1	1	X	Остановка
1	∕	0	Счет
1	X	1	Остановка

$$F_Q = F_{CLK} / 2^N, \text{ где } N = 8 \cdot D + 4 \cdot C + 2 \cdot B + A, 1 < N < 16$$

### 4.9.3. Функциональный аналог 74НС297

Компоненты для построения цифровой схемы ФАПЧ. Фазовый детектор на базе элемента XOR. Фазовый детектор по спаду (ECPD). Программируемый делитель частоты на целую степень двойки (K-счетчик) с синхронизацией фронтом. Счетчик подстройки (ID-счетчик) с синхронизацией фронтом. Асинхронный сброс «0»

#### Адрес 110110. Условное графическое обозначение



#### Назначение выводов аналога

- ADR0...ADR5— входы адреса функции;
- VDD — вывод подключения питания;
- GND — вывод общего провода;
- CLR — вход асинхронного сброса «0»;
- D...A — входы коэффициента деления K;
- KCP — вход синхронизации K-счетчика;
- DU — вход направления «0» — UP, «1» — DOWN;
- ENCTR — вход разрешения K-счетчика;
- IDCP — вход синхронизации счетчика подстройки;
- FA1 — вход фазового детектора XOR;
- FA2 — вход ECPD;
- FB — общий вход ECPD и XOR;
- Out1P — технологический выход;
- Out8P — технологический выход;
- Out1M — технологический выход;
- Out8M — технологический выход;
- IDOut — выход ФАПЧ;
- XOR — выход фазового детектора XOR;
- ECPD — выход ECPD.

#### Таблица состояний ECPD

FA2	FB	ECPD
X	∖	1
∖	X	0
X	/	const
/	X	const

$$F_K = F_{KCP} / 2^K, \text{ где } K = 8 \cdot D + 4 \cdot C + 2 \cdot B + A + 2, 2 < K < 18$$

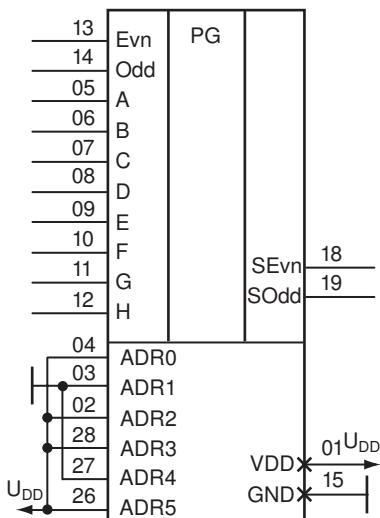
## 4.10. Арифметические устройства

### 4.10.1. Функциональный аналог 74НС180

Параллельный 8-разрядный генератор паритета с наращиваемой разрядностью.

**Адрес 101101.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 Evn — вход четности;  
 Odd — вход нечетности;  
 A...H — входы информации;  
 SEvn — выход четности;  
 SOdd — выход нечетности.

**Таблица состояний**

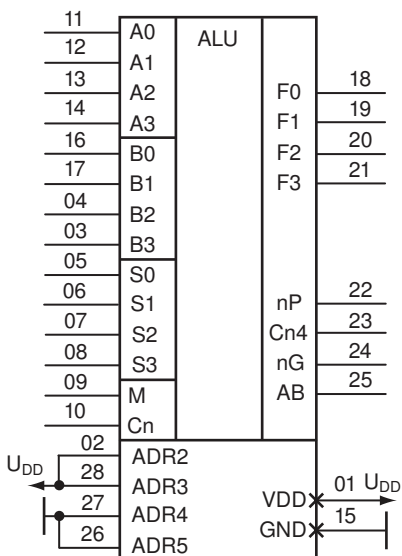
Количество «1» в A...H	Ev <sub>n</sub>	Odd	SE <sub>vn</sub>	SO <sub>dd</sub>
четное	1	0	1	0
нечетное	1	0	0	1
четное	0	1	0	1
нечетное	0	1	1	0
произвольное	1	1	0	0
произвольное	0	0	1	1

### 4.10.2. Функциональный аналог 74НС181

4-разрядное АЛУ на 16 арифметических и 16 логических операций с наращиваемой разрядностью и возможностью сопряжения с генератором ускоренного переноса.

**Адрес 0011XX.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR2...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 A3...A0 — входы операнда A;  
 B3...B0 — входы операнда B;  
 S3...S0 — входы кода операции;  
 M — вход выбора режима операции;  
 C<sub>n</sub> — вход переноса;  
 F3...F0 — выход результата;  
 nP — выход распространения переноса;  
 C<sub>n4</sub> — выход переноса;  
 nG — выход генерации переноса;  
 AB — выход сравнения операндов.

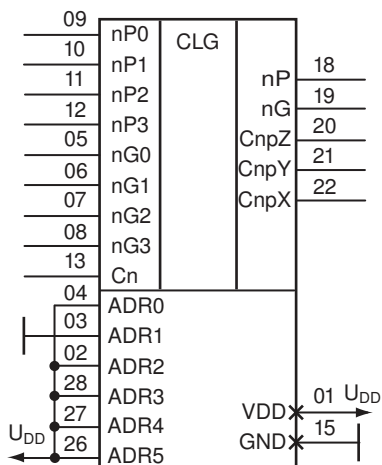


### 4.10.3. Функциональный аналог 74HC182

Генератор ускоренного переноса для 4-разрядных АЛУ с возможностью произвольного наращивания разрядности.

Адрес 111101.

Условное графическое обозначение



Назначение выводов аналога

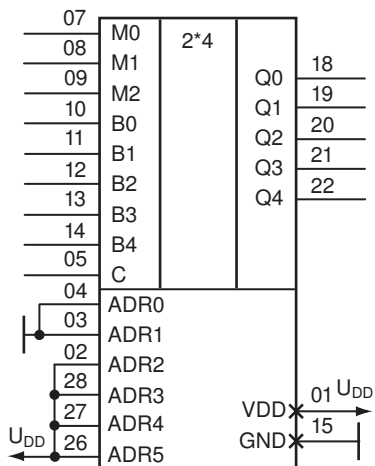
ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 nP3...nP0 — входы распространения переноса;  
 nG3...nG0 — входы генерации переноса;  
 Cn — вход переноса;  
 nP — выход распространения переноса;  
 nG — выход генерации переноса;  
 CnpZ, CnpY, CnpX — выходы переноса.

### 4.10.4. Функциональный аналог 74LS261

Параллельный умножитель 2\*4 бита с наращиваемой разрядностью. Регистр-защелка «0» на выходе.

Адрес 111100.

Условное графическое обозначение



Назначение выводов аналога

ADR0...ADR5— входы адреса функции;  
 VDD — вывод подключения питания;  
 GND — вывод общего провода;  
 M2...M0 — входы множителя;  
 B4...B0 — входы множимого;  
 C — вход защелкивания произведения «0»;  
 Q4...Q0 — выход произведения.

Таблица состояний

C	M2	M1	M0	Q4	Q3	Q2	Q1	Q0
0	X	X	X	Q4	Q3	Q2	Q1	Q0
1	0	0	0	1	0	0	0	0
1	0	0	1	$\overline{B4}$	B4	B3	B2	B1
1	0	1	0	$\overline{B4}$	B4	B3	B2	B1
1	0	1	1	$\overline{B4}$	B3	B2	B1	B0
1	1	0	0	B4	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$	$\overline{B0}$
1	1	0	1	B4	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$
1	1	1	0	B4	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$
1	1	1	1	1	0	0	0	0

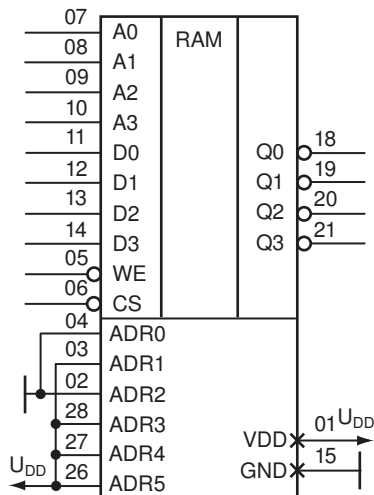
## 4.11. Память

### 4.11.1. Функциональный аналог 74LS89

Оперативное запоминающее устройство емкостью 64 бита с организацией 16\*4 бита. Инверсные выходы с открытым стоком. Выбор кристалла «0». Запись «0».

**Адрес 111010.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
VDD — вывод подключения питания;  
GND — вывод общего провода;  
A3...A0 — входы адреса;  
D3...D0 — входы данных;  
WE — вход записи «0»;  
CS — вход выбора кристалла «0»;  
Q3...Q0 — выходы с инверсией и открытым стоком.

**Таблица состояний**

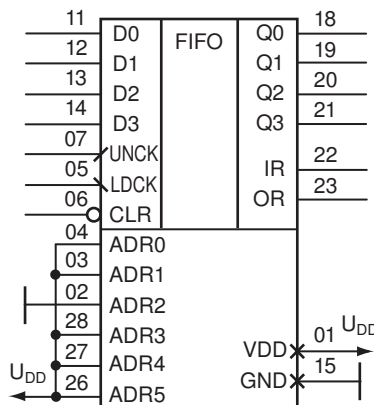
CS	WE	Dx	Qx	Режим
0	0	1	0	запись
0	0	0	1	запись
0	1	X	$\overline{dx}$	чтение
1	X	X	1	хранение

### 4.11.2. Неполный функциональный аналог 74LS224

Запоминающее устройство типа очередь (FIFO) с организацией 16\*4 бита. Синхронизация загрузки фронтом. Синхронизация разгрузки спадом. Выходы индикации заполнения и опустошения. Асинхронный общий сброс «0». Отличие от прототипа — отсутствие управления 3-м логическим состоянием выходов.

**Адрес 111011.**

**Условное графическое обозначение**



**Назначение выводов аналога**

ADR0...ADR5— входы адреса функции;  
VDD — вывод подключения питания;  
GND — вывод общего провода;  
D3...D0 — входы данных;  
UNCK — вход разгрузки фронтом (норма «1»);  
LDCK — вход загрузки спадом (норма «0»);  
CLR — вход сброса (очистки) «0»;  
Q3...Q0 — выходы данных;  
IR — выход возможности загрузки «1»;  
OR — выход возможности разгрузки «1».

**Таблица состояний**

CLR	LDCK	UNCK	IR	OR	N данных в очереди
0	X	X	1	0	N=0 (очистка)
1	0	1	1	0	N==0 (разгрузка невозможна)
1	$\downarrow$	1	1	X	N<16, N=N+1 (загрузка)
1	0	1	1	1	0<N<16 (все возможно)
1	0	1	0	1	N==16 (загрузка невозможна)
1	0	$\uparrow$	X	1	N>0, N=N-1 (разгрузка)