

Пример проектирования полузаказной микросхемы средствами САПР «Ковчег 3.04»

Базовые матричные кристаллы	1
Нормативно-техническая документация на полузаказные микросхемы.....	2
Группы и состав испытаний полузаказных микросхем.....	3
Порядок разработки и освоения производства полузаказной микросхемы	4
Рекомендации по разработке аппаратуры с применением БМК	5
6 Пример проектирования полузаказной микросхемы средствами САПР «Ковчег 3.04»	6

Раздел 6.

Пример проектирования полузаказной микросхемы средствами САПР «Ковчег 3.04»

Определение технических требований	6-2
Разработка структурной схемы	6-3
Разработка функциональной схемы	6-4
Блок управления агрегатом морозильной камеры	6-4
Блок управления агрегатом холодильной камеры	6-10
Блок управления нагревателем оттайки	6-11
Модификация схемы блока управления агрегатом холодильной камеры	6-11
Блок индикации	6-12
Блок формирования частот	6-13
Выбор типа БМК	6-14
Разработка логического проекта	6-14
Разработка принципиальных схем	6-18
Использование типовых подсхем	6-25
Разработка подсхем счетчиков на 3 и 5 состояний	6-26
Подсхема защиты от дребезга	6-30
Подсхема счетчика на 24 часа	6-32
Подсхема управления заморозкой	6-34
Подсхема защиты от повторного пуска	6-36
Блок управления агрегатом морозильной камеры	6-38
Блок управления агрегатом холодильной камеры	6-40
Блок управления нагревателем оттайки	6-41
Блок индикации	6-42
Блок формирования частот	6-43
Разработка головной схемы проекта микросхемы	6-46
Разработка контрольно-диагностических тестов	6-47
Контроль качества тестов	6-52
Подготовка информации для имитатора микросхемы	6-53
Разработка топологии микросхемы	6-53
Задание цветов фона подсхем	6-54
Размещение выводов БИС	6-54
Планировка поля БМК	6-54
Размещение ячеек на поле БМК	6-55
Анализ таблицы отклонений	6-57
Синтез топологии	6-57
Оптимизация топологии	6-58
Контроль топологии	6-59
Подготовка проекта микросхемы к изготовлению	6-59
Расчет задержек	6-59
Аттестация проекта микросхемы	6-59
Формирование программы контроля	6-61
Разработка конструкторской документации	6-62

В качестве примера проектирования полузаказной микросхемы рассмотрим процесс разработки микросхемы управления бытовым двухкамерным холодильником и морозильником с этапа формирования технических требований к микросхеме и до подготовки конструкторской документации для изготовления микросхемы. Проектирование выполняется средствами САПР «Ковчег 3.04» на БМК серии 5503 в базе библиотеки функциональных ячеек 5503 и 5503+. Проект описываемой ниже микросхемы находится в подкаталоге «Проект БИС» каталога «Kovcheg», формируемого после инсталляции САПР «Ковчег 3.04».

Определение технических требований

Разработка начинается с определения технических требований к микросхеме. Качество подготовки этого документа определяет эффективность процесса разработки микросхемы и аппаратуры на ее основе. Подготовка технических требований должна выполняться совместно разработчиком аппаратуры (Заказчиком) и проектировщиком микросхемы (Исполнителем), чтобы были учтены и согласованы как требования, предъявляемые к микросхеме со стороны конкретной аппаратуры, так и технические возможности микросхемы.

Рассмотрим наиболее сложный случай, когда технические требования к микросхеме сформулированы не четко, в самом общем виде: необходимо разработать микросхему управления для бытового двухкамерного морозильника/холодильника, которая должна выполнять следующие функции:

- включение агрегата морозильной камеры (МК) при превышении температуры -18°C выключение агрегата МК при достижении температуры -18°C задание режима заморозки 6, 12 или 24 часа;
- задание температуры терморегулирования холодильной камеры (ХК);
- включение агрегата ХК при превышении заданной температуры терморегулирования;
- выключение агрегата ХК при достижении заданной температуры терморегулирования;
- защита агрегатов ХК и МК от повторного пуска;
- включение нагревателя оттайки;
- выключение нагревателя оттайки;
- индикация состояния ХК и МК.

Заданные требования не содержат всей необходимой информации для разработки микросхемы и не позволяют определить тип БМК для ее реализации. Поэтому до заключения договора совместно Исполнителем и Заказчиком выполняется детальная разработка технических требований к микросхеме, которые помещаются в приложение к Техническому заданию на выполнение работ. Задачей Исполнителя на этом этапе является выяснение алгоритмов управления, характеристик внешних устройств, определение активных уровней сигналов и т.п. с целью максимально полного отражения необходимой для разработки микросхемы информации. Для этого проводится разработка структурной и функциональной схем микросхемы, которые вместе с пояснениями и уточнениями включаются в состав приложения к Техническому заданию.

Разработка структурной схемы

Структурная схема должна отражать, с одной стороны, состав и основные функции микросхемы, а с другой – ее взаимосвязь с внешними устройствами, которые выделим цветом (рис. 6.1).

В соответствии с выполняемыми функциями выделим в составе микросхемы четыре основных блока:

- блок управления агрегатом МК;
- блок управления агрегатом ХК;
- блок управления нагревателем оттайки ХК;
- блок индикации.

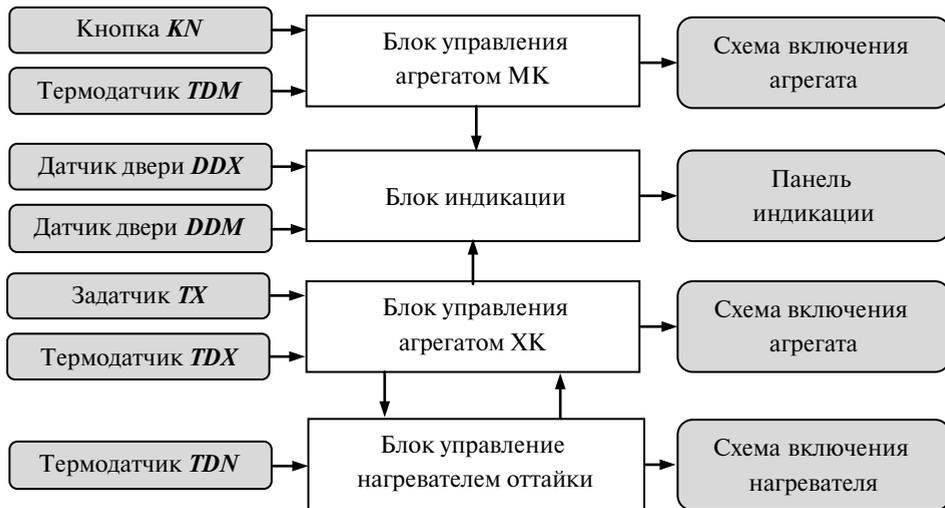


Рис. 6.1. Структурная схема микросхемы

Блок управления агрегатом МК (БУАМК) должен обеспечивать терморегулирование при температуре $-18\text{ }^{\circ}\text{C}$, т.е. при температуре в МК выше $-18\text{ }^{\circ}\text{C}$ должен формироваться сигнал включения агрегата, а при понижении температуры ниже $-18\text{ }^{\circ}\text{C}$ – сигнал отключения агрегата. При таком алгоритме работы при температуре терморегулирования будет наблюдаться частое включение и быстрое отключение агрегата. Для устранения этого предлагается реализовать алгоритм терморегулирования, при котором сигнал включения агрегата морозильной камеры формируется при превышении температуры $-17\text{ }^{\circ}\text{C}$, а сигнал отключения при понижении температуры ниже $-19\text{ }^{\circ}\text{C}$. Температура в МК определяется с помощью термодатчика *TDM*. Сигнал включения агрегата должен формироваться с учетом защиты от повторного пуска, т.е. не ранее чем через 5 минут после последнего отключения агрегата. БУАМК также должен обеспечивать дешифрацию заданного с помощью внешней кнопки одного из режимов ускоренной заморозки в течение 6, 12 или 24 часов и управление процессом заморозки.

Блок управления агрегатом ХК (БУАХК) должен обеспечивать терморегулирование на заданной с помощью внешнего регулятора температуры, в качестве которого можно использовать переменный резистор. БУАХК должен формиро-

вать сигнал включения агрегата ХК при превышении температуры в камере холодильника над заданной температурой терморегулирования и сигнал отключения при понижении температуры. Температура определяется с помощью термодатчика холодильной камеры (термодатчик *TDX*). Сигнал включения агрегата ХК должен формироваться с учетом защиты от повторного пуска.

Блок управления нагревателем оттайки должен обеспечивать формирование сигнала включения нагревателя через 5 минут после каждого отключения агрегата ХК и его отключение при температуре на датчике нагревателя (термодатчик *TDN*) выше 2 °С. Во время работы нагревателя включение агрегата ХК запрещено.

Блок индикации должен обеспечивать световую индикацию режима заморозки и звуковую индикацию открытия двери ХК (датчик двери *DDX*) или МК (датчик двери *DDM*) более чем на 30 секунд.

Разработка функциональной схемы

На этапе разработки функциональной схемы в соответствии с выполняемыми блоками функциями определяется состав и имена внешних выводов, осуществляется их разбиение на функциональные подсхемы. При этом предпочтительно использование типовых функциональных узлов, имеющих в библиотеке ТФУ 5503, или ранее разработанных пользователем подсхем. По результатам разработки функциональных схем, используя данные о размере функциональных ячеек, приведенные в книге 3 «Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507», оценивается количество ячеек поля БМК, необходимое для реализации подсхем и блоков.

Блок управления агрегатом морозильной камеры

Блок управления агрегатом МК должен обеспечивать режим терморегулирования МК, заключающийся в том, что агрегат включается при условии превышения напряжения на датчике *TDM* над напряжением *TI7*, соответствующем температуре –17 °С, и выключается при понижении напряжения на датчике *TDM* ниже напряжения *TI9*, соответствующем температуре –19 °С. Агрегат также должен быть включен, если с помощью кнопки задан один из режимов заморозки. Включение агрегата происходит только при условии, что истекло не менее 5 минут после последнего отключения агрегата. Функциональная схема блока управления агрегатом МК приведена на рис. 6.2.

Подсхема управления терморегулированием МК может быть реализована на двух аналого-цифровых компараторах *АСМ*, которые формируют сигналы, соответствующие температуре выше –17 °С и ниже –19 °С. В качестве термодатчика предполагается использовать полупроводниковый терморезистор с линеаризованной характеристикой. Временная диаграмма работы подсхемы приведена на рис. 6.3. За счет того, что после отключения агрегата хладагент продолжает охлаждать камеру, температура на датчике *TDM* опустится ниже –19 °С, после чего начнется рост температуры. Для реализации данной подсхемы потребуется не менее 80 ячеек (2 ячейки типа *АСМВР*) и 3 внешних вывода.

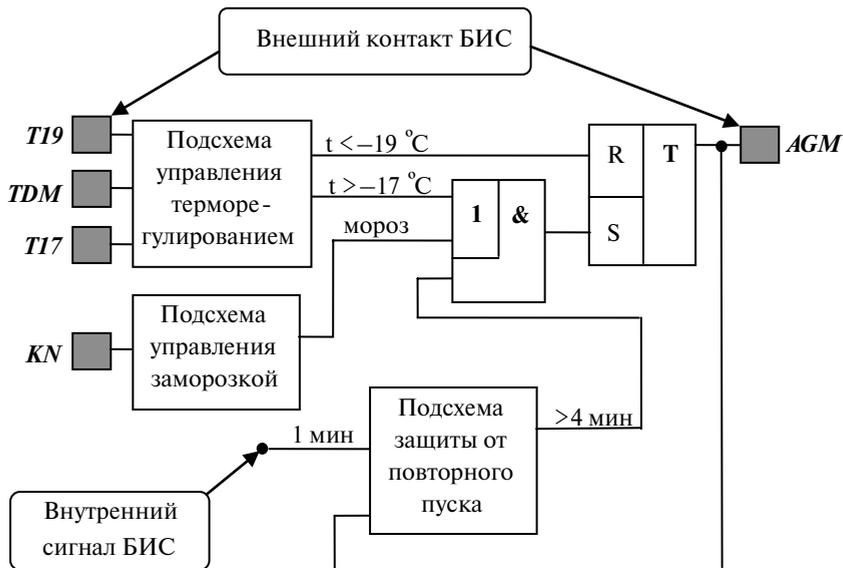


Рис. 6.2. Функциональная схема блока управления агрегатом МК

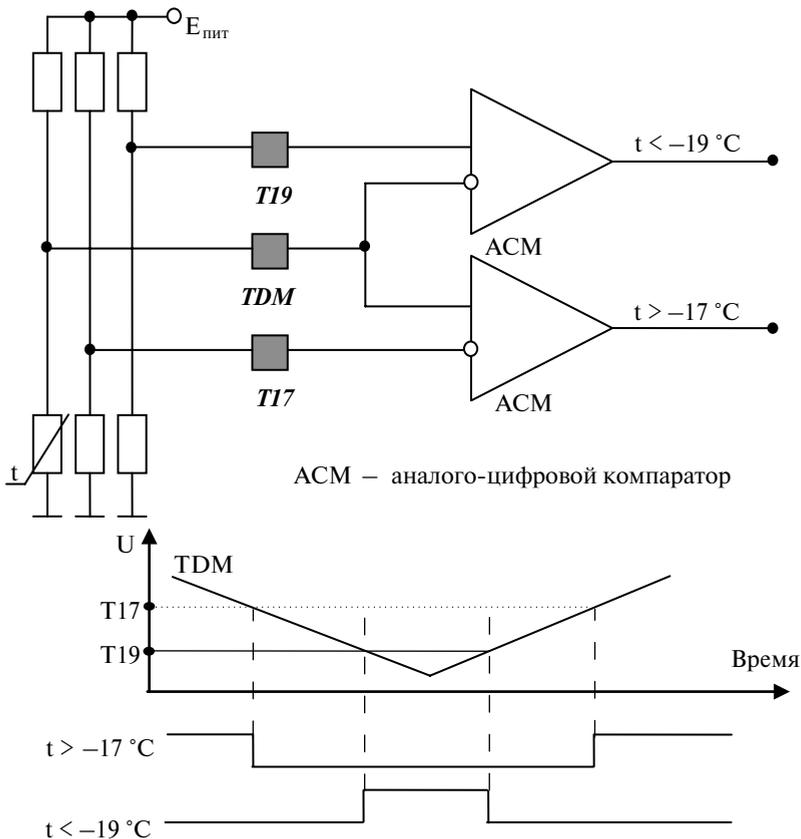


Рис. 6.3. Подсхема управления терморегулированием МК и диаграммы ее работы

Схемотехническая реализация схем может быть различной, причем критерием выбора схемы часто является не меньший объем, а надежность функционирования. Рассмотрим это на примере подсхемы управления режимом заморозки. Она должна обеспечивать задание одного из трех режимов заморозки с помощью кнопки. Для этого можно использовать двоичный двухразрядный счетчик последовательного типа со сбросом **CBR2C**. Счетчик состоит из двух триггеров FDC, размером семь ячеек. Поэтому его объем можно оценить в 15 ячеек.

Состояние этого счетчика изменяется по нажатию кнопки **KN**:

- первое нажатие соответствует 6 часам замораживания;
- второе нажатие соответствует 12 часам замораживания;
- третье нажатие соответствует 24 часам замораживания;
- четвертое нажатие обеспечивает отмену режима замораживания.

В качестве кнопки можно использовать псевдосенсорную кнопку с нормально разомкнутыми контактами, имеющую время дребезга не более 20 мс. Сигнал **KN** поступает на счетный вход, поэтому дребезг при нажатии кнопки может восприниматься как несколько импульсов, которые приведут к ложному переключению счетчика. Поэтому для устранения влияния дребезга на входе **KN** будем использовать схему защиты от дребезга (рис. 6.4).

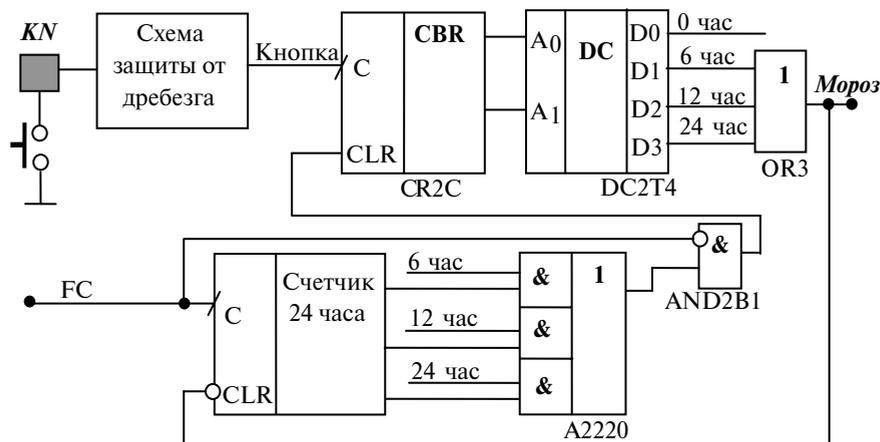


Рис. 6.4. Подсхема управления заморозкой

Подсхема защиты от дребезга при переключении кнопки может быть реализована с помощью двух детекторов переднего и заднего фронта (рис. 6.5). Время нажатия кнопки составляет не менее 200 мс, поэтому в качестве частоты фильтрации выбираем частоту 8 Гц (период 125 мс). Размер подсхемы защиты от дребезга составляет не более 15 ячеек.

Сформированный сигнал «Кнопка» поступает на тактовый вход счетчика выбора режима заморозки (см. рис. 6.4), состояние которого декодируется с помощью дешифратора **DC2T4** в четыре потенциальных сигнала, соответствующих режиму отсутствия заморозки (**0 час**), заморозке в течение 6 часов (**6 час**), заморозке в течение 12 часов (**12 час**) и заморозке в течение 24 часов (**24 час**). Размер дешифратора составляет шесть ячеек: два буфера входных сигналов и четыре вентиля для формирования выходных сигналов.

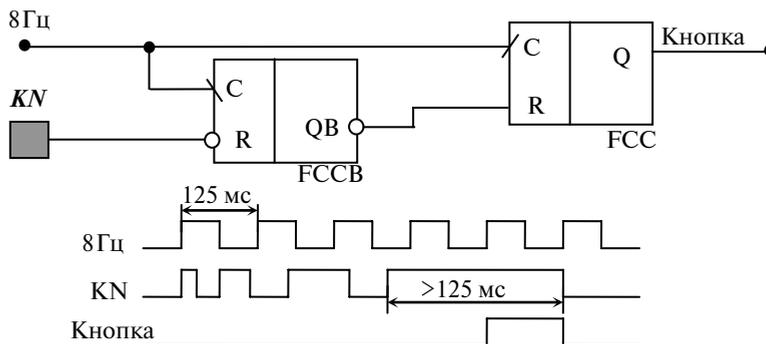


Рис. 6.5. Подсхема защиты от дребезга

Дешифратор представляет собой комбинационную схему, поэтому на ее выходах, как и на выходе *Мороз*, будет возникать дребезг во время переключения входных сигналов. Сигнал *Мороз* используется для сброса счетчика, и из-за дребезга может возникнуть ложное срабатывание и сбой в работе микросхемы. Для обеспечения устойчивой работы потребуется применение дополнительной схемы защиты от дребезга. Фрагмент схемы, включающий счетчик задания режимов заморозки, дешифратор и дополнительную схему защиты от дребезга для формирования сигнала *Мороз*, будет иметь объем не менее 38 ячеек.

Рассмотрим другую схемотехническую реализацию, обеспечивающую формирование управляющих сигналов без дребезга. Для выбора режима заморозки можно использовать четырехразрядный сдвиговый регистр, выходы которого будут соответствовать режимам заморозки (*6 час*, *12 час*, *24 час*), а сигнал режима заморозки *Мороз* будем формировать на детекторе переднего фронта, сброс которого будет выполняться выходом с четвертого разряда сдвигового регистра. Сигнал на входе данных D регистра будет формироваться как условие отсутствия высокого уровня на трех младших разрядах регистра. Модифицированная схема управления заморозкой приведена на рис. 6.6. Объем регистра составляет не более 35 ячеек, а фрагмента формирования сигнала *Мороз* — 43 ячейки. Несмотря на незначительно больший объем фрагмента схемы, такую реализацию можно считать более надежной, так как она не имеет комбинационных схем и ее функционирование не будет зависеть от топологии.

После задания одного из режимов заморозки формируется сигнал *Мороз*, который разрешает счет времени заморозки счетчиком на 24 часа. Выходы счетчика, соответствующие 6, 12 и 24 часам заморозки, логически перемножаются с выходами дешифратора на элементе *A2220*. При изменении состояния счетчика могут возникать кратковременные (на время переключения триггера) моменты совпадения пар высоких уровней и будет формироваться сигнал высокого уровня. Для устранения этих ложных срабатываний используется стробирование данного сигнала низким уровнем входной частоты F \$4\$5 счетчика на 24 часа с помощью ячейки *AND2B1*. Благодаря тому, что период счетной частоты значительно превышает собственное время задержки счетчика, низкий уровень стробирующего сигнала появится гарантированно после установления очередного состояния счетчика, поэтому кратковременные срабатывания будут маскированы, а сигнал будет сформирован только при совпадении заданного режима заморозки и соот-

ветствующего выхода счетчика на 24 часа. Сформированный сигнал обеспечивает сброс регистра *SR4C* задания режима заморозки и детектора формирования сигнала *Мороз*.

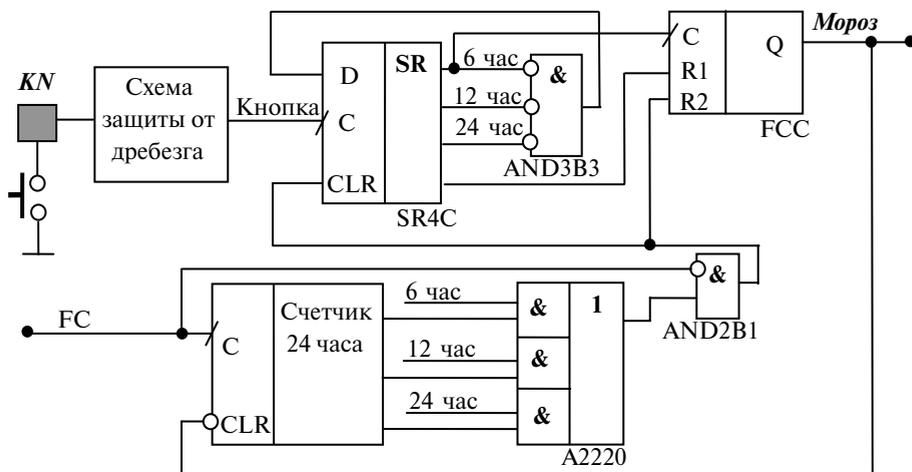


Рис. 6.6. Модифицированная схема подсхемы управления заморозкой

Реализация счетчика на 24 часа зависит от величины входной частоты, которая, в свою очередь, определяет точность вычисления времени заморозки. В блоке БУАМК использовался внутренний сигнал частоты с периодом 1 минута, поэтому будем использовать этот сигнал и в этом блоке. Счетчик может быть реализован в виде 12-разрядного синхронного автомата с выходами, соответствующими 6, 12 и 24 часам, или в виде 11-разрядного двоичного асинхронного счетчика с дешифратором. Обе реализации включают, помимо счетных триггеров, сложные схемы формирования переноса или декодирования состояния счетчика. Более оптимальной реализацией является составной счетчик из набора синхронного счетчика на три состояния *CB2C3*, синхронного счетчика на пять состояний *CB3C5*, двухразрядного двоичного последовательного счетчика *CBR2C*, синхронного счетчика на три состояния *CB2C3* и трехразрядного двоичного последовательного счетчика *CBR3C*. Итого в состав счетчика входит 12 триггеров *FDC*, поэтому его размер можно оценить с учетом запаса в 100 ячеек, а размер подсхемы управления заморозкой составит 170 ячеек.

Подсхема защиты от повторного пуска реализуется на двухразрядном двоичном последовательном счетчике *CBR2C*, на выходе которого с помощью детектора заднего фронта *FCCB* формируется сигнал превышения 3 минут, а на следующем детекторе переднего фронта *FCC* формируется сигнал превышения 5 минут. Счет разрешается при низком уровне сигнала включения агрегата МК, входная частота имеет период 1 минута (схема и диаграммы работы приведены на рисунке 6.8). Подсхема защиты от повторного пуска состоит из двух триггеров *FDC* и двух детекторов *FCC* и с учетом запаса составляет 32 ячейки.

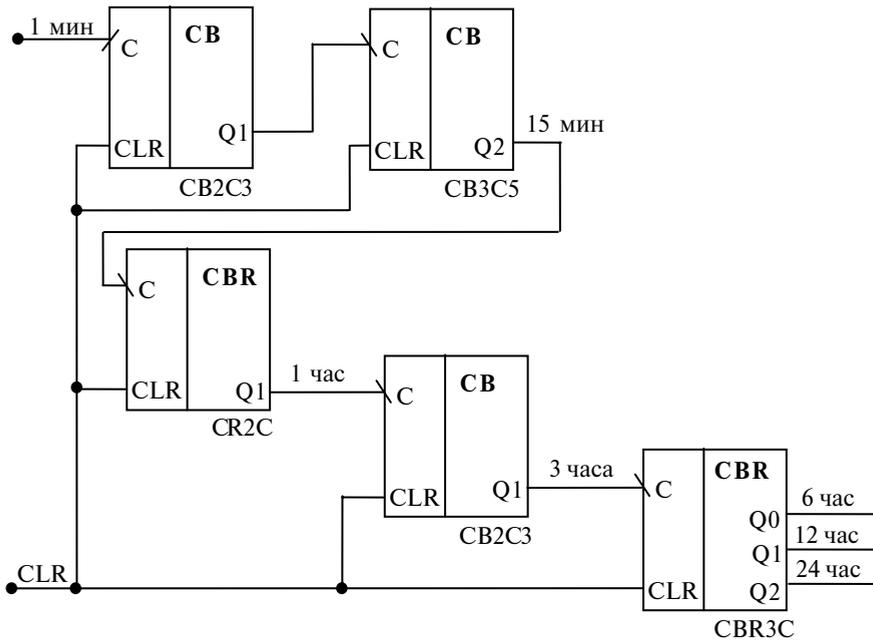


Рис. 6.7. Подсхема счетчика на 24 часа

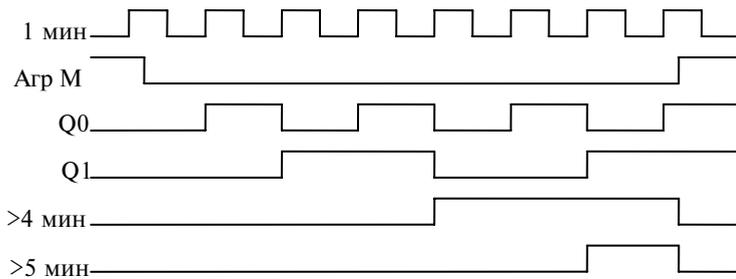
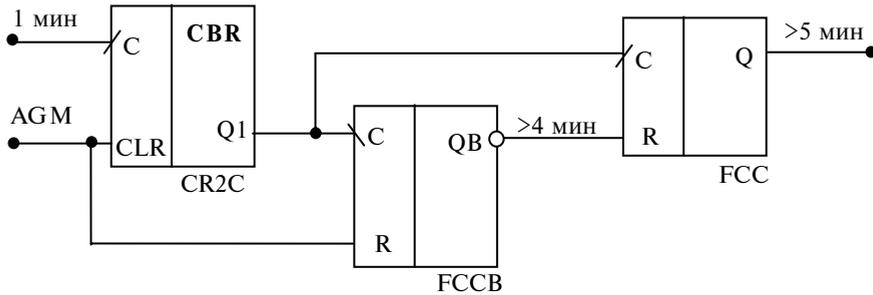


Рис. 6.8. Подсхема защиты от повторного пуска

Таким образом, размер БУАМК составляет 286 ячеек и имеет 5 выводов (4 входа и 1 выход).

Блок управления агрегатом холодильной камеры

Блок управления агрегатом ХК должен обеспечивать режим терморегулирования ХК, заключающийся в том, что агрегат включается при превышении температуры в камере над температурой терморегулирования, т.е. при условии превышения напряжения на датчике TDX над напряжением TX , и выключается при понижении напряжения на датчике TDX ниже напряжения TX . Задание температуры терморегулирования осуществляется с помощью внешнего переменного резистора. Процесс терморегулирования обеспечивается в результате сравнения входных сигналов с датчика температуры и резистора с помощью аналого-цифрового компаратора $АСМ$ (рис. 6.9).

В областях точности компарирования при равенстве указанных сигналов на выходе компаратора возникает шум, который может привести к включению и мгновенному отключению агрегата. Для устранения этого выходной сигнал компаратора будем записывать в триггер FDC по фронту сигнала с периодом 1 минута. Благодаря этому минимальное время работы агрегата составит 1 минуту. Включение агрегата должно происходить не ранее 5 минут после последнего отключения агрегата и при отключенном нагревателе оттайки. Для обеспечения этого условия сформируем сигнал длительностью 5 минут на детекторе заднего фронта, который вместе с сигналом включения нагревателя запретит включение агрегата холодильной камеры.

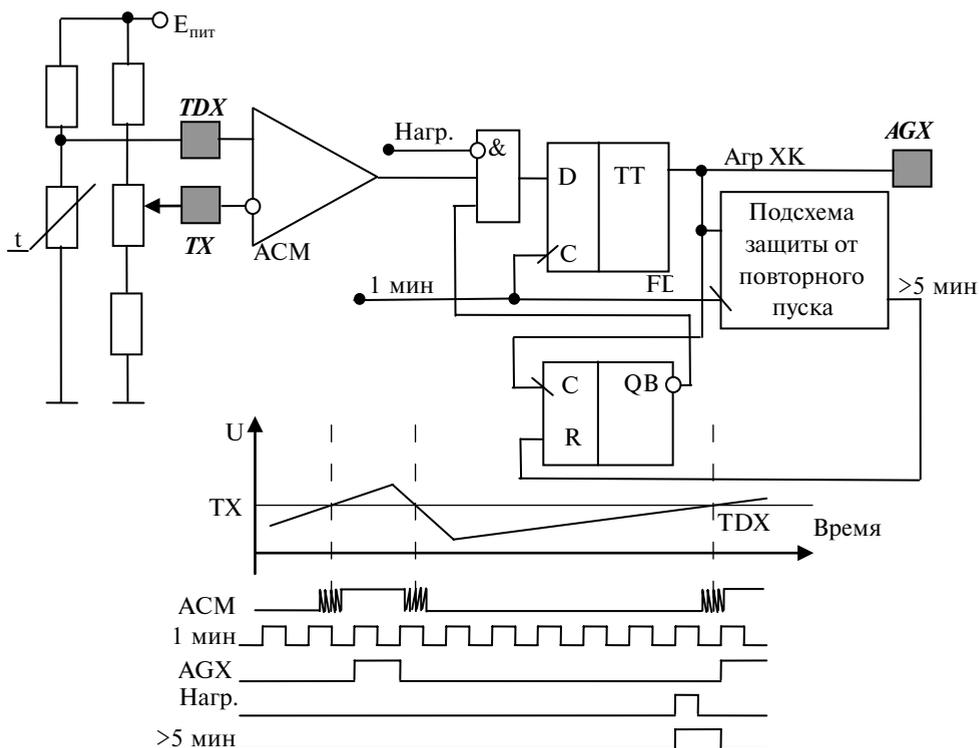


Рис. 6.9. Функциональная схема блока управления агрегатом ХК

Размер БУАХК составляет 89 ячейки и имеет 3 вывода (2 входа и 1 выход).

Блок управления нагревателем оттайки

Блок управления нагревателем оттайки должен формировать сигнал включения нагревателя через 5 минут после каждого отключения агрегата ХК, что обеспечивается с помощью подсистемы защиты от повторного пуска (рис. 6.10). Отключение нагревателя осуществляется по выходному сигналу аналого-цифрового компаратора АСМ, формируемому при превышении напряжения на термодатчике нагревателя *TDN* над напряжением *T2*, соответствующим температуре нагревателя 2 °С.

Размер блока управления нагревателем оттайки составляет 74 ячейки и 3 вывода.

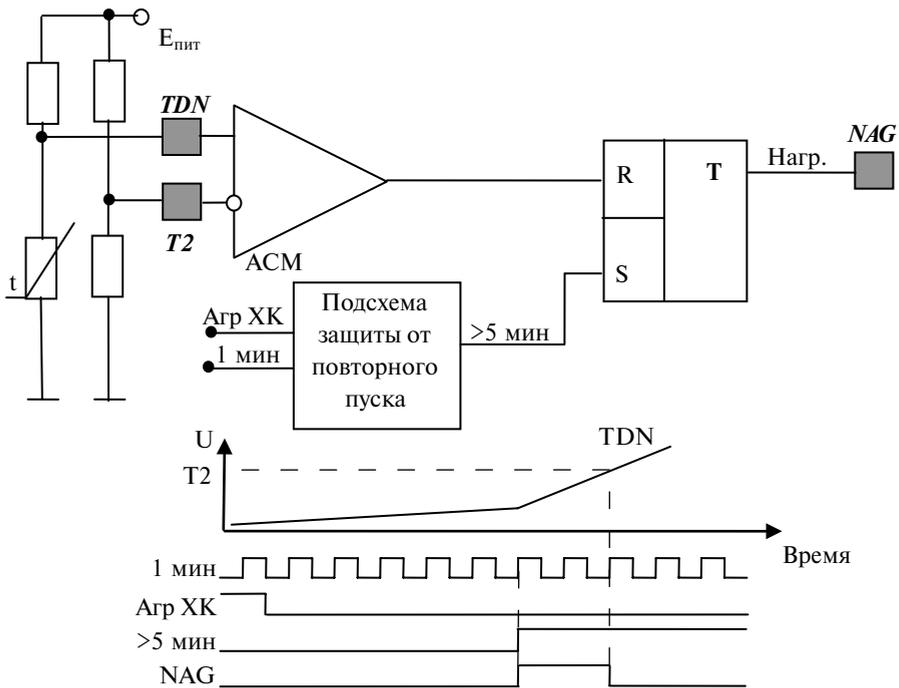


Рис. 6.10. Функциональная схема блока управления нагревателем оттайки

Модификация схемы блока управления агрегатом холодильной камеры

Блокировка триггера, формирующего сигнал включения агрегата ХК *АГХ*, происходит при выполнении условия защиты от повторного пуска и условия отключения нагревателя оттайки, который, в свою очередь, включается не ранее чем через 5 минут после отключения агрегата. Эти условия дублируют друг друга, поэтому схему БУАХК можно упростить, исключив из нее схему защиты от повторного пуска. Модифицированная схема приведена на рис. 6.11.

В состав блока индикации входит восемь триггеров FDC, два детектора FCCB и логические элементы. Размер блока с учетом запаса составляет 80 ячеек и имеет 5 выводов (2 входа и 3 выхода).

Блок формирования частот

При разработке функциональных блоков были использованы сигналы различных значений частоты. Поэтому в состав микросхемы введен блок формирования частот. Для его реализации будем использовать двоичные последовательные счетчики, имеющие минимальный объем, так как требование синхронности формирования частот не предъявляется. В качестве исходной частоты будем использовать кварцевый генератор со стандартной частотой 32 768 Гц (рис. 6.13).

Для обеспечения функционирования других блоков требуются частоты 2 сек, 1 мин и звуковые частоты, в качестве которых можно использовать частоты 512 Гц, 32 Гц и 1 Гц, кратные частоте кварцевого генератора. Для формирования этих частот будем использовать 17-разрядный последовательный счетчик *CBR17C* и последовательно с ним соединенные синхронные счетчики на три состояния *CB2C3* и синхронный счетчик на пять состояний *CB3C5*. Для сброса счетчиков при подаче напряжения на микросхему введем вход инициализации *INIT*.

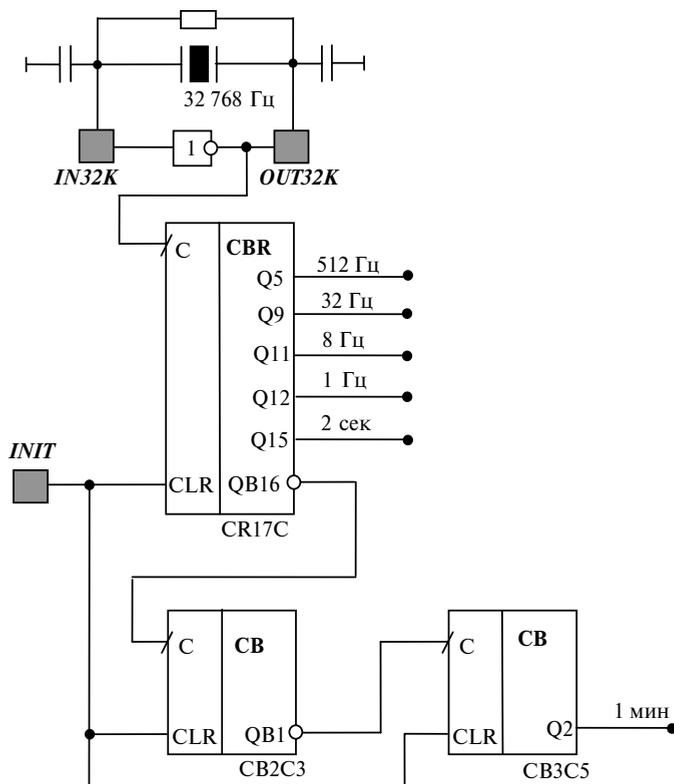


Рис. 6.13. Функциональная схема блока формирования частот

В состав блока формирования частот входит 22 триггера FDC, размер блока с учетом запаса составляет 170 ячеек и имеет три вывода (два входа и один выход).

Выбор типа БМК

После завершения разработки функциональных схем блоков определяем тип БМК, на котором может быть реализована микросхема. Вначале выполняется выбор серии БМК. Критериями при выборе могут быть напряжение питания, электрические параметры, уровень устойчивости к воздействию внешних факторов и др. В нашем случае особых требований к микросхеме не предъявляется. Для упрощения реализации внешних схем включения агрегатов, задания порогов, соответствующих температуре терморегулирования, выберем серию 5503 с большим напряжением питания. Для выбора конкретного типа БМК из серии оценим количество ячеек разрабатываемой схемы. При этом будем учитывать, что для формирования выходных сигналов будут использоваться драйверы периферийных ячеек (в общем случае типа *DRV*), размер каждого драйвера составляет четыре ячейки.

Таблица 6.1. Оценка количества элементов для реализации микросхемы

Наименование блока или схемы	Размер схемы		
	ячеек	входов	выходов
Блок управления агрегатом морозильника	286	4	1
Блок управления агрегатом холодильника	54	2	1
Блок управления нагревателем оттайки	74	2	1
Блок индикации	80	2	3
Блок формирования частот	170	3	1
Драйверы периферийных ячеек	28	0	0
ИТОГО	692	13	7
<i>Количество ячеек БМК 5503ХМ1</i>	<i>654</i>	<i>26</i>	
<i>Количество ячеек БМК 5503ХМ2</i>	<i>1296</i>	<i>40</i>	

Исходя из количества ячеек поля БМК и количества внешних выводов, для реализации микросхемы будет использован БМК 5503ХМ2.

Разработка логического проекта

Разработка логического проекта микросхемы заключается в подготовке средствами графического схемного редактора комплекта принципиальных схем и их проверка средствами функционально-логического моделирования.

Разработка структурной и функциональных схем позволила определить структуру микросхемы «сверху вниз», от общей структурной схемы к подсхемам нижнего уровня. Поэтому разработку принципиальных схем целесообразно выполнять «снизу вверх», от подсхем нижнего уровня к головной схеме микросхемы. В этом случае за счет использования полностью отработанных подсхем нижнего уровня минимизируются итерации подсхем следующего уровня, связанные с их возможной коррекцией.

Для начала работы на компьютере должна быть инсталлирована версия САПР Ковчег 3.04, которую можно бесплатно скачать с сайта <http://www.asic.ru>.

Разработка начинается с создания проекта микросхемы средствами САПР Ковчег 3.04. Для этого активизируется функция **Новый проект...** [меню Проект] (рис. 6.14).

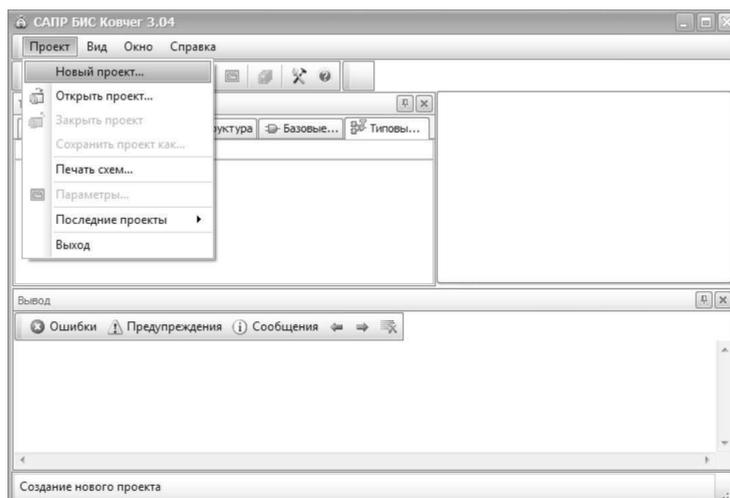


Рис. 6.14. Активизация функции **Новый проект...**

В результате открывается диалог создания проекта БИС средствами САПР «Ковчег 3.04», в котором задаются имя проекта, имя головной схемы и местоположение проекта, после чего для продолжения диалога нажимается кнопка **Далее** (рис. 6.15). Создаваемый проект будет размещен в заданном каталоге. Имя проекта и имя головной схемы может состоять из букв латинского или русского алфавита (без учета регистра) или цифр.

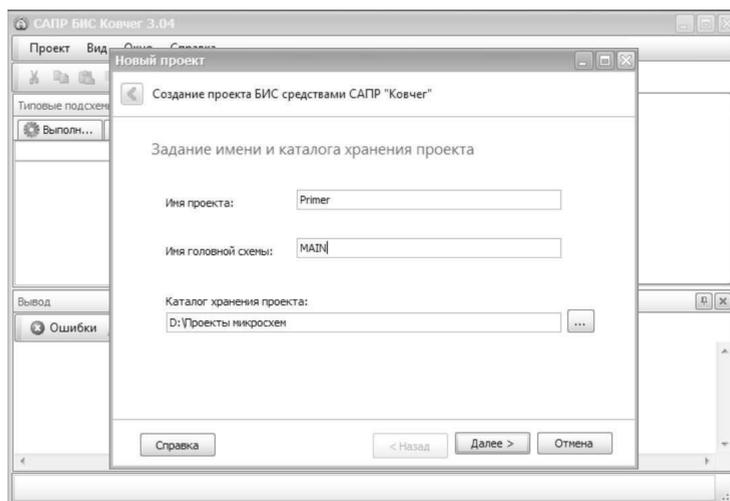


Рис. 6.15. Задание имени и каталога хранения проекта

На следующей стадии диалога осуществляется выбор семейства БМК 5503 и входного графического формата проектирования (рис. 6.16).

Далее выбираются типы БМК семейства 5503, библиотеки ячеек и тип имитатора (рис. 6.17). Выбор библиотек определяет возможность отладки проекта микросхемы средствами имитатора. В состав микросхемы входят аналого-цифровые компараторы из библиотеки 5503+, которые не могут быть реализованы сред-

ствами имитаторов. Поэтому разработка проекта микросхемы будет выполняться в два этапа. Для подготовки имитатора микросхемы будет создан чисто цифровой логический проект без применения аналого-цифровых компараторов в базе библиотеки 5503XC1. Этот проект позволит проверить и отладить логику работы микросхемы в составе аппаратуры управления агрегатами бытового холодильника. Аналого-цифровые компараторы при этом реализуются на внешних элементах, выходы компараторов поступают на входы микросхемы. Имитатор 5503XC1 поддерживает библиотеку ячеек 5503 и позволяет сформировать проект микросхемы в базе микросхем серии 5503. После завершения отладки имитатора будут подключены библиотеки 5503 и 5503+, в полученный проект добавятся аналого-цифровые компараторы и будет выполнен полный маршрут разработки, включая подготовку необходимой информации для производства микросхемы.

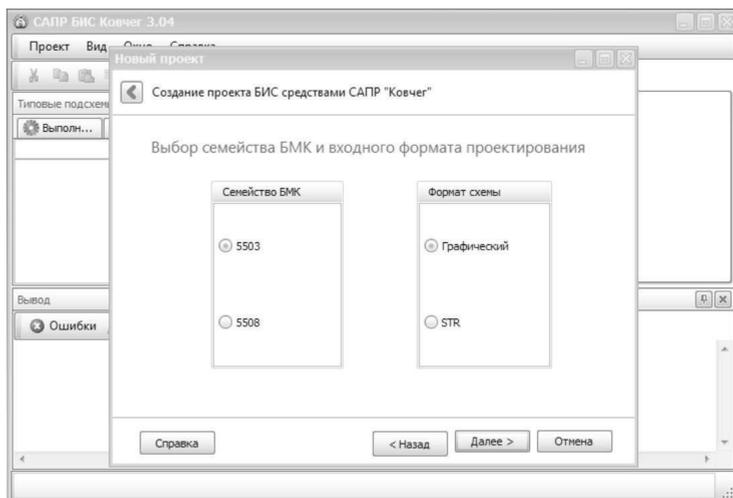


Рис. 6.16. Выбор семейства БМК и входного формата проектирования

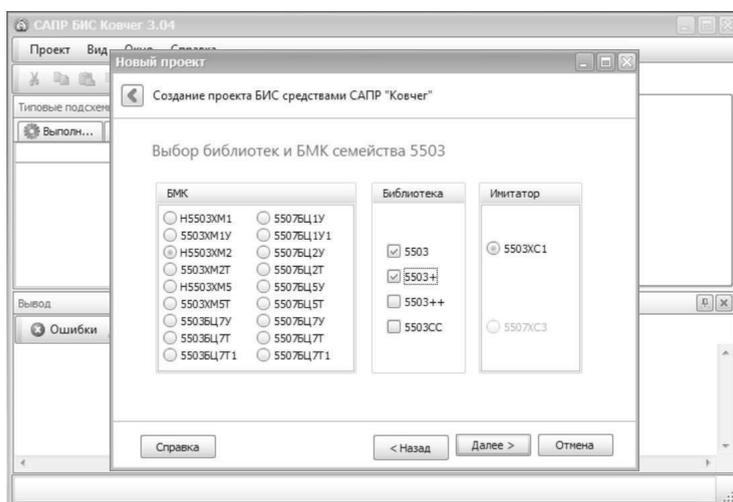


Рис. 6.17. Выбор библиотек и БМК семейства 5503

На следующей стадии диалога заполняются реквизиты проекта, которые позволяют в дальнейшем систематизировать проекты, авторизовать проект, найти контакты разработчиков (рис. 6.18). После этого выдается сводная информация о создаваемом проекте (рис. 6.19).

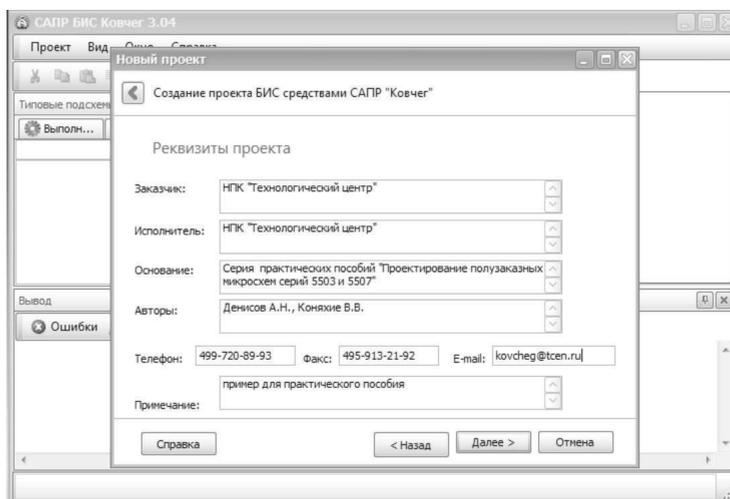


Рис. 6.18. Задание реквизитов проекта микросхемы

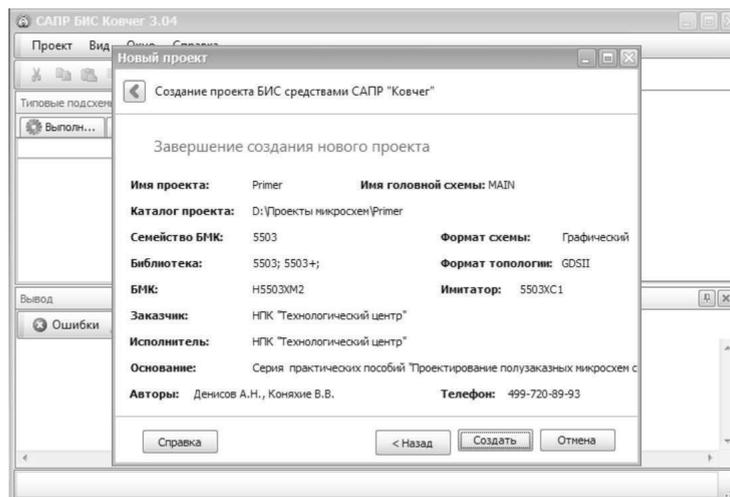


Рис. 6.19. Сводная информация о создаваемом проекте

Необходимо отметить, что на каждой стадии диалога можно вернуться на предыдущую стадию для изменения каких-либо данных по нажатию кнопки **<Назад**. Завершается диалог по нажатию кнопки **Создать**, что обеспечивает создание каталога проекта в указанном каталоге, в названии окна САПР БИС Ковчег 3.04 добавляется имя созданного проекта.

Разработка принципиальных схем

Перед началом разработки необходимо познакомиться с библиотекой функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507, описание которой представлено в книге 3 серии «Полузаказные БИС на БМК серий 5503 и 5507». Разработка принципиальных схем выполняется с учетом рекомендаций, описанных в разделе 5. Внешние и внутренние сигналы в схемах будем обозначать латинскими буквами или цифрами.

Разработку проекта начнем, например, с создания подсхемы управления терморегулированием МК. Для этого активизируем функцию **Создать схему** [меню **Схема**] > **Графический формат** или по кнопке **Создать схему** в панели инструментов окна графического редактора (рис. 6.20).

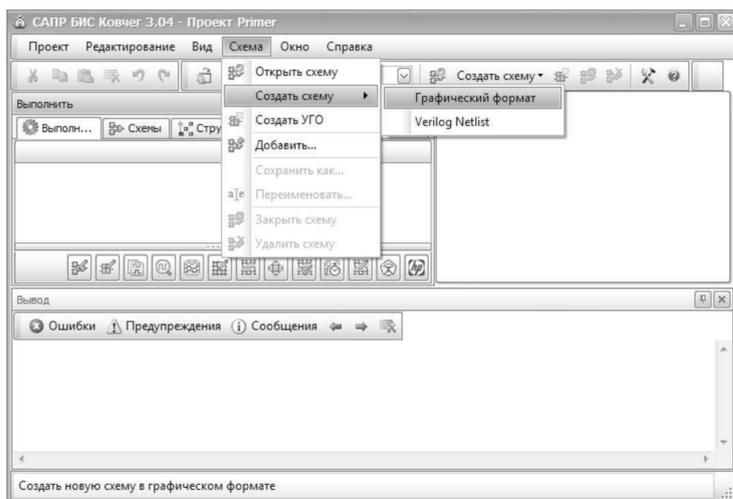


Рис. 6.20. Активизация функции **Создать схему**

В результате открывается список схем проекта (рис. 6.21). В поле **Имя схемы** указывается имя создаваемой схемы – **SUTRMK**. Именем является набор символов латинского алфавита или цифр без учета регистра. Задать имя символами русского алфавита или служебными символами нельзя. В случае, если схема с заданным именем существует в каталоге рабочего проекта, выдается соответствующее сообщение. По нажатию кнопки **Создать** выполняется открытие рабочей схемы в окне графического редактора в виде листа формата А4 в книжной ориентации с основной надписью для подсхем по ГОСТ 2.104, в названии окна **САПР БИС Ковчег 3.04** добавляется имя активной схемы. Формат, тип основной надписи и ориентация листа, на котором будет осуществляться разработка электрической принципиальной схемы, могут быть изменены.

Для этого по кнопке , соответствующей функции **Параметры** [меню **Проект**], открывается картотека с параметрами подсистем САПР, в которой нужно выбрать карточку **Редактор схемы**.

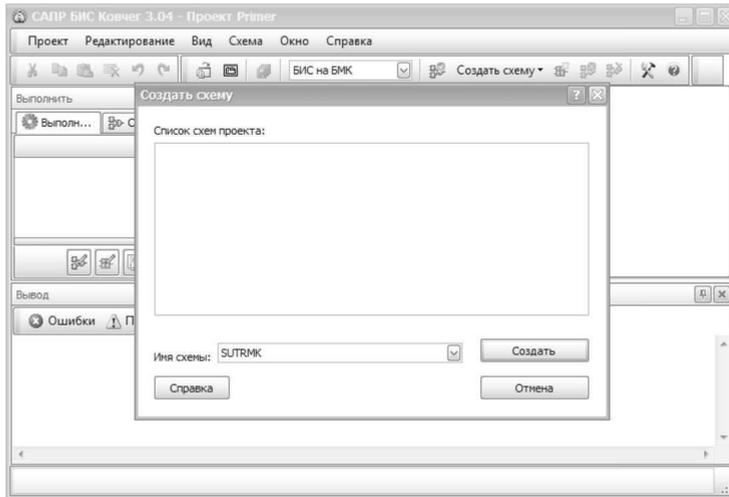


Рис. 6.21. Окно Создать схему

В этой карточке в поле **Рамка новой схемы** может быть выбрана необходимая рамка. Эта карточка также позволяет изменить цвет и шрифт надписей графических образов, задать режим отображения и печати сетки (рис. 6.22).

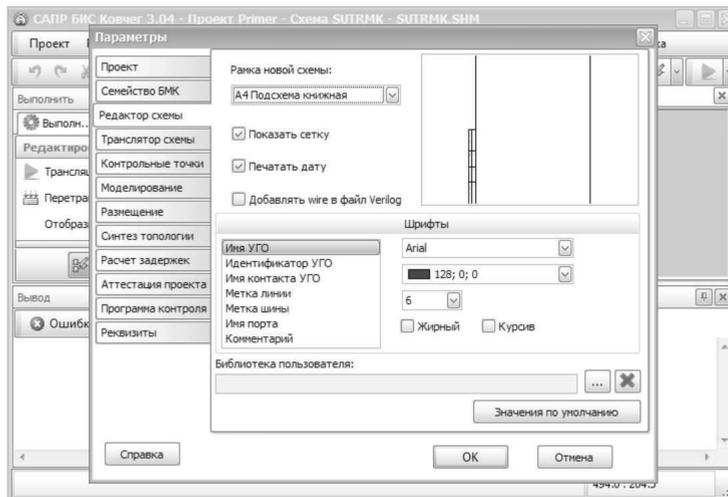


Рис. 6.22. Выбор формата листа для создания электрической схемы

Ввод схемы начинаем с выбора и размещения на листе условно-графических обозначений (УГО) библиотечных ячеек. Выбор требуемой ячейки выполняется в окне **Выбор ячейки**, которое открывается с помощью кнопки  панели инструментов, которая соответствует функции **Ячейка** [меню **Разместить**] (рис. 6.23). При выборе в списке групп ячеек определенной группы в окне **Список ячеек** отображается список относящихся к данной группе ячеек, а при выборе в этом списке конкретной ячейки отображается ее УГО, ориентация которого может быть зада-

на соответствующими кнопками. Если имя требуемой ячейки известно, его можно ввести в поле **Имя для поиска**. В процессе ввода осуществляется контекстный поиск заданного имени в находящемся ниже окне **Список ячеек**. Выбор ячейки также может быть осуществлен в поле выбора **Базовая ячейка**, находящемся в панели инструментов окна графического редактора, где с клавиатуры можно задать имя необходимой ячейки и выбрать ее в выпадающем списке. Выбираем одним из перечисленных способов функциональную ячейку аналогового компаратора, а именно аналоговый компаратор со встроенным гистерезисом максимального значения **ACMBR4**, что обеспечит устранение дребзга при сравнении сигналов.

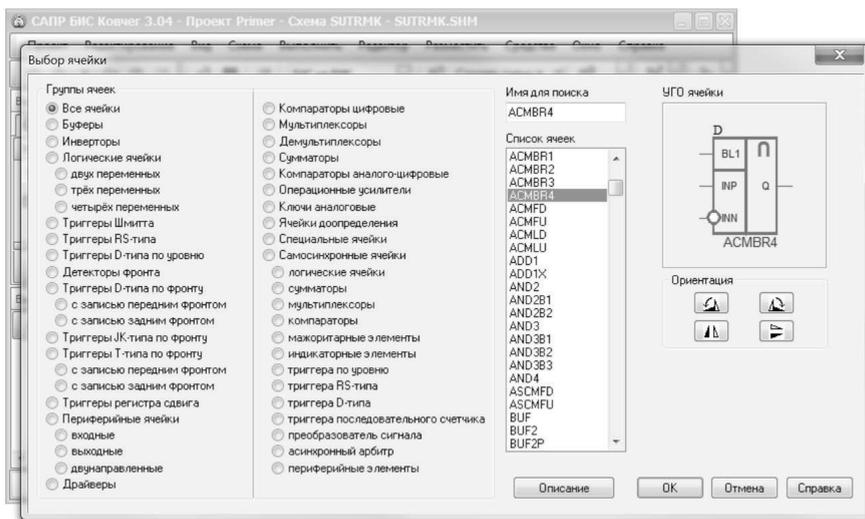


Рис. 6.23. Окно **Выбор ячейки**

После выбора ячейки УГО в виде пунктирных линий отображается над стрелкой мыши. Его нужно разместить нажатием левой кнопки мыши (ЛКМ) на листе схемы в окне графического редактора. Размещение может быть продолжено необходимое число раз, в нашем случае дважды. Для удобства ввода схемы увеличим область окна графического редактора, либо переместив при нажатой ЛКМ границы окна, либо открепив окна **Выполнить** и **Вывод** кнопкой , находящейся в строке заголовка окна (рис. 6.24). После этого можно увеличить масштаб отображения с помощью клавиши **F3**.

В соответствии с рекомендуемой в описании библиотеки ячеек схемой подключения функциональной ячейки **ACMBR4** аналогично выбираем и размещаем ячейки **IAM** на входах компараторов. Компараторы имеют вход блокировки, переводящий их в низкопотребляющий режим при измерении тока потребления микросхемы. Этот вход имеет коэффициент объединения 2, поэтому для управления входами блокировки необходимо усилить входной сигнал с помощью буфера **BUF**.

Теперь ячейки можно соединить. Для этого нужно активизировать функцию **Связь ортогональная** [меню **Разместить**] либо использовать кнопку . Курсор приобретает вид карандаша и позволяет ввести нужную связь. Связь можно провести и без активизации этой функции. Нажатие ЛКМ в точке подключения контакта или окончания ранее введенной связи обеспечивает ввод новой связи.

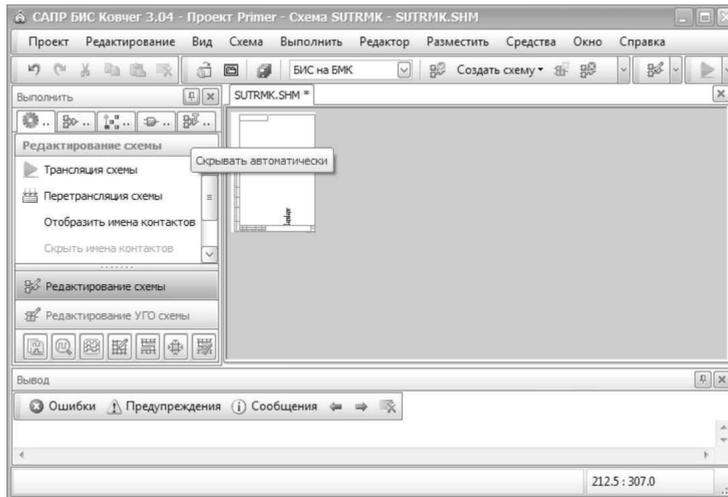


Рис. 6.24. Расширение окна графического редактора

После соединения ячеек задаем порты в окне **Разместить одиночный порт**, которое открывается либо с помощью функции **Порт одиночный** [меню **Разместить**], либо кнопкой **[БП]** панели инструментов (рис. 6.25).

После этого необходимо пронумеровать ячейки, ввести имя подсхемы и выполнить трансляцию. Нумерация осуществляется средствами функции **Нумеровать УГО**, которую можно активизировать либо в меню **Редактор**, либо кнопкой **[D..]** панели инструментов. При этом все УГО ячеек и подсхем, не имеющих в идентификаторе номеров, выделяются цветом, курсор приобретает вид крестика. Нажатие ЛКМ на выделенном УГО обеспечивает модификацию его идентификатора с возрастанием номера, после чего выделение УГО отменяется. Выполнение функции завершается либо по нажатию клавиши **Esc**, либо по завершении нумерации УГО. Нумерацию элементов схемы можно выполнять в соответствии с распространением сигнала, что создает дополнительные удобства на этапе разработки цепи размещения ячеек.

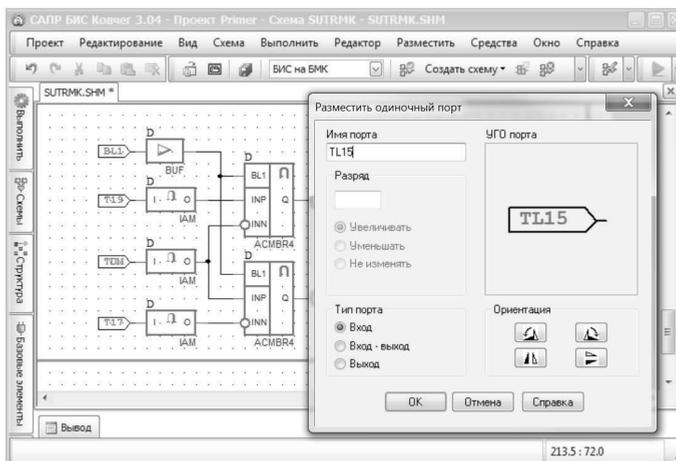


Рис. 6.25. Окно Разместить одиночный порт

Для удобства идентификации схем в распечатанном виде в рамке подсхемы рекомендуется располагать имя подсхемы (рис. 6.26), которое задается текстом с помощью функции **Текст** меню **Разместить** либо соответствующей кнопкой . При этом выдается окно **Ввод текста**, в котором вводится имя подсхемы.

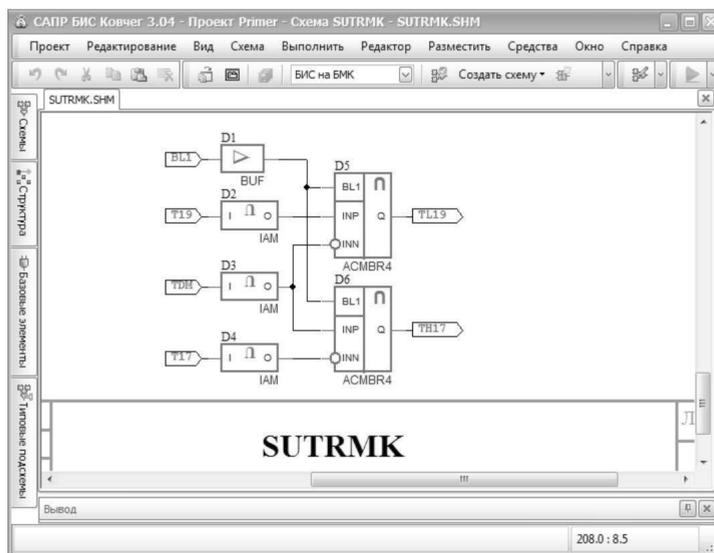


Рис. 6.26. Электрическая схема подсхемы SUTRMK

Последовательность действий, которые нужно выполнить при проектировании схемы, представлена функциями меню **Выполнить**, которые дублируются в левой части окна САПР БИС Ковчег 3.04. Причем функции, для выполнения которых есть необходимые данные, являются активными и отображаются зеленым шрифтом, остальные неактивны и красным шрифтом. После успешного выполнения функции следующая становится активной. Таким образом, для выполнения цикла разработки подсхемы необходимо успешно выполнить функции **Редактирование схемы**, **Редактирование УГО**, **Трансляция схемы** и **Моделирование**, а для головной схемы проекта – все функции меню **Выполнить**.

Подготовленную схему необходимо оттранслировать. Для этого активизируется функция **Трансляция схемы** [меню **Выполнить**]. При обнаружении ошибок открывается окно **Сообщения**, в котором отображаются сообщения об ошибках. Двойное нажатие ЛКМ на сообщении обеспечивает выделение цветом ячейки, в подключении которой обнаружена ошибка. Если ошибки в схеме отсутствуют, выдается соответствующее сообщение, этап ввода электрической схемы считается завершенным.

Далее формируется УГО введенной схемы с помощью функции **Редактирование УГО схемы** [меню **Выполнить**]. При этом открывается окно редактора УГО, в котором отображается автоматически сформированное УГО схемы (рис. 6.27). В окне может быть изменен размер тела УГО (по нажатию ЛКМ на одном из углов тела УГО и перемещению мыши), а также расположение портов на УГО (по нажатию ЛКМ в точке подключения порта и перемещению мыши).

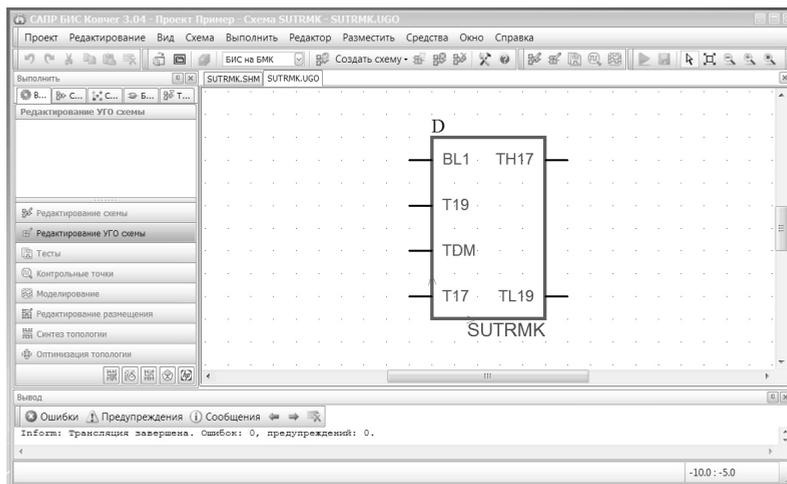


Рис. 6.27. УГО подсхемы управления терморегулированием МК

Если модификация УГО не требуется, можно перейти к подготовке информации для моделирования схемы. Для этого формируются тестовые воздействия (функция **Тесты** [меню **Выполнить**]) и контрольные точки (функция **Контрольные точки** [меню **Выполнить**]). Активизация указанных функций обеспечивает открытие окна текстового редактора, в котором можно осуществить ввод, редактирование и трансляцию тестовых воздействий и контрольных точек. Правила описания тестовых воздействий и контрольных точек подробно описаны в книге 2 серии «Полузаказные БИС на БМК серий 5503 и 5507». Ниже приведен текст файла тестовых воздействий функционирования подсхемы SUTRMK:

```
SUTRMK;
SUTRMK:
BL1 = 1,0:7,1;
T19 = 0,0,0,1,0,0,0,1,0;
TDM = 0,1,0,0,0,0,0,1,0;
T17 = 0,0,0,0,0,1,0,0,0;
TH17 = 1,h,1,1,1,1,1,h,1;
TL19 = 1,1,1,h,1,1,1,h,1;
```

При открытии окна редактирования контрольных точек в него автоматически помещается пример их описания и список всех контрольных точек подсхемы. После сохранения без модификации этот файл может быть использован в качестве описания контрольных точек.

Следующим этапом разработки является моделирование введенной схемы. Перед началом этого процесса необходимо определить параметры подсистемы моделирования, которые задаются функцией **Параметры** [меню **Проект**] в картежке, соответствующей данной подсистеме САПР (рис. 6.28).

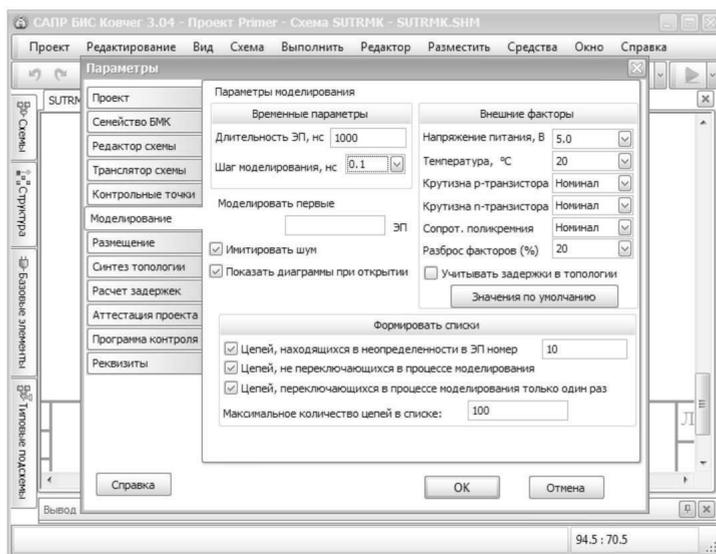


Рис. 6.28. Карточка подсистемы Моделирование

В этой карточке определяются временные параметры, значения внешних факторов, задается режим учета топологических задержек, а также состав формируемых списков цепей. Для имитации контрольно-измерительного оборудования необходимо активизировать параметр **Имитировать шум**, который при каждой смене состояния входного сигнала обеспечивает формирование зоны неопределенности (X) на входах периферийных ячеек, что позволяет определить устойчивость проекта микросхемы к кратковременным сбоям (дребезгу). Устранение влияния дребезга достигается за счет применения триггеров Шмитта на входах, поступающих на контакты синхронизации, сброса и установка триггеров. В подсхеме **SUTRMK** таких входов нет, поэтому модификация схемы не требуется.

Активизация функции **Моделировать** меню **Средства** обеспечивает трансляцию тестовых воздействий, контрольных точек и моделирование поведения подсхемы. Результаты моделирования отображаются в графическом виде в окне **Логическое моделирование**, предупреждения и ошибки – в окне **Сообщения**, где отображаются списки цепей, не переключающихся и переключающихся только один раз за процесс моделирования. Тестовые воздействия должны обеспечивать полное тестирование подсхемы, т.е. отсутствие указанных списков. В состав файла тестовых воздействий могут входить и ожидаемые значения выходных сигналов. В этом случае выполняется автоматическое сравнение результата моделирования с заданными значениями и отображение несовпадений в режиме диаграмм статики (рис. 6.29).

Описанные действия (графический ввод, трансляция и логическое моделирование) выполняются при разработке новых подсхем. При этом автоматически формируются УГО подсхем, которые в дальнейшем будут использоваться при разработке электрических схем подсхем следующего уровня.

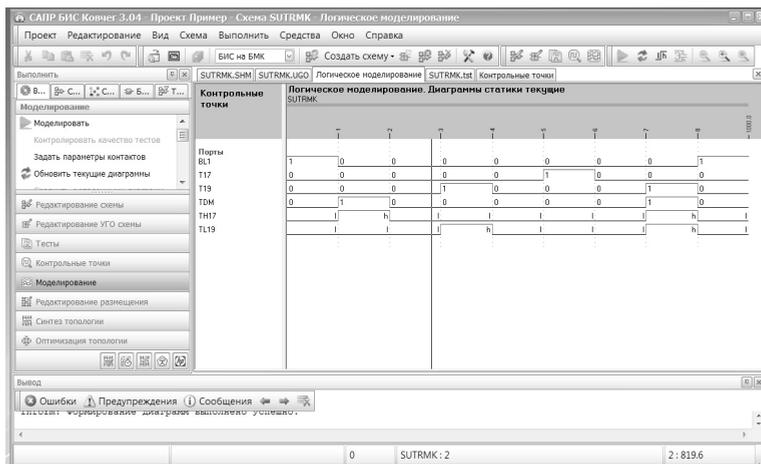


Рис. 6.29. Временные диаграммы подсхемы управления терморегулированием МК в режиме статики

Использование типовых подсхем

САПР «Ковчег» имеет библиотеку типовых подсхем, которые рекомендуется использовать при разработке проекта микросхемы. Выбор подсхем осуществляется либо с помощью функции **Типовая подсхема** [меню **Разместить**] либо кнопкой  панели инструментов окна графического редактора в окне **Выбор типовой подсхемы**, в котором представлены список групп, имена и УГО типовых подсхем (рис. 6.30). Также могут быть использованы подсхемы из других проектов пользователя. Для этого выполняются аналогичные действия с помощью функции **Подсхема из проекта** [меню **Разместить**]. Путь к проекту задается в окне **Параметры редактора схемы**, которое активизируется функцией **Редактор схем** [меню **Параметры**] в поле **Библиотека пользователя**.

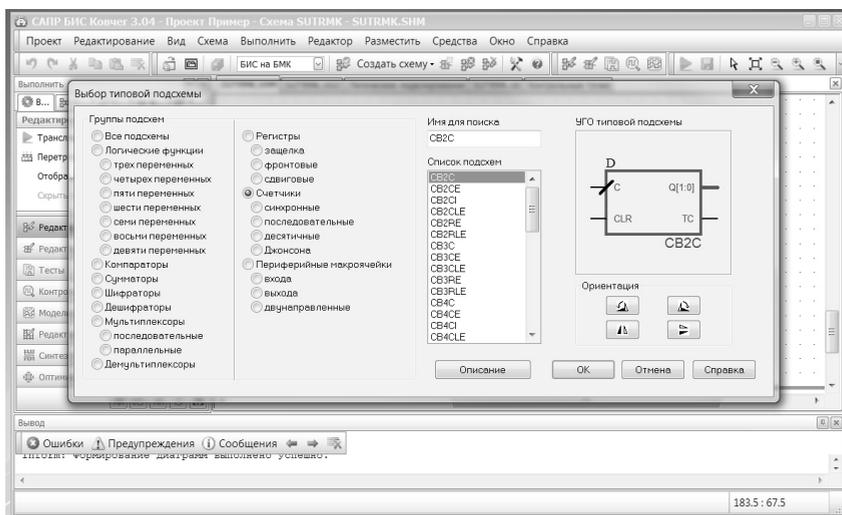


Рис. 6.30. Окно **Выбор типовой подсхемы**

Если какая-либо типовая подсхема или подсхема из другого проекта требует модификации, ее необходимо переместить в рабочий проект. Для этого достаточно разместить УГО выбранной подсхемы в разрабатываемой схеме, при этом данная подсхема копируется в проект. После этого подсхема может быть переименована средствами меню **Схема**, открыта и модифицирована. Затем выполняется проверка функционирования модифицированной подсхемы. Для этого средствами САПР модифицируется файл тестовых воздействий и файл с контрольными точками, в состав которых могут быть добавлены внутренние точки. Тестовые воздействия позволяют проверить правильность функционирования схемы на основании анализа временных диаграмм в контрольных точках.

Разработка подсхем счетчиков на три и пять состояний

На примере разработки счетчиков на три и пять состояний, которые входят в состав счетчика на 24 часа, рассмотрим последовательность действий при разработке типовых подсхем. Внешние выводы обозначим аналогично другим типовым счетчикам, а именно вход частоты **C**, вход сброса **CLR** и выходы **Q0–Q2**. Обозначим счетчики также в соответствии с системой обозначений библиотеки 5503 как **СВ2С3** и **СВ3С5**. Счетчики будем реализовывать на основе фронтных D-триггеров, на входах данных которых будут находиться комбинационные схемы, формирующие при текущих состояниях выходов значения, соответствующие последующему состоянию счетчика. При подаче фронта синхронизации эти сигналы будут записаны в триггеры, т.е. счетчик перейдет в следующее состояние, соответственно, комбинационные схемы сформируют в зависимости от текущего состояния следующее и т. д. Поэтому для разработки комбинационных схем будем использовать средства САПР «Ковчег», обеспечивающие оптимизацию и синтез комбинационных схем из таблиц истинности.

Создаем схему **СВ3С5** средствами функции **Создать схему** [меню **Схема**] в режиме **Графический формат**. В результате открывается окно графического редактора. Для задания таблицы истинности активизируем функцию **Таблица истинности** [меню **Средства**], в результате открывается окно редактирования, в котором с помощью функции **Создать таблицу** [меню **Средства**] открывается окно **Свойства таблицы истинности**. В нем задается имя таблицы **СВ3С5**, количество и имена переменных и функций (для счетчика на пять состояний переменными являются выходы счетчика **Q0**, **Q1** и **Q2**, функциями – входы триггеров **D0**, **D1** и **D2**), в результате формируется заготовка таблицы истинности (рис. 6.31).

Зададим таблицу истинности для функций **D0**, **D1** и **D2** в зависимости от состояния сигналов на выходах триггеров счетчика **A0**, **A1** и **A2**, учитывая все состояния, включая неактивные, т.е. те, при которых входы триггеров могут принимать любые значения (0 или 1). Нажатие ЛКМ в поле функции меняет ее значение, а нажатие ЛКМ при нажатой клавише **Ctrl** задает неактивное состояние функции **X**. После задания значений функций с помощью функции **Синтез схемы** [меню **Средства**] формируется схема (рис. 6.32). Копируем ее в буфер обмена с помощью функции **Копировать схему** [меню **Средства**], по нажатию ЛКМ на вкладке **СВ3С5. SCM** переходим в окно схемного редактора и вставляем схему в подсхему **СВ3С5**. Добавляем в схему входные и выходные буферы и триггеры, соединяем их с помощью меток, используя функцию **Разместить метку связи** [меню **Разместить**].

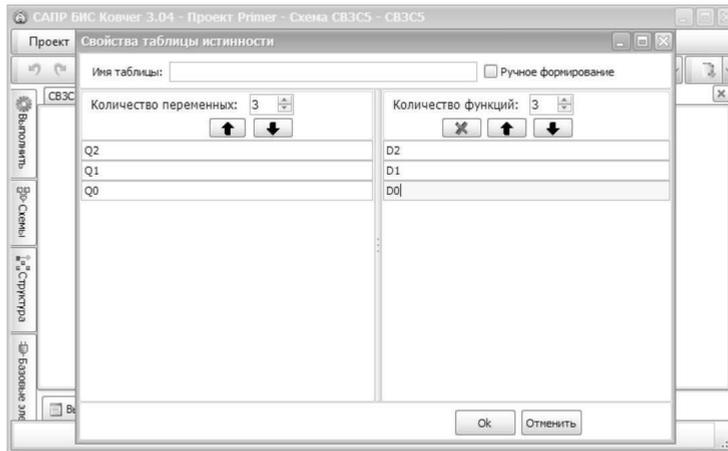


Рис. 6.31. Окно Свойства таблицы истинности

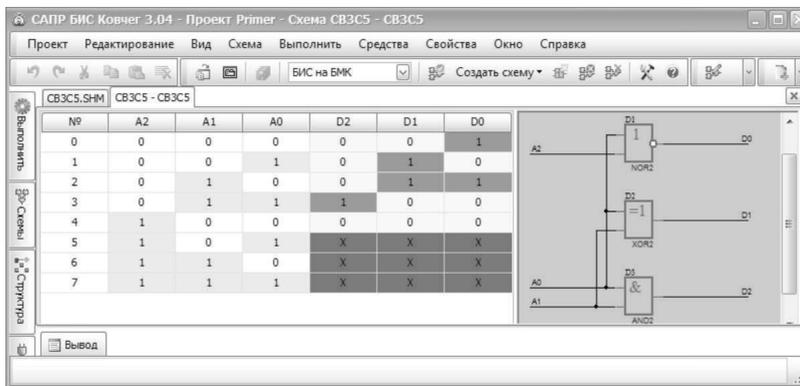


Рис. 6.32. Синтезированная схема

Входные буферы введены для усиления входных сигналов сброса и синхронизации, а выходные буферы для обеспечения нагрузочной способности выходов счетчика.

Далее выполняется нумерация ячеек схемы. Учитывая, что скопированный фрагмент синтезированной схемы имел нумерацию ячеек, последовательно выполним функции из [меню Редактор]: **Удалить нумерацию УГО** с ее подтверждением и **Автоматически пронумеровать УГО** с ее подтверждением. Полученная схема приведена на рис. 6.33.

Далее необходимо создать УГО подсхемы с помощью функции **Редактирование УГО схемы** [меню Выполнить] (рис. 6.34). Типовые подсхемы должны иметь функциональный вид УГО, в то время как автоматически сформированное УГО имеет упрощенный вид. Для перехода в функциональный вид нужно активизировать функцию **Параметры УГО** во всплывающем меню по нажатию ПКМ внутри УГО и выбрать функциональный вид.

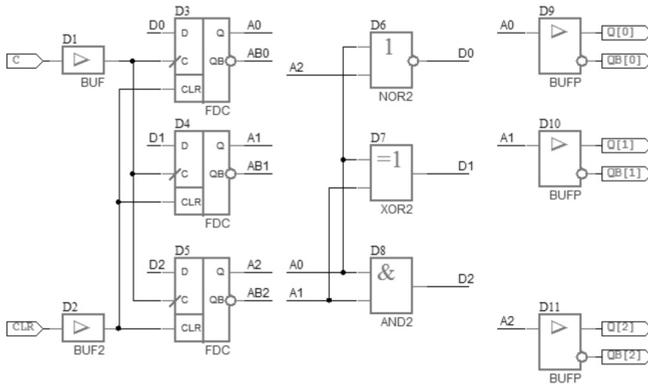


Рис. 6.33. Принципиальная схема счетчика СВЗС5

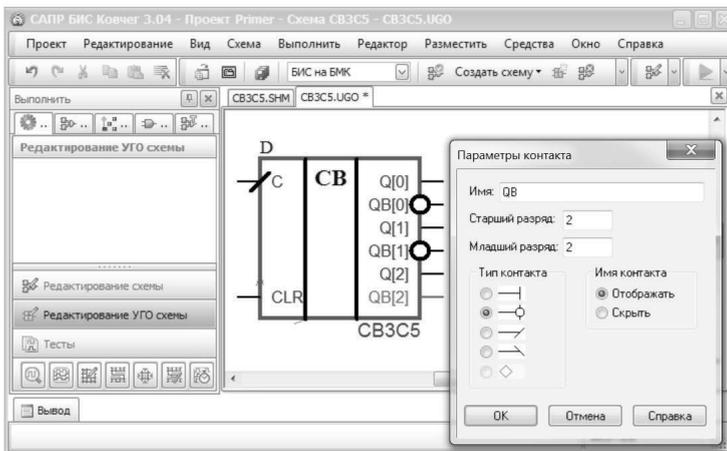


Рис. 6.34. Редактирование УГО подсхемы СВЗС5

В результате отображаются внешние контакты УГО. Функциональное УГО должно содержать центральное поле с обозначением группы и двумя дополнительными полями с обозначениями выводов, а также должны быть отображены типы выводов. Для модификации УГО нужно расширить тело УГО по нажатию ЛКМ в углу УГО с последующим перемещением при нажатой ЛКМ. С помощью функции **Линия ортогональная толстая** [меню **Разместить**] ввести линии границ дополнительных полей, функцией **Текст** [меню **Разместить**] задать обозначение группы функциональных ячеек **СВ**. Затем по нажатию ПКМ на линии контакта, выбрав во всплывающем меню функцию **Параметры**, задать тип контактов.

Теперь необходимо выполнить моделирование полученной схемы счетчика **СВЗС5**. Для этого по нажатию ЛКМ на вкладке **СВЗС5.SHM** переходим в окно схемного редактора и выполняем трансляцию с помощью функции **Трансляция схемы** [меню **Выполнить**]. Для проверки правильности функционирования разработанной подсхемы с помощью функции **Тесты** [меню **Выполнить**] задаем тестовые воздействия, которые приведены ниже:

СВЗС5;
 СВЗС5:
 С=+:14;
 CLR=1:2,0;

Автоматически формируем список контрольных точек с помощью функции **Контрольные точки** [меню **Выполнить**] и транслируем его (функция **Трансляция контрольных точек** [меню **Средства**]). Затем активизируем функцию **Моделирование** [меню **Выполнить**]. Выполняем моделирование подсхемы с помощью функции **Моделировать** [меню **Средства**]. В связи с тем, что входные воздействия на входе **С** описаны импульсным генератором типа «+», автоматически открывается окно **Параметры контактов схемы**, в котором двойным нажатием ЛКМ в списке контактов схемы выбрать контакт **С** и в полях **Параметры контакта С** задать для него смещение от начала ЭП (10%), длительность импульса (20%) и момент сравнения 0% (рис. 6.35).

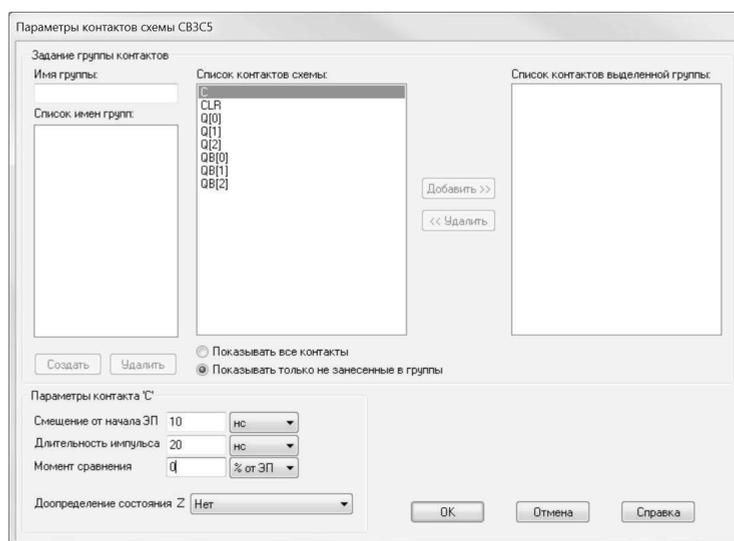


Рис. 6.35. Окно **Параметры контактов схемы**

После задания параметров контакта выполняем моделирование и проверяем правильность функционирования подсхемы по полученным временным диаграммам (рис. 6.36).

Аналогичные действия выполняются для разработки счетчика на три состояния. При этом для удобства в окне САПР БИС Ковчег 3.04 могут быть одновременно отображены вкладки окна **Графический редактор** и окна **Логическое моделирование**, что обеспечивается выбором функции **Новая вертикальная группа вкладок** в контекстном меню, открываемом при нажатии ПКМ на имени вкладки. Принципиальная схема и временные диаграммы двоичного двухразрядного счетчика на три состояния **СВ2С3** представлены на рис. 6.37.

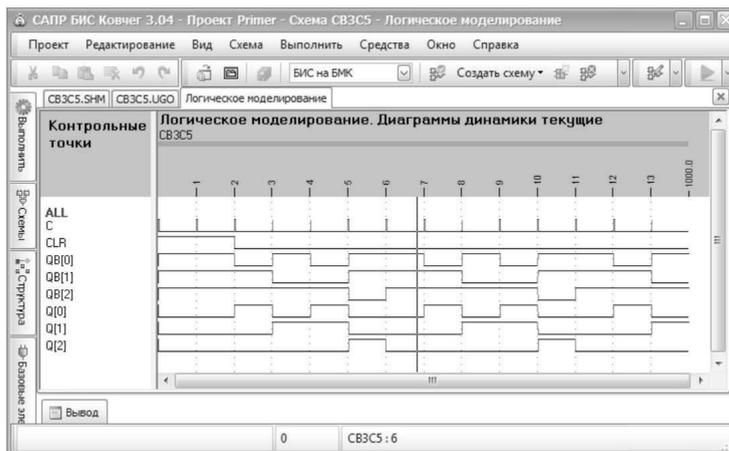


Рис. 6.36. Временные диаграммы работы счетчика СВ3С5

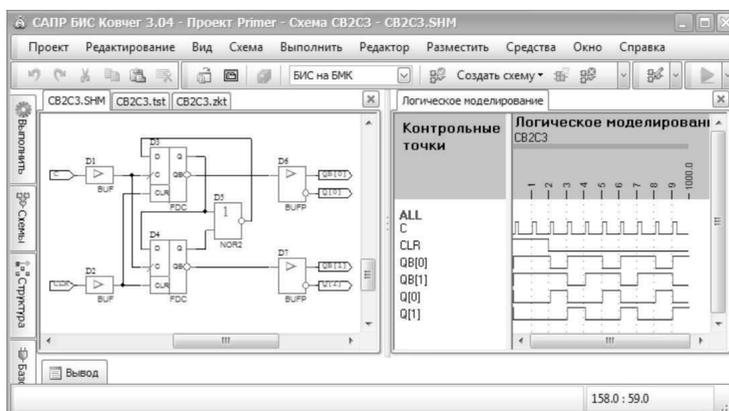


Рис. 6.37. Принципиальная схема и временные диаграммы работы счетчика СВ2С3

Подсхема защиты от дребезга

Средствами функции **Создать схему** [меню **Схема**] в режиме **Графический формат** создаем подсхему защиты от дребезга **SZD**. Будем считать, что кнопка задания режима заморозки является нормально разомкнутой и обеспечивает в момент нажатия коммутацию входа **KN** на низкий уровень. Таким образом, в отпущенном состоянии вход **KN** находится в неопределенном состоянии. Для устранения этой ситуации в качестве входной ячейки будем использовать ячейку с внутренним доопределением до высокого уровня **IDPU4** с минимальным током доопределения. Эта ячейка имеет вход разрешения подключения резистора, который должен быть подключен к технологическому входу микросхемы **Z** для перевода микросхемы в режим измерения тока потребления. Кроме того, для перевода детекторов в начальный момент моделирования в определенное состояние добавлен вход глобального сброса **GCLR**, который подключается к входу инициализации микросхемы **INIT**. Вход частоты 8 Гц обозначим именем **8Н**, а выход со схемы защиты именем **КНОПКА**. Для проверки работоспособности подсхемы **SZD** будем использовать следующие тестовые воздействия:

SZD;

SZD:

KN = 0:3, 1, 0, 1:2, 0:2, 1:3, 0:3, 1:6, 0:2, 1:2, 0;

8H = (0:2, 1:2)7;

GCLR= 1:2,0;

Принципиальная схема и временные диаграммы подсхемы **SZD** представлены на рис. 6.38.

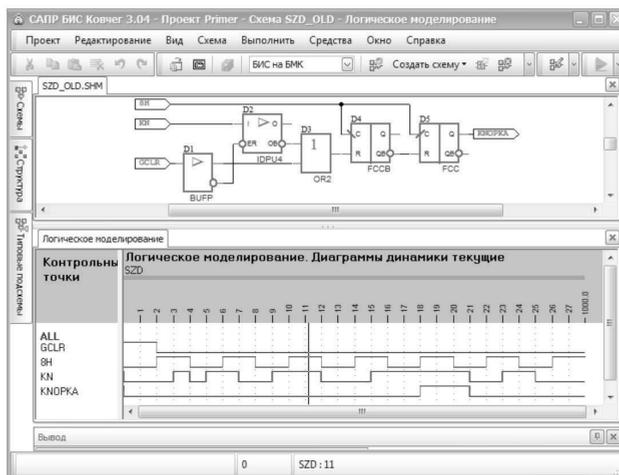


Рис. 6.38. Принципиальная схема подсхемы **SZD** и диаграммы ее работы

Вследствие имитации шума на выходе **KNOPKA** на заднем фронте сигнала возникает неопределенное состояние. Для устранения этой ситуации заменяем периферийную цифровую ячейку **IDPU4** на такую же аналоговую периферийную ячейку **IAU4** с триггером Шмитта **TS3**, имеющим максимальный гистерезис. Модифицированная схема и временные диаграммы подсхемы **SZD** представлены на рис. 6.39.

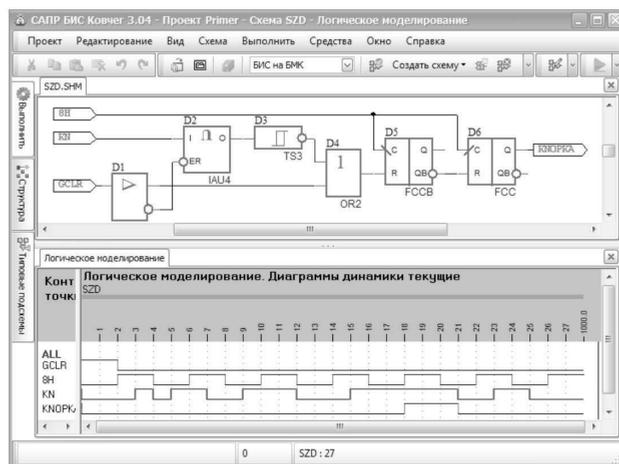


Рис. 6.39. Модифицированная схема подсхемы защиты от дребезга и диаграммы ее работы

Подсхема счетчика на 24 часа

При разработке принципиальной схемы счетчика на 24 часа будем использовать разработанные счетчики на три и пять состояний, а также последовательный двухразрядный счетчик **CBR2C** из набора типовых подсхем и последовательный трехразрядный счетчик **CBR3C**, который создадим из двухразрядного счетчика **CBR2C**. Обозначим счетчик на 24 часа в соответствии с системой обозначения библиотеки 5503 **CB12C24**. Средствами функции **Создать схему** [меню **Схема**] в режиме **Графический формат** создаем схему **CB12C24**. При этом открывается окно схемного редактора, на поле которого размещаем УГО разработанных счетчиков на три и пять состояний. Для этого с помощью функции **Подсхема из проекта** [меню **Разместить**] либо кнопкой  выбираем УГО подсхемы **CB2C3** в окне **Выбор подсхемы из текущего проекта** (рис. 6.40) и размещаем его, затем аналогично размещаем УГО подсхемы **CB3C5**.

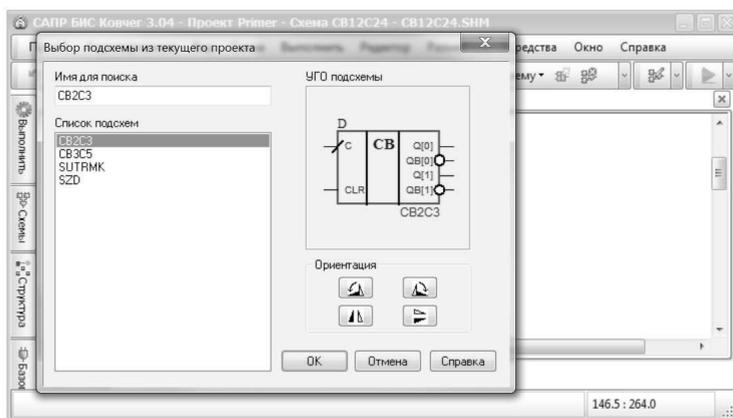


Рис. 6.40. Окно **Выбор подсхемы из текущего проекта**

С помощью функции **Типовая подсхема** [меню **Разместить**] выбираем УГО подсхемы **CR2C** и размещаем его. При этом в проект автоматически копируется набор файлов данной подсхемы. Теперь необходимо создать недостающую подсхему **CR3C**. Для этого открываем подсхему **CR2C** средствами функции **Открыть схему** [меню **Схема**], сохранив заготовку схемы **CB12C24**, и с помощью функции **Сохранить как** [меню **Схема**] задаем имя новой подсхемы **CR3C**. Модифицируем схему, добавив дополнительный триггер и увеличив разрядность выходной шины. Корректируем УГО в части выходных сигналов и тесты, задав необходимое количество тактов, затем выполняем моделирование. Принципиальная схема, УГО и диаграммы работы подсхемы приведены на рис. 6.41.

Убедившись в правильности функционирования счетчика **CR3C**, снова открываем схему **CB12C24**, размещаем УГО счетчика **CR3C** и завершаем разработку схемы. Входной частотой счетчика является сигнал длительностью 1 минута, который обозначим **1MIN**. Выходные сигналы счетчика, соответствующие 6, 12 и 24 часам, обозначим **M6**, **M12** и **M24**. Длительность теста для проверки счет-

чика при использовании входного импульсного сигнала *IMIN* составляет более 1440 тактов. Для сокращения общей длительности тестовых проверок микросхемы на этапе разработки контрольно-диагностических тестов целесообразно введение в схему дополнительного тестового входа *6HOUR*, обеспечивающего ускоренное формирование сигналов 6, 12 и 24 часа. Для этого можно использовать ячейку ИЛИ. Такой способ легко реализуется, но имеет ограничение, связанное с тем, что подача тестового сигнала возможна только при низком уровне основного сигнала. Для удобства в состав контрольных точек включим все контакты ячейки OR2 (D7), обеспечивающей подключение тестового входа, и определим интервал, во время которого возможна подача тестового сигнала (при низком уровне на входе D7(I0)).

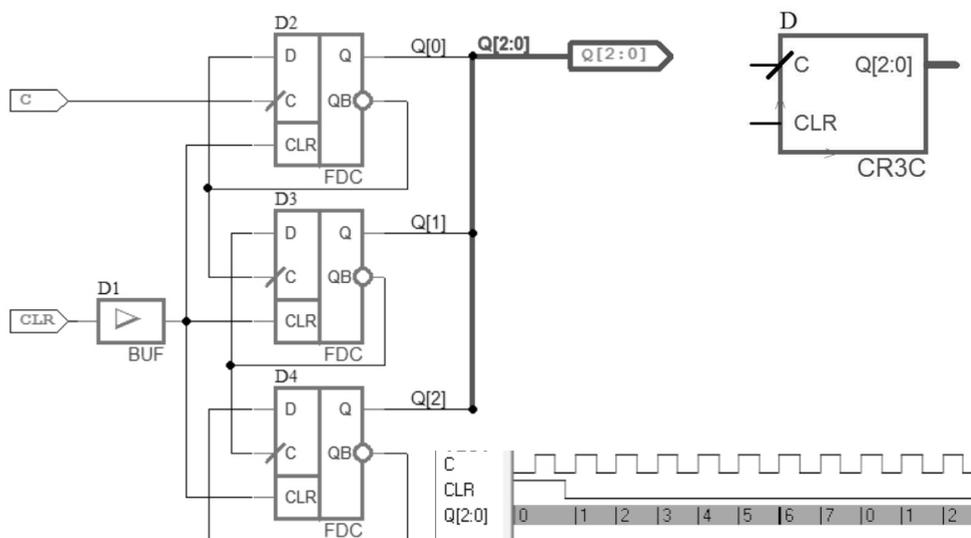


Рис. 6.41. Принципиальная схема, УГО и диаграммы работы счетчика CR3C

Принципиальная схема и временные диаграммы подсхемы **CB12C24** представлены на рис. 6.42.

Для тестирования счетчика осуществляем просчет счетчика до формирования низкого уровня на входе D7(I0), одновременно подаем тестовый вход *6HOUR* для ускоренного формирования выходных сигналов *M6*, *M12*, а затем продолжаем просчет по входу *IMIN* до формирования сигнала *M24*. Описание тестовых воздействий приведено ниже:

```

CB12C24;
CB12C24:
1MIN =0, +:180, 0;
CLR =0, 1:185, 0;
6HOUR=0:125, (0, 1):3, 0

```

После проверки правильности функционирования создаем УГО подсхемы **CB12C24**.

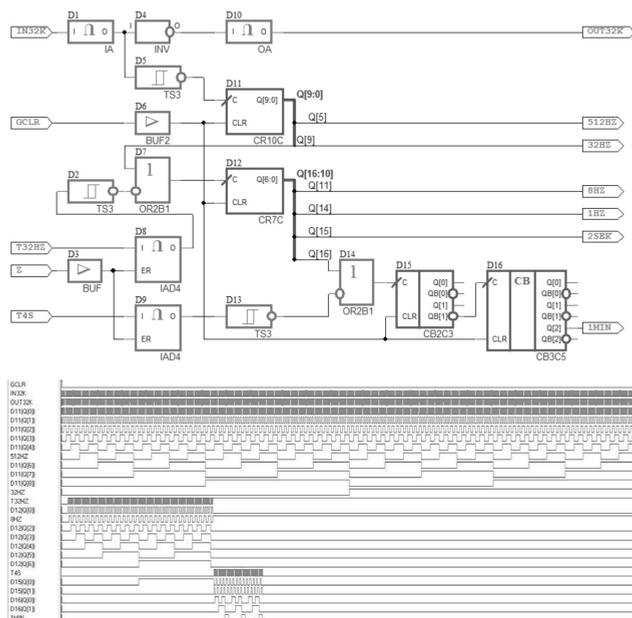


Рис. 6.42. Принципиальная схема и диаграммы работы счетчика на 24 часа

Подсхема управления заморозкой

После разработки всех подсхем, входящих в состав подсхемы управления заморозкой, приступаем непосредственно к ее разработке. Создаем новую схему, присвоив ей имя **SUZ**. Входами подсхемы являются сигнал от кнопки, сигнал длительностью 1 мин и частота 8 Гц, которые обозначим соответственно **KN**, **1MIN** и **8H**, а выходной сигнала управления заморозкой – **MOROZ**.

Аналогично описанным выше действиям подготовим средствами графического редактора электрическую схему подсхемы **A2220**, не проводя ее автономного тестирования. Проверку этой макроячейки выполним в составе подсхемы **SUZ**. Затем, используя УГО ранее разработанных подсхем и УГО типовых подсхем, создаем схему подсхемы **SUZ** (рис. 6.43).

Для анализа работоспособности подсхемы необходимо проверить отработку трех режимов заморозки 6, 12 и 24 часа. При этом не требуется полностью тестировать входящие в ее состав подсхемы, так как они были проверены ранее. В нашем случае не обязательно задавать имитацию шума при нажатии кнопки, а также проверять счетчик **CB12C24** на полный пересчет всех состояний. Отсчет интервалов 6, 12 и 24 часа будем выполнять через тестовый вход **6HOUR**. При тестировании временные соотношения входных сигналов 1 мин и 8 Гц не будут соответствовать реальной длительности сигналов, что не повлияет на качество тестирования. Для уменьшения длины тестовых воздействий будем задавать сигнал **8H** в виде импульсного генератора.

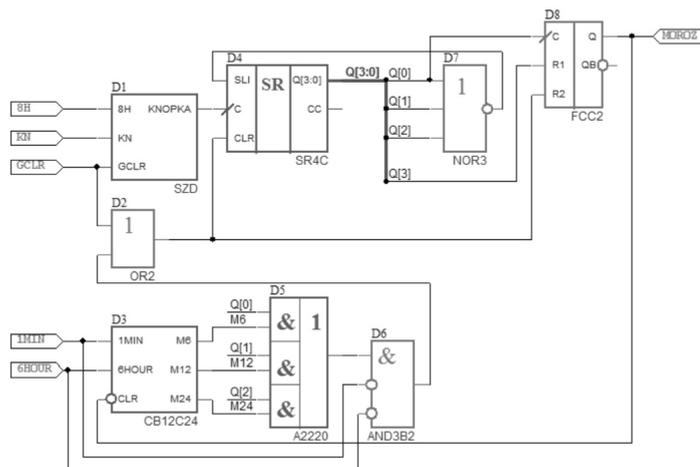


Рис. 6.43. Принципиальная схема подсхемы управления заморозкой

Тестирование подсхемы **SUZ** выполним в следующей последовательности:

- инициализация схемы по сигналу **GCLR=1**;
- задание режима заморозки 6 часов по однократному нажатию кнопки (**KN=1**) и формирование сигнала управления агрегатом **MOROZ=1**;
- просчет интервала 6 часов (метка **M6**) по входу **6HOUR**;
- по низкому уровню сигнала **1MIN** снятие сигнала управления агрегатом **MOROZ=0**;
- задание режима заморозки 12 часов по двукратному нажатию кнопки и формирование сигнала управления агрегатом **MOROZ=1**;
- просчет интервала 12 часов (метка **M12**) по тестовому входу **6HOUR** и снятие сигнала управления агрегатом **MOROZ=0**;
- задание режима заморозки 24 часа по трехкратному нажатию кнопки и формирование сигнала управления агрегатом **MOROZ=1**;
- просчет интервала 24 часа (метка **M24**) по тестовому входу **6HOUR** и снятие сигнала управления агрегатом **MOROZ=0**;
- задание и снятие режима заморозки по четырехкратному нажатию кнопки независимо от состояния сигнала **1MIN**;
- пятое нажатие кнопки для задания режима заморозки 6 часов.

С помощью функции **Тесты** [меню **Выполнить**] задаем тестовые воздействия. Их описание приведено ниже:

```
SUZ;
SUZ:
GCLR = 1:2, 0;
8H   = +:50;
KN   = 0:10, 1:2, 0:9, (1:2,0)2, 0:8, (1:2,0)3, 0:7,
      (1:2,0)5;
3HOUR= 0:15, (1,0)1, 0:10, (1,0)2, 0:8, (1,0)4, 0;
1MIN  = 0, 1:16, 0:2, 1:12, 0:2, 1:14, 0:2, 1;
```

Для более детального анализа временной диаграммы введем в состав контрольных точек с помощью функции **Контрольные точки** [меню **Выполнить**]

не только внешние выводы, но и внутренние точки, а именно: D4(Q[0], Q[1], Q[2], Q[3]), D2(O), D3(M6, M12, M24). Из диаграммы (рис. 6.44) видно, что в момент достижения заданного времени заморозки на выходе D2(O) возникает короткий импульс сброса сдвигового регистра и детектора, формирующего сигнал **MOROZ**. Длительность этого сигнала определяется временем сброса одного из разрядов сдвигового регистра. С учетом топологии сигнал сброса может оказаться настолько коротким, что не окажется достаточным для гарантированного сброса ячеек. Поэтому при разработке топологии необходимо обратить внимание на то, чтобы ячейка D2 находилась рядом с детектором фронта, а разряды сдвигового регистра и детектор фронта – в одном или в двух соседних столбцах БМК. В этом случае сигнал сброса вначале поступит на детектор фронта и только затем на буфер формирования сброса сдвигового регистра.

Для сравнения первоначальной (см. рис. 6.4) и модифицированной (см. рис. 6.6) схем управления заморозкой в проекте микросхемы также приведена схема SUZ_ERMOR. Моделирование этой схемы показывает, что на выходе **MOROZ** возникает неопределенное состояние, которое с учетом топологических задержек может привести к ложному сбросу счетчика **CB12C24**.

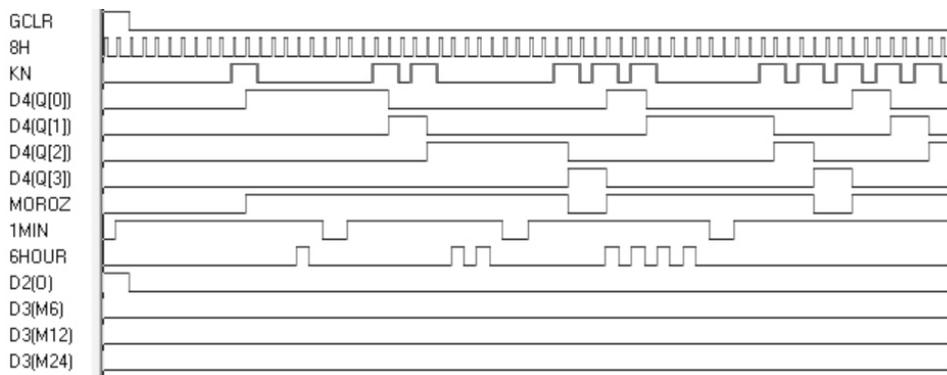


Рис. 6.44. Диаграммы работы подсхемы управления заморозкой

Подсхема защиты от повторного пуска

Создаем новую схему, присвоив ей имя **SZPP**. Входной частотой является сигнал длительностью 1 мин, который обозначим **1MIN**, вход сигнала управления агрегатом обозначим **AGR**. Подсчет времени осуществляется при условии отключения агрегата, признаком чего является низкий уровень на входе **AGR**. Для сброса триггеров в начальный момент времени в схему добавлен вход глобального сброса **GCLR**, который подключается к входу инициализации микросхемы **INIT**. Выходной сигнал превышения 5 минут после отключения агрегата обозначим **5MIN** (рис. 6.45).

Сигнал управления агрегатом **AGR** появляется асинхронно относительно сигнала **1MIN**, поэтому выходной сигнал **5MIN** с учетом этого будет сформирован не ранее 5 минут от появления сигнала **AGR**.

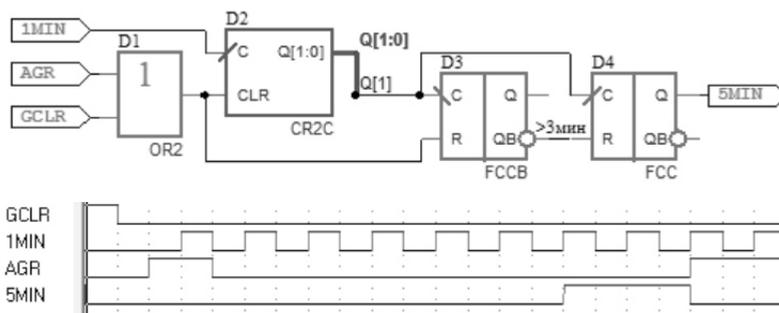


Рис. 6.45. Принципиальная схема подсхемы защиты от повторного пуска и диаграммы его работы

Описание тестовых воздействий приведено ниже:

SZPP;

SZPP:

1MIN = 0:2, (0, 1)10;

AGR = 0:2, 1:2, 0:15, 1;

GCLR = 1, 0;

Из временных диаграмм видно, что в начальный момент при подаче сигнала глобального сброса **GCLR** выходной сигнал **5MIN** находится в неактивном низком уровне, поэтому после подачи напряжения питания на микросхему, т.е. при включении холодильника в сеть, первое включение агрегата произойдет только через 5 минут. Эта ситуация может быть воспринята как неисправность холодильника. Для устранения этого неудобства модифицируем подсхему, заменив последний детектор фронтовым триггером FDCP со сбросом и предустановкой, который позволяет по входу предустановки сформировать высокий уровень сигнала **5MIN** при начальном сбросе и снять этот сигнал при включении агрегата. Также для усиления входных сигналов добавим два буфера, выполним нумерацию добавленных ячеек. Модифицированная схема подсхемы защиты от повторного пуска приведена на рис. 6.46.

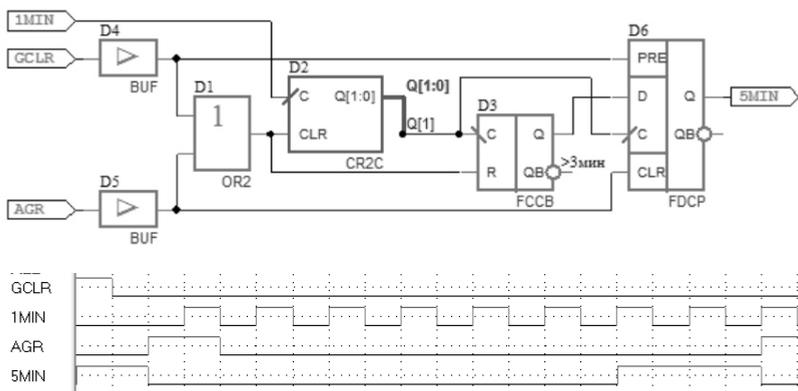


Рис. 6.46. Модифицированная схема подсхемы защиты от повторного пуска и диаграммы его работы

Блок управления агрегатом морозильной камеры

После завершения разработки подсхем, входящих в состав блока управления агрегатом морозильника, создадим электрическую схему блока с именем **BUAM** в соответствии с приведенной ранее функциональной схемой, сохранив названия входных и выходных сигналов. Сигнал управления агрегатом морозильника формируется на RS-триггере, который в соответствии с функциональной схемой устанавливается либо по режиму заморозки, либо по превышению температуры -17°C . Спри условии, что агрегат был выключен не менее 5 минут, а сбрасывается по условию понижения температуры ниже -19°C . В процессе заморозки температура морозильника может опуститься ниже -19°C до окончания заданного времени заморозки и отключить агрегат. Также нужно обеспечить сброс триггера в начальный момент. Для обеспечения этих условий на входе сброса триггера применим логическую ячейку, позволяющую заблокировать сигнал понижения температуры ниже -19°C TL19 во время режима заморозки ($MOROZ=0$), а также обеспечить сброс триггера по сигналу глобального сброса **GCLR**. Учитывая, что сигнал управления агрегатом морозильной камеры является выходом микросхемы и в другие блоки не поступает, добавим в схему выходную ячейку с драйвером. Для устранения влияния имитации шума на выходе подсхемы **SUTRMK** применим триггер Шмитта **TS3**. Получившаяся схема приведена на рис. 6.47.

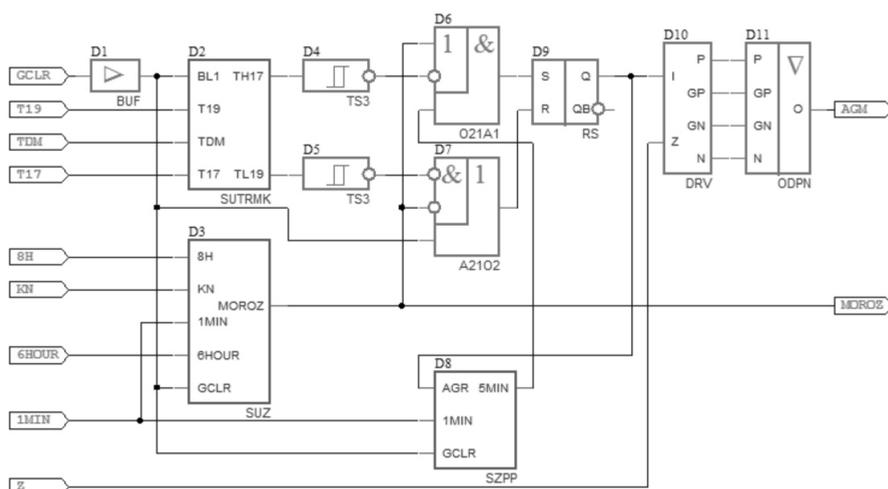


Рис. 6.47. Принципиальная схема блока управления агрегатом морозильной камеры

Тестирование блока **BUAM** должно включать проверку всех режимов работы, а именно включение и отключение агрегата по значению температуры, заморозка в трех режимах (независимо от температуры, точнее, при температуре ниже -19°C). Выполним проверку в следующей последовательности:

- инициализация схемы по сигналу $GCLR=1$;
- температура выше -17°C ($TDM=1, T17=T19=0$), формируется сигнал включения агрегата $AGM=1$;
- температура ниже -17°C ($TDM=0, T17=1, T19=0$), подтверждение сигнала включения агрегата $AGM=1$;

- температура ниже $-19\text{ }^{\circ}\text{C}$ ($TDM=0$, $T17=0$, $T19=1$), формируется сигнал отключения агрегата $AGM=0$, формирование интервала защиты от повторного пуска по входу $1MIN$;
- фиксируем температуру ниже $-19\text{ }^{\circ}\text{C}$ ($TDM=0$, $T17=0$, $T19=1$), задание режима заморозки 6 часов по однократному нажатию кнопки ($KN=1$), формирование режима заморозки ($MOROZ=1$);
- формирование интервала защиты от повторного пуска 5 минут по входу $1MIN$, формируется сигнал включения агрегата $AGM=1$;
- формирование интервала 6 часов по входу $3HOUR$ (по заднему фронту сигнала), снятие режима заморозки ($MOROZ=0$), отключение агрегата $AGM=0$;
- задание режима заморозки 12 часов по двукратному нажатию кнопки, формирование режима заморозки ($MOROZ=1$);
- формирование интервала защиты от повторного пуска 5 минут по входу $1MIN$, формируется сигнал включения агрегата $AGM=1$;
- формирование интервала 12 часов по входу $3HOUR$, снятие режима заморозки ($MOROZ=0$), отключение агрегата $AGM=0$;
- задание режима заморозки 24 часа по трехкратному нажатию кнопки, формирование режима заморозки ($MOROZ=1$);
- формирование интервала защиты от повторного пуска 5 минут по входу $1MIN$, формируется сигнал включения агрегата $AGM=1$;
- формирование интервала 24 часа по входу $3HOUR$, снятие режима заморозки ($MOROZ=0$), отключение агрегата $AGM=0$.

Описание тестовых воздействий приведено ниже:

BUAM;

BUAM:

Z =1, 0;

GCLR =1, 0;

T17 =0:3, 0:2, 1:2, 0;

T19 =0:3, 0:2, 0:2, 1;

TDM =0:3, 1:2, 0:2, 0;

KN =0:9, 1:4, 0:2, (1:2, 0) 2, 0:5, (1:2, 0) 3, 0;

8H =0:9, +;

1MIN =0:7, +;

3HOUR=0:13, 1, 0:7, (1, 0) 2, 0:6, (1, 0) 4, 0;

Результаты моделирования приведены на рис. 6.48.

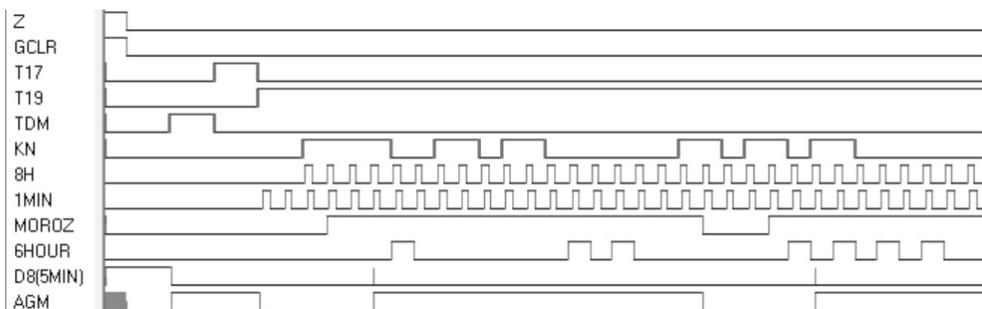


Рис. 6.48. Диаграммы работы блока управления агрегатом морозильной камеры

Блок управления агрегатом холодильной камеры

Аналогично выполним разработку и тестирование блока управления агрегатом холодильной камеры. Создадим электрическую схему блока с именем **BUAH** в соответствии с приведенной ранее функциональной схемой (см. рис. 6.11), сохранив названия входных и выходных сигналов (внутренний сигнал управления нагревателем обозначим **NAGR**). Дополнительно на входе триггера поставим ячейку 2ИЛИ для сброса по сигналу глобального сброса **GCLR**, а на входах датчиков температуры и на выходе управления агрегатом холодильной камеры – ячейки входа и выхода с драйвером (рис. 6.49).

Описание тестовых воздействий приведено ниже:

BUAHM=28;

BUAHM:

GCLR=1, 0;

TDX=1:4, 0:6, 1;

TX =0:4, 1:6, 0;

1MIN=(0, 1):13;

NAGR=0:8, 1:2, 0:12, 1, 0;

Z=0;

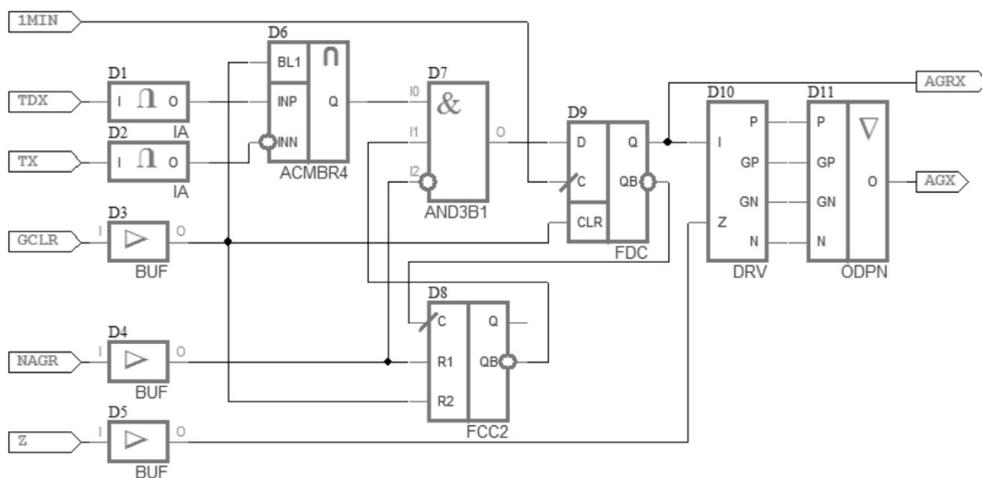


Рис. 6.49. Принципиальная схема блока управления агрегатом холодильника

Результаты моделирования приведены на рис. 6.50.

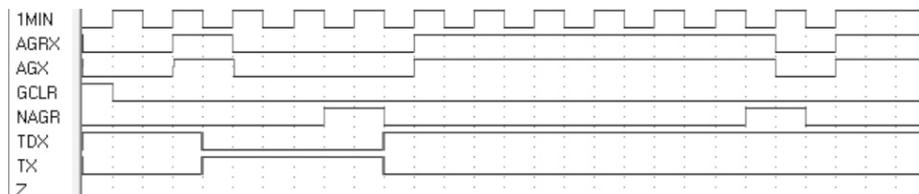


Рис. 6.50. Временная диаграмма работы блока управления агрегатом морозильника

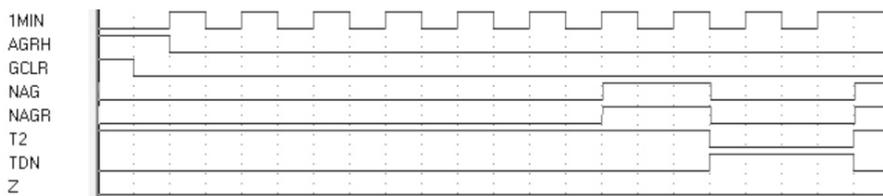


Рис. 6.52. Временная диаграмма работы блока управления нагревателем оттайки

Блок индикации

Выполним разработку и тестирование блока индикации. Создадим схему с именем **VI** в соответствии с приведенной ранее функциональной схемой (см. рис. 6.12). В качестве датчиков двери будем использовать нормально разомкнутые контакты, для подключения этих входов к высокому уровню применим входные ячейки с внутренними резисторами доопределения. Начальный сброс счетчиков и детекторов фронта может быть осуществлен по входам датчиков двери, поэтому дополнительное введение в схему сигнала глобального сброса не требуется, на выходах блока используем ячейки выхода с драйверами (рис. 6.53).

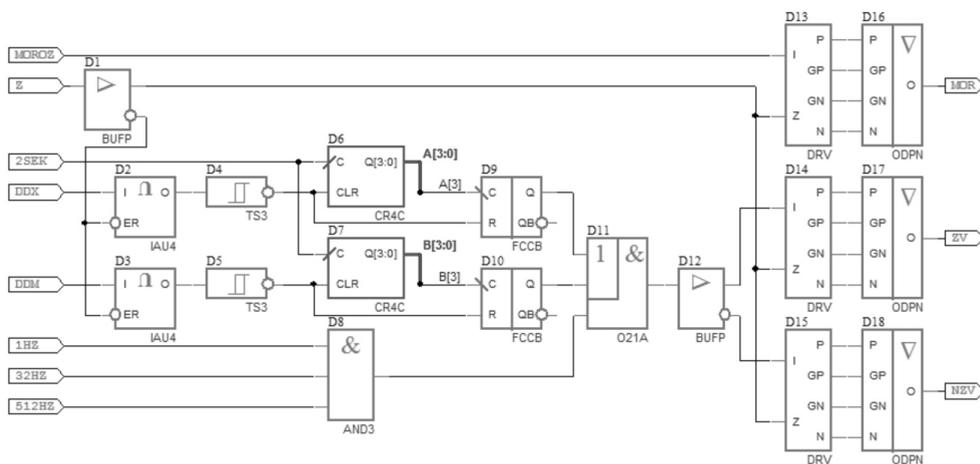


Рис. 6.53. Принципиальная схема блока индикации

Для тестирования проверим включение звуковой индикации отдельно по датчику двери холодильной камеры **DDM** и датчику двери морозильной камеры **DDH** с одновременной проверкой индикации режима заморозки. При тестировании временные соотношения входных сигналов не будут соответствовать реальной длительности сигналов, что не повлияет на качество тестирования. Однако для устранения гоночных ситуаций на фронтах сигналов **1HZ**, **32HZ** и **512HZ** средствами функции **Задать параметры контактов** [меню **Средства**] окна **Логическое моделирование** зададим смещение этих сигналов относительно друг друга. Для этого в открывшемся окне **Параметры контактов схемы VI** по двойному нажатию ЛКМ на имени контакта в поле **Смещение от начала ЭП** зададим смещение 10, 30 и 50% от ЭП. Описание тестовых воздействий приведено ниже:

```

BI;
BI:
1HZ=(0,0,1,1,1):24;
32HZ=(0,0,1,1):30;
512HZ=(0,1,0):40;
2SEK=(0,1):60;
DDX=0:2,0:70,1;
DDM=0:2,1:65,0;
Z=1,0;
MOROZ = (1:10, 0:10)3;

```

Временная диаграмма приведена на рис. 6.54.

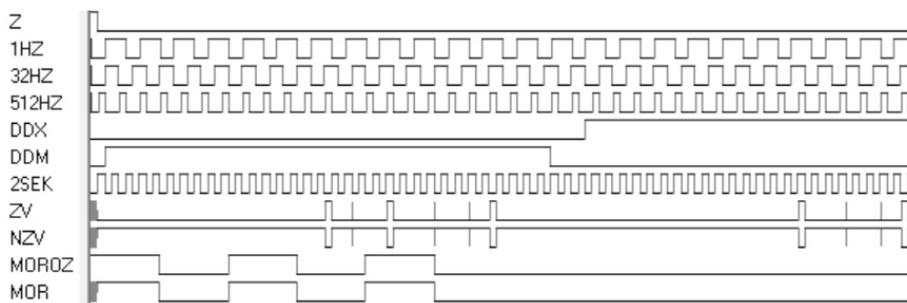


Рис. 6.54. Временная диаграмма работы блока индикации

Блок формирования частот

Создадим схему с именем **ВФЧН** в соответствии с функциональной схемой (см. рис. 6.13). Для реализации кварцевого генератора применим инвертор с аналоговыми входом и выходом. Последовательный 17-разрядный счетчик отсутствует в библиотеке типовых функциональных узлов, поэтому будем использовать имеющиеся счетчики CR10C и CR8C. Последовательно с помощью функции **Типовая подхема** [меню **Разместить**] окна графического редактора выберем и разместим УГО этих счетчиков на поле схемы. При этом в каталог проекта копируется набор файлов выбранных типовых подсхем. Откроем подсхему CR8C, переименуем ее в схему CR7C, в электрической схеме удалим триггер, соответствующий старшему разряду, изменим разрядность выходной шины и откорректируем текст, обозначающий имя подсхемы. Также проведем коррекцию УГО подсхемы в части разрядности выходной шины (рис. 6.55).

Затем вновь открываем схему блока формирования частот **ВФЧН**, удаляем в ней УГО подсхемы CR8C, вместо него с помощью функции **Подсхема из проекта** [меню **Разместить**] размещаем УГО откорректированной подсхемы CR7C. Аналогично размещаем УГО подсхем CB2C3 и CB3C5.

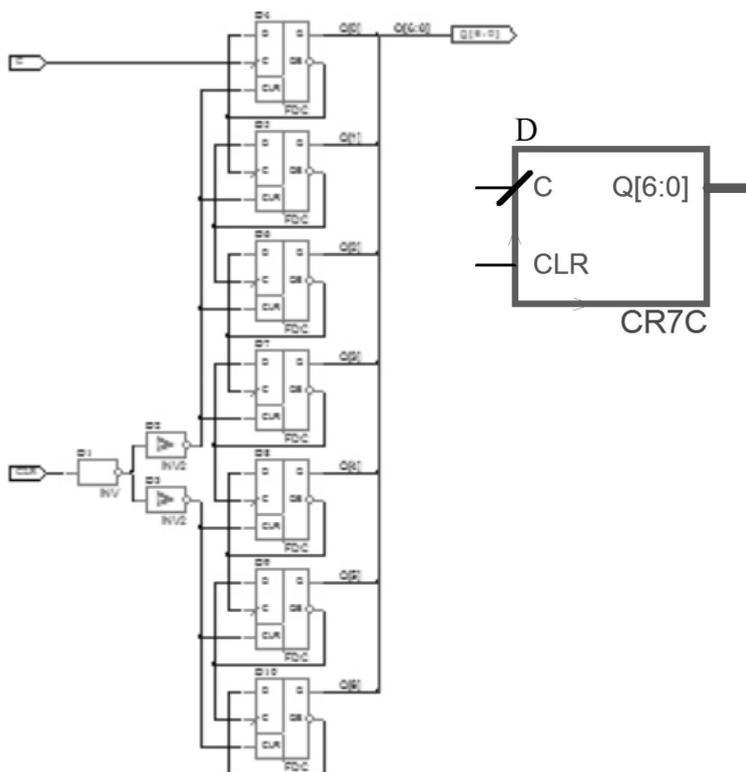


Рис. 6.55. Фрагмент схемы и УГО подсхемы CR7C

6

При разработке схемы нужно учесть, что прямое тестирование составного 22-разрядного счетчика потребует очень длительного теста. Поэтому введем в схему два дополнительных тестовых входа для тестирования счетчика *T32HZ* и *T4S*, которые подключим в схему через ячейки ИЛИ. Особенностью такого включения является то, что тестовый сигнал можно подать только при низком уровне основного сигнала, к которому он подмешивается. Для входных ячеек этих сигналов будем использовать ячейки с внутренним доопределением до низкого уровня, что позволит при нормальной работе микросхемы оставить эти входы без подключения. Начальный сброс счетчиков осуществим через сигнал глобального сброса *GCLR* (рис. 6.56).

При тестировании блока будем одновременно проверять работу первого 10-разрядного счетчика CR10C по входу генератора *IN32K* и счетчика CR7 по тестовому входу *T32HZ*, после этого подадим частоту на тестовый вход *T4S* для проверки счетчиков СВ2С3 и СВ3С5. Описание тестовых воздействий приведено ниже:

```

VFCH;
VFCH:
IN32K=+:1030;
T32HZ=0:10, (0,1):130,1;
Z=1,0;

```

GCLR=1, 0;
T4S=0:270, (0, 1) 44, 0

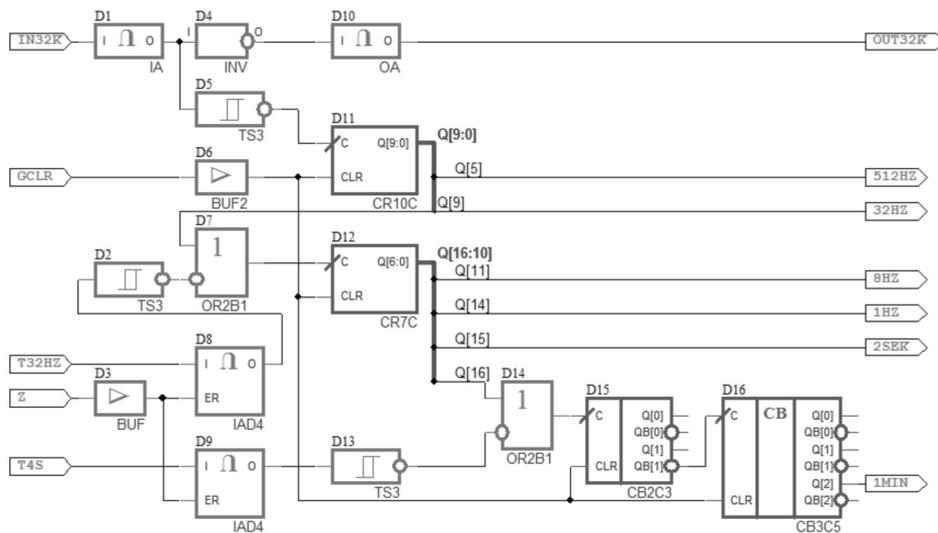


Рис. 6.56. Принципиальная схема блока формирования частот

Для более удобной проверки правильности работы составного счетчика в список контрольных точек выведем последовательно все выходы счетчика начиная с младшего и до старшего разряда, а также включим в список входные сигналы. Список контрольных точек приведен ниже:

ALL;

ALL: Z, GCLR, IN32K, OUT32K, D11 (Q[0], Q[1], Q[2], Q[3], Q[4]), 512HZ, D11 (Q[6], Q[7], Q[8]), 32HZ, T32HZ, D12 (Q[0]), 8HZ, D12 (Q[2], Q[3], Q[4], Q[5], Q[6]), T4S, D15 (Q[0], Q[1]), D16 (Q[0], Q[1]), 1MIN

Временная диаграмма приведена на рис. 6.57.

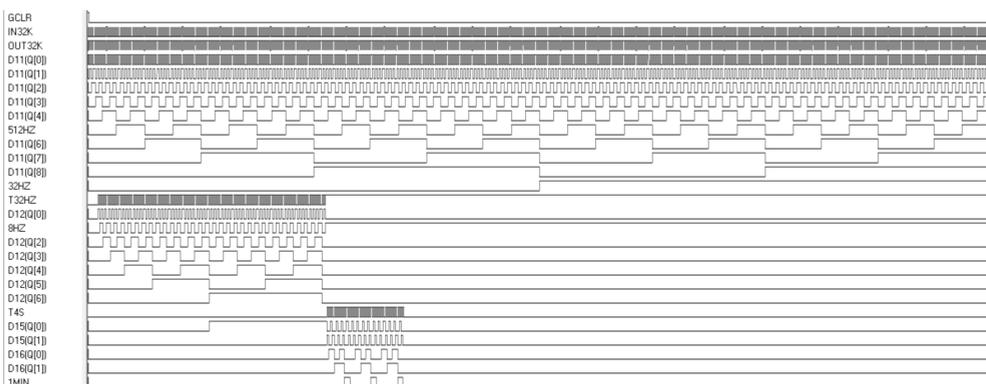


Рис. 6.57. Временная диаграмма работы блока формирования частот

Разработка головной схемы проекта микросхемы

Аналогично создадим схему с именем **MAIN**. Это имя было указано при создании проекта микросхемы (см. рис. 6.15) в соответствии с функциональной схемой (см. рис. 6.13). С помощью функции **Подсхема из проекта** [меню **Разместить**] окна графического редактора выберем и разместим УГО разработанных блоков. Соединим их в схему. При этом по нажатию правой кнопки мыши на УГО подсхемы во всплывающем меню можно выбрать функцию **Открыть УГО**, которая позволяет произвести перемещение контактов подсхемы в УГО для более удобного их соединения.

Учитывая, что сигнал **IMIN** из блока **BFCH** поступает на блоки управления морозильной и холодильной камер, а также блок управления нагревателем оттайки для формирования условия повторного пуска, с целью уменьшения общей длины тестовой последовательности введем в схему дополнительный тестовый вход **T1MIN**. На этом входе, а также на входе **T6HOUR** для защиты от имитации шума будем использовать периферийную ячейку **IAD4** с внутренним резистором доопределения до низкого уровня, что позволит при использовании микросхемы данный тестовый вход оставить неподключенным, и триггер Шмитта **TS3**.

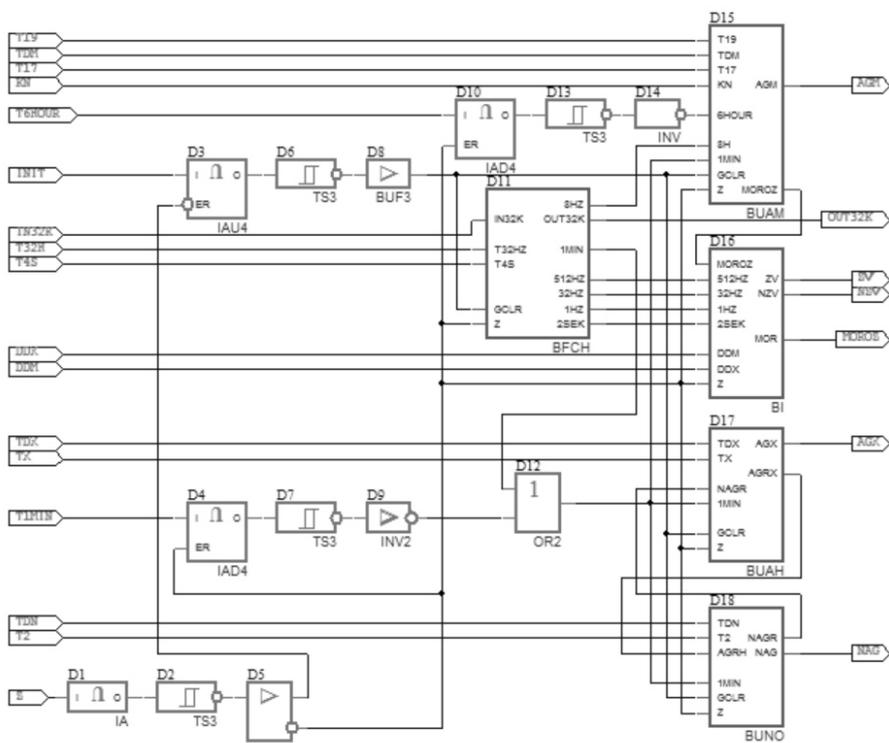


Рис. 6.58. Головная схема проекта

Все выводы головной схемы проекта должны подключаться через периферийные входные и выходные ячейки. Поэтому выводы, на которых в составе подсхем и блоков уже имеются такие ячейки, просто подключаем как выводы микросхе-

мы, а на остальных добавляем необходимые ячейки. Если какой-либо контакт не будет подключен к периферийным ячейкам, в нижней части окна САПР БИС Ковчег 3.04 будет выдано сообщение, что внешний контакт головной схемы подключен не к периферийной ячейке. На входе управления **Z** ячейками входа и выхода применим ячейку **IDP**. Для обеспечения инициализации, т.е. начального сброса всех триггеров при включении питания микросхемы, на входе **GCLR** будем использовать ячейку **IAU4**. Это позволит подключить к данному выводу микросхемы электролитический конденсатор, соединенный с выводом «Общий» микросхемы, что обеспечит задержку формирования сигнала сброса. Для увеличения длительности сигнала сброса дополнительно применим триггер Шмитта с максимальным гистерезисом **TS3**. Полученная головная схема проекта приведена на рис. 6.58.

Разработка контрольно-диагностических тестов

Разработка тестов для головной схемы проекта отличается от тестирования подсхем проекта. В первую очередь это связано с тем, что эти тесты используются для тестирования микросхем в процессе их изготовления. Они должны проверять правильность функционирования, обеспечивать возможность измерения электрических параметров микросхем, осуществлять переключение максимально возможного количества ячеек схемы, при этом входные воздействия должны однозначно определять значения выходных сигналов. Поэтому тесты называются контрольно-диагностическими. В то же время длина тестовой последовательности должна быть возможно короткой для снижения времени разбраковки в процессе производства. Более подробно рекомендации по тестированию приведены в разделе 5.

Для удобства анализа временной диаграммы моделирование будем проводить без имитации шума.

Контрольно-диагностический тест должен начинаться с начальной инициализация микросхемы с последующим контролем токов утечки и потребления в отключенном состоянии драйверов периферийных ячеек. Присвоим данному подтесту имя **INIT**. Далее выполняем тестирование функциональных блоков, совмещающая нормальную работу микросхемы с подачей тестовых сигналов. Начнем разработку теста с блока управления агрегатом морозильной камеры (подтест **VUAM**), повторяя сценарий автономного тестирования данного блока. В качестве контрольных точек будем использовать группу контактов блоков **VUAM** и **VFCH**, которую обозначим **VUAM**. При разработке теста будем последовательно задавать воздействия на входах, корректируя их по временной диаграмме поведения схемы и определяя результат работы по изменению выходных сигналов:

- задаем температуру в МК выше $-17\text{ }^{\circ}\text{C}$ ($TDM=1, T17=T19=0$), в результате формируется сигнал включения агрегата морозильника $AGM=1$;
- задаем температуру в МК ниже $-17\text{ }^{\circ}\text{C}$ ($TDM=0, T17=1, T19=0$), подтверждается сигнал включения агрегата морозильника $AGM=1$;
- задаем температуру в МК ниже $-19\text{ }^{\circ}\text{C}$ ($TDM=0, T17=0, T19=1$), в результате формируется сигнал отключения агрегата морозильника $AGM=0$;
- фиксируем температуру в МК ниже $-19\text{ }^{\circ}\text{C}$ ($TDM=0, T17=0, T19=1$) и задаем режим заморозки 6 часов по однократному нажатию кнопки ($KN=1$) с подачей тестового сигнала **T32H** для формирования внутренней частоты **8HZ**, в результате формируется сигнал режима заморозки ($MOROZ=1$);

- обеспечиваем формирование интервала защиты от повторного пуска по входу *T4S* и входу *T32HZ*, в результате формируется сигнал включения агрегата морозильника *AGM=1*;
- обеспечиваем формирование интервала 6 часов последовательно по входу *T1MIN* и по входу *T6HOUR*, в результате формируется сигнал отключения режима заморозки (*MOROZ=0*) и отключение агрегата *AGM=0*;
- задание режима заморозки 12 часов по двукратному нажатию кнопки (*KN=1*) с подачей тестового сигнала *T32H* для формирования внутренней частоты *8HZ*, в результате формируется сигнал режима заморозки (*MOROZ=1*);
- формирование интервала защиты от повторного пуска 5 минут по входу *T1MIN*, формируется сигнал включения агрегата морозильника *AGM=1*;
- формирование интервала 12 часов по входу *T1MIN* и по входу *T6HOUR*, в результате формируется сигнал отключения режима заморозки (*MOROZ=0*) и отключение агрегата морозильника *AGM=0*;
- задание режима заморозки 24 часа по трехкратному нажатию кнопки (*KN=1*) с подачей тестового сигнала *T32H* для формирования внутренней частоты *8HZ*, в результате формируется сигнал режима заморозки (*MOROZ=1*);
- формирование интервала защиты от повторного пуска 5 минут по входу *T1MIN*, формируется сигнал включения агрегата морозильника *AGM=1*;
- формирование интервала 24 часа по входу *T1MIN* и по входу *T6HOUR*, в результате формируется сигнал отключения режима заморозки (*MOROZ=0*) и отключение агрегата морозильника *AGM=0*;
- задание и отмена режима заморозки по четырехкратному нажатию кнопки (*KN=1*) с подачей тестового сигнала *T32H* для формирования внутренней частоты *8HZ*, в результате после первого нажатия кнопки формируется сигнал режима заморозки (*MOROZ=1*), а после четвертого – отключается (*MOROZ=0*).

На этом тестирование блока управления агрегатом морозильной камеры завершено. Для тестирования были использованы входы *TDM*, *T17*, *T19*, *KN*, *T32H*, *T4S*, *T1MIN* и *T6HOUR*. Полученная диаграмма на выводах микросхемы представлена на рис. 6.59.

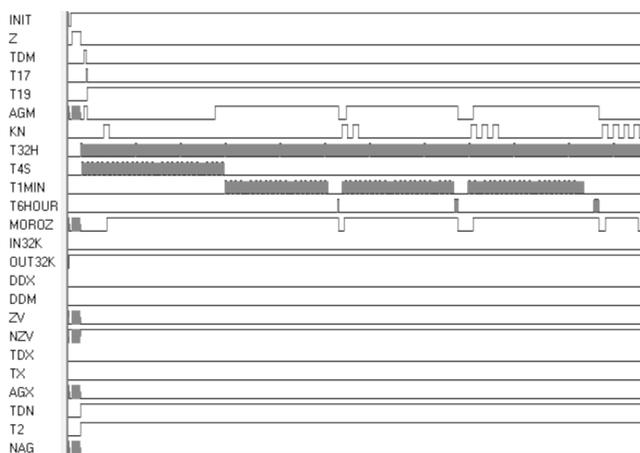


Рис. 6.59. Временная диаграмма тестирования блока управления агрегатом морозильной камеры

Теперь проведем тестирование блока управления агрегатом холодильной камеры и блока управления нагревателем оттайки. Для сокращения длины теста выполним тестирование внутри описанного выше теста. В качестве контрольных точек при разработке теста будем использовать группу контактов блоков ВUАН и ВUНО, которую обозначим ВUАХ. Для тестирования зададим входные воздействия на входах *TDX*, *TX*, *TDN*, *T2*, при этом будем использовать ранее заданные воздействия, а именно *T1MIN*. Полученная диаграмма на выводах микросхемы представлена на рис. 6.60.

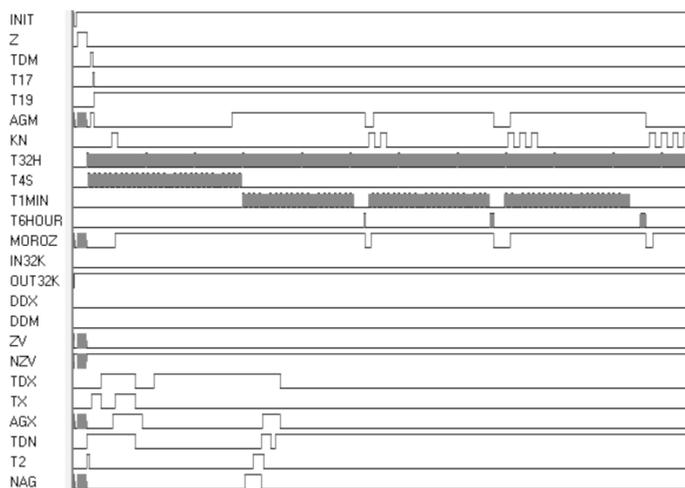


Рис. 6.60. Временная диаграмма тестирования блока управления агрегатом морозильной камеры

Последовательность тестирования описана ниже:

- формируем условие включения нагревателя оттайки ($TDN=1$ при $T2=1$ и $T2=0$), в результате сигнал включения нагревателя не формируется $NAG=0$, так как перед этим не было включения агрегата ХК;
- задаем температуру в ХК ниже температуры терморегулирования ($TDX=0$, $TX=1$), в результате сигнал включения агрегата холодильника не формируется $AGX=0$;
- задаем температуру в ХК выше температуры терморегулирования ($TDX=1$, $TX=0$), в результате по переднему фронту сигнала 1 мин формируется сигнал включения агрегата холодильника $AGX=1$;
- задаем температуру в ХК, равную температуре терморегулирования ($TDX=1$, $TX=1$), состояние сигнала включения агрегата холодильника не меняется $AGX=1$;
- задаем температуру в ХК ниже температуры терморегулирования ($TDX=0$, $TX=0$), в результате по переднему фронту сигнала 1 мин отключается агрегат холодильника $AGX=0$;
- задаем температуру в ХК выше температуры терморегулирования ($TDX=1$, $TX=0$), сигнал включения агрегата холодильника не формируется $AGX=0$, так как формируется защита от повторного пуска в течение 5 минут;
- формируем условие включения нагревателя оттайки ($TDN=0$, $T2=0$), в результате через 5 минут после отключения агрегата ХК формируется сигнал включения нагревателя $NAG=1$;

- задаем температуру нагревателя оттайки выше 2°C ($TDN=0$, $T2=1$), в результате нагреватель отключается $NAG=0$, по переднему фронту сигнала 1 мин включается агрегат холодильника $AGX=1$;

- задаем температуру в ХК ниже температуры терморегулирования ($TDX=0$, $TX=0$), в результате по переднему фронту сигнала 1 мин отключается агрегат холодильника $AGX=0$.

Осталось проверить блок индикации, а именно формирование звуковой индикации открытой двери. Аналогично дополним имеющийся тест воздействиями на входы DDX и DDM (окончательная диаграмма на выводах микросхемы представлена на рис. 6.61). Необходимо отметить, что формирование сетки частот через тестовые входы приводит к нарушению временных соотношений сигналов, действующих при их формировании из рабочей частоты $IN32K$. Поэтому для отладки теста в качестве контрольных точек будем использовать группу контактов блоков VI и VFCH, которую обозначим VI.

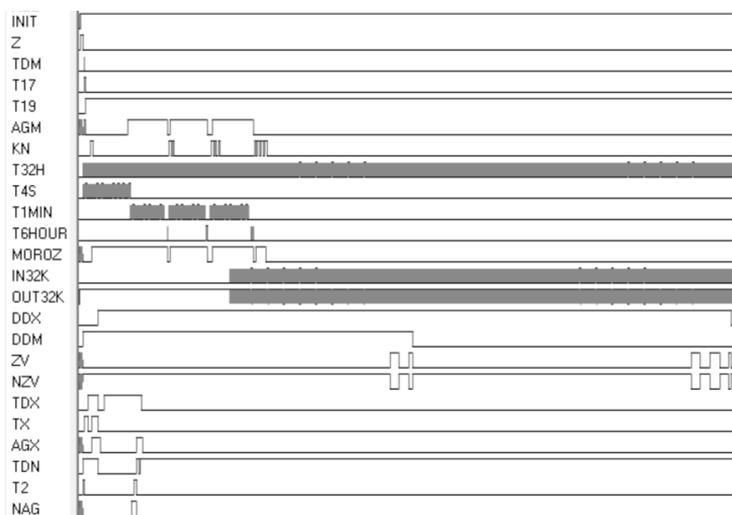


Рис. 6.61. Окончательная временная диаграмма тестирования микросхемы

Применим следующую последовательность тестирования:

- подаем сигнал открытия двери морозильника ($DDM=1$), через 50 тактов подаем сигнал открытия двери холодильника $DDX=1$. Для формирования сигналов звуковой индикации 1HZ, 32HZ и 512HZ на вход $IN32K$ подаем импульсный источник сигнала, начиная с 500 такта от начала теста, что обеспечивает формирование высокого уровня сигналов 1HZ и 32HZ к моменту формирования сигнала открытой двери морозильника более 32 секунд. На выводах ZV и NZV формируются выходные сигналы звуковой частоты;

- снимаем сигнал открытия двери морозильника ($DDM=0$), на выводах ZV и NZV устанавливаются потенциальные сигналы;

- длительности теста не хватает для проверки формирования звуковой индикации при открытии двери холодильника, поэтому увеличиваем длительность теста до 2500 тактов. В результате обеспечиваем формирование сигнала открытой

двери холодильника более 32 секунд, на выводах *ZV* и *NZV* формируются выходные сигналы звуковой частоты;

- снимаем сигнал открытия двери холодильника (*DDM=0*), на выводах *ZV* и *NZV* устанавливаются потенциальные сигналы.

Длительность теста *BUAM* составляет 2220 тактов.

После разработки контрольно-диагностического теста необходимо проверить список цепей, не переключающихся в процессе моделирования и переключающихся только один раз. Эти списки формируются в нижней части экрана в окне **Вывод** при выборе соответствующих списков во вкладке **Моделирование** функции **Параметры** меню **Проект**.

В списке не переключающихся в процессе моделирования цепей указан контакт *D9.D3.D8.D3(O)*. Для проверки все контакты этой ячейки внесем в список контрольных точек и выполним моделирование. На диаграмме видно, что на контролируемом выводе формируется короткий импульсный сигнал, который идентифицируется как не переключающийся, но приводящий к изменению состояния детектора фронта. Поэтому дополнять тест для проверки этой цепи не нужно.

Среди цепей, переключившихся только один раз, присутствуют внешние выводы *INIT* и *T19*. Добавим в тесты состояния, меняющие эти сигналы: *T19=1* в начале теста *BUAM* и *INIT=0* в конце теста *BUAM*, после чего убедимся, что это не изменило временную диаграмму. В результате не осталось цепей, переключившихся в процессе моделирования только один раз.

Окончательное описание теста приведено ниже:

```

INIT, BUAM=2220;
BUAM:
T19=0:3,0:2,0:2,1;
TDM=0:3,1:2,0:2,0;
T17=0:3,0:2,1:2,0;
TDX=0:4,0:10,1:25,1:10,0:20,1:130,0;
TX= 0:4,1:10,0:15,1:20,0;
KN=0:25,1:6,0:260,(1:6,0:6)2,0:120,(1:6,0:6)3,0:110,
(1:6,0:6)4,0 ;
T6HOUR=0:286,1,0:130,(1,0)2,0:150,(1,0)4,0;
IN32K=0:500,+;
T32H=+;
INIT=1;
DDX=0:50,1:2155,0;
DDM=1:1120,0;
T4S=+:160,0;
TDN=1:50,0:130,1:10,0:5,1;
T2= 1:2, 0:170,1:10,0;
Z=0;
T1MIN=0:160,+:116,0:15, +:125,0:15, +:130,0;

INIT:
T19=0;
TDM=0;
T17=0;

```

```

KN=0;
T6HOUR=0;
IN32K=0;
T32H=0;
INIT=Z, 0:2, 1;
DDX=0;
DDM=0;
T4S=0;
TDX=0;
TX=0;
TDN=0;
T2=0;
Z=0:4, 1:10;
T1MIN=0;

```

Контроль качества тестов

Функция **Контролировать качество тестов** активна только для головной схемы при наличии файла тестовых воздействий и обеспечивает моделирование в нормальных условиях без учета топологии и имитации шума с последующим контролем пригодности тестов для формирования программы контроля.

Контроль качества тестов включает следующие проверки:

- поиск неперекрывающихся или перекрывающихся только один раз цепей;
- формирование тестовой диаграммы;
- анализ наличия элементарных проверок, на которых могут быть измерены значения электрических сигналов для всех информационных выводов микросхемы, а именно:

- токи утечки на входах;
- токи утечки на выходах в отключенном состоянии,
- токи доопределения внутренних резисторов на выводах;
- напряжение высокого и низкого логических уровней на выходах под нагрузкой;
- ток потребления микросхемы;
- поиск выходов, на которых в некоторых проверках обнаружено неопределенное состояние.

В результате выполнения функции в окне **Вывод** отображаются найденные ошибки и предупреждения. Ошибки должны быть устранены, предупреждения проанализированы и устранены при необходимости. При формировании тестовой диаграммы отображается список внешних контактов, для которых пользователь не описывал входных воздействий или выходных реакций. В нашем случае это все выходы. Для них при тестировании будут проверяться рассчитанные значения. Для выхода **(10)OUT32K**, на котором формируется импульсный сигнал, отсутствуют проверки, на которых отсутствует низкий логический уровень, и, как следствие, нет возможности измерения тока утечки. Эта ситуация должна быть согласована с производителем микросхем. По результатам контроля сформирован список выходов, на которых в некоторых проверках обнаружено неопределенное состояние. Из анализа временной диаграммы видно, что неопределенное состо-

яние зафиксировано только в начальный момент теста во время инициализации проекта микросхемы, что является допустимым.

Подготовка информации для имитатора микросхемы

Завершает этап разработки логического проекта микросхемы прототипирование, т.е. отладка проекта на имитаторе в аппаратуре. В нашем случае микросхема содержит аналого-цифровые ячейки, которые не могут быть реализованы на ПЛИС. Для проектов микросхем, осуществляющих только цифровую обработку информации, после размещения внешних контактов подсистема прототипирования САПР «Ковчег 3.04» автоматически формирует описание микросхемы в базе ПЛИС, которое позволяет средствами САПР ПЛИС реализовать проект микросхемы на имитаторе. Подробно процесс прототипирования описан в книге 2 «Система автоматизированного проектирования «Ковчег 3.04» серии практических пособий «Полузаказные БИС на БМК серий 5503 и 5507».

Разработка топологии микросхемы

Разработка топологии включает планировку поля и размещение выводов и ячеек на поле БМК, синтез и при необходимости редактирование топологии, оптимизацию и верификацию топологии, а также расчет задержек в топологии. Планировка и размещение выполняется средствами подсистемы размещения, которая активизируется функцией **Редактирование размещения** [меню **Выполнить**] (рис. 6.62).

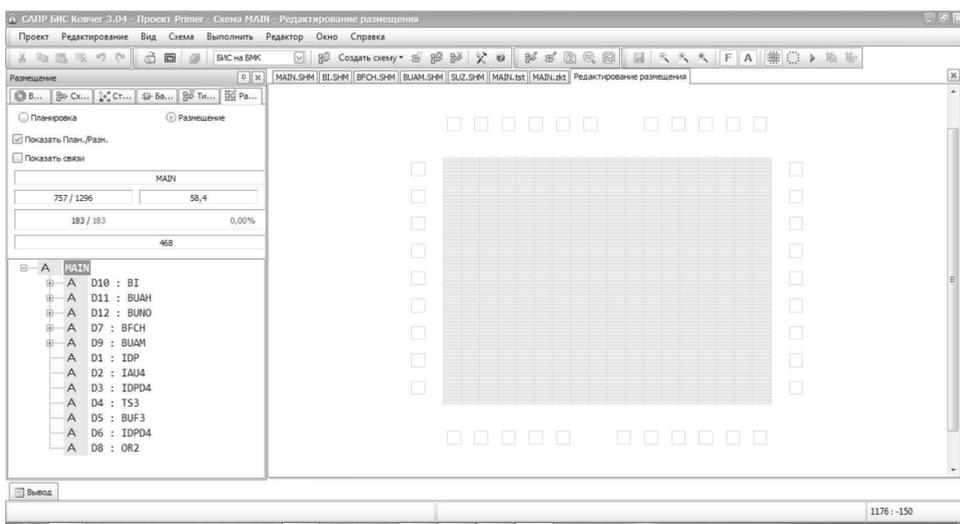


Рис. 6.62. Окно Редактирование размещения

Размещение ячеек выполняется в следующей последовательности:

- задание цветов фона подсхем;
- размещение выводов БИС;
- планировка поля БМК;
- размещение ячеек на поле БМК;
- оптимизация размещения.

Задание цветов фона подсхем

Присвоение подсхемам проекта определенных цветов позволяет более наглядно отобразить структуру БИС, облегчает процесс планировки и последующего размещения ячеек. Задание цвета можно осуществить автоматически с помощью функции **Раскраска подсхем** меню **Редактор** либо вручную с помощью функции **Фон** меню **Редактор**. Заданный цвет присваивается всем подсхемам и ячейкам, входящим в выбранную подсхему, и отображается при планировке поля и размещении ячеек.

Размещение выводов БИС

Разработку размещения ячеек необходимо начать с размещения внешних выводов, расположение которых в корпусе микросхемы должно быть задано в техническом задании на разработку микросхемы либо определено разработчиком микросхемы. В нашем случае расположение выводов не задано, поэтому выполним предварительное размещение выводов. Предварительно нужно ознакомиться с конструкцией корпуса микросхемы и печатной платой, на которой будет расположена микросхема. Вызываем функцию **Редактор периферии** меню **Редактор**, в результате чего открывается окно соответствующего редактора (рис. 6.63). Для размещения нажатием ЛКМ вывод выбирается в списке нераспределенных портов (список находится в левой части окна редактора) и переносится на свободный порт в один из четырех списков выводов, соответствующих сторонам корпуса микросхемы в правой части окна. При размещении выводов будем учитывать, что входы аналоговых компараторов необходимо размещать на верхней или нижней стороне микросхемы, так как сами компараторы должны располагаться в непосредственной близости от контактов питания микросхемы, а функционально связанные выводы должны располагаться рядом. Получившееся размещение выводов представлено на рис. 6.63.

Планировка поля БМК

Планировка поля БМК выполняется в основном окне **Редактирование размещения** (функция **Общий редактор** меню **Редактор**) в режиме **Планировка**, который задается соответствующей кнопкой в верхней левой части информационного поля, и необходима для определения структуры будущей топологии, а также для равномерного распределения неиспользуемых ячеек. При проведении планировки необходимо учитывать особенности проекта:

- расположение внешних выводов;
- наличие высокочастотных цепей;
- наличие аналого-цифровых компараторов;
- структуру потоков информации и шин данных;
- связанность подсхем.

Подсхемы, связанные с внешними выводами, целесообразно располагать напротив этих выводов. Подсхемы, имеющие высокочастотные цепи, должны располагаться вертикально, чтобы скоростные цепи могли быть реализованы в слое металла без использования поликремния. При этом подсхемы должны находиться наиболее близко к входам БИС, на которые подается высокая частота. Аналого-цифровые компараторы рекомендуется располагать наиболее близко к контакту

«Общий» микросхемы, а в столбцах расположения компараторов нельзя размещать счетчики и регистры, а в идеальном варианте любые ячейки, которые могут стать источником помех по шинам питания. Взаимное расположение подсхем определяется их связанностью и структурой потоков информации. Технологический вывод Z при нормальной работе микросхемы должен быть подключен к низкому уровню, поэтому его рекомендуется разместить рядом с контактом «Общий» для последующего соединения на плате.

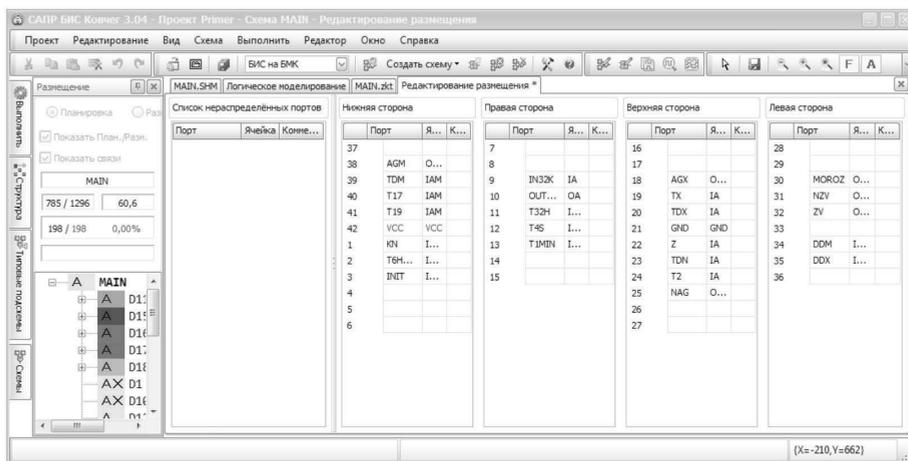


Рис. 6.63. Окно Редактора периферии

Планировка поля БМК выполняется для активной подсхемы, которая выбирается двойным нажатием ЛКМ на имени подсхемы в графе проекта. В информационном поле отображается фактическое и рекомендуемое для размещения количество ячеек активной подсхемы. Задание области размещения осуществляется набором прямоугольных областей, которые задаются по нажатию и отпуску ЛКМ на незапланированной части поля БМК и отображаются цветом планируемой подсхемы. Затем границы области могут быть изменены, вся область целиком может быть перемещена в рамках незапланированной области поля БМК (рис. 6.64).

Размещение ячеек на поле БМК

Размещение ячеек активной подсхемы необходимо проводить в рамках запланированной под нее области в режиме размещения, который задается соответствующей кнопкой в верхней левой части информационного поля подсистемы. Размещение целесообразно начинать с подсхем, содержащих аналоговые компараторы, а затем размещать наиболее связанные с внешними выводами подсхемы.

Размещение ячеек рекомендуется выполнять в рамках запланированной под выбранную подсхему области поля БМК, начиная с драйверов. Затем размещаются аналоговые компараторы (они должны располагаться наиболее близко к контакту «Общий»), триггеры и другие ячейки, определяющие структуру потоков данных. Для этого необходимо:

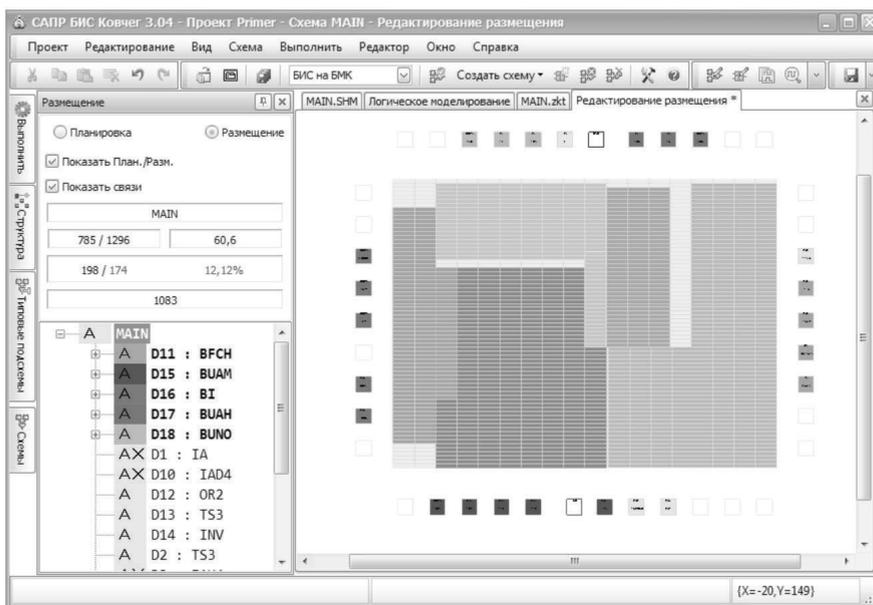


Рис. 6.64. Планировка поля БМК

- в списке ячеек двойным нажатием ЛКМ выделить размещаемую ячейку (при перемещении курсора на границу поля редактора размещения на нем отображается контур этой ячейки);
- нажатием ЛКМ в поле БМК зафиксировать местоположение ячейки (на поле БМК отображается образ размещенной ячейки).

После предварительного размещения указанных выше ячеек всех подсем с помощью функции **Доразместить** меню **Редактор** можно автоматически провести доразмещение ячеек либо какой-то выбранной в списке подсхемы, либо всех ячеек при активной головной схеме. Полученное размещение ячеек приведено на рис. 6.65.

При необходимости после выполнения размещения можно осуществить редактирование размещения ячеек, т.е. изменить местоположение одной или нескольких ячеек.

Для перестановки одной ячейки достаточно захватить ее нажатием ЛКМ и, не отпуская кнопки, переместить на новое место. Во время перемещения отображается суммарная длина связи перемещаемой ячейки с другими связанными с ней ячейками. Уменьшение суммарной длины можно считать критерием улучшения местоположения ячейки. Отпускание кнопки мыши фиксирует новое положение ячейки.

Для перемещения группы ячеек необходимо вначале задать состав перемещаемых ячеек с помощью функций выделения ячеек меню **Редактор**: функции **Выбрать ячейку**, функции **Выбрать область** или функции **Выбрать подсхему**. Затем с помощью функции **Сдвиг** меню **Редактор** можно осуществить перемещение ячеек. Во время перемещения отображается суммарная длина связей перемещаемых ячеек.

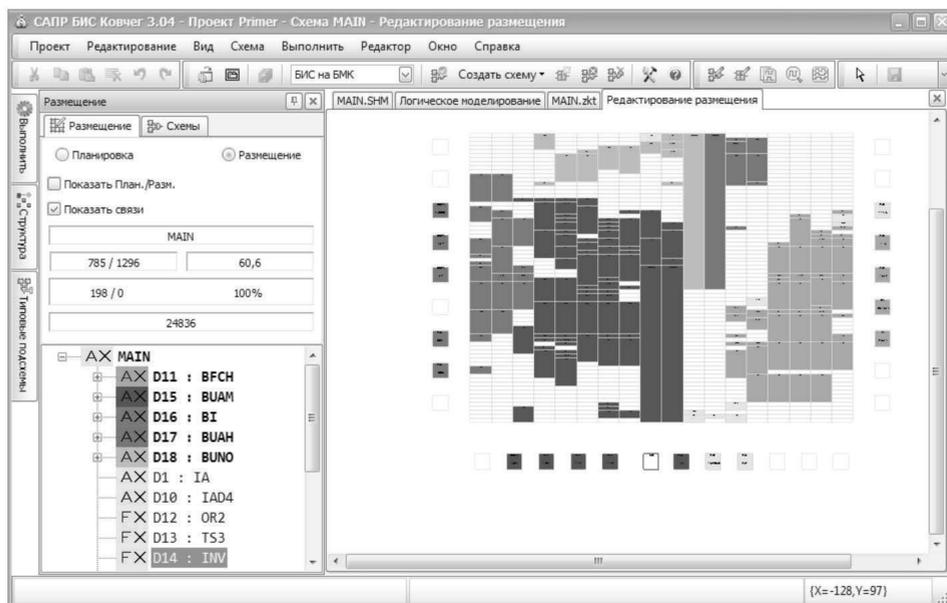


Рис. 6.65. Полученное размещение ячеек без отображения запланированных областей

Анализ таблицы отклонений

При проведении планирования поля БМК невозможно оценить все взаимосвязи ячеек подсхем. В то же время размещение ячеек осуществляется в рамках запланированных участков поля БМК. Поэтому ряд ячеек даже после оптимизации могут иметь не оптимальное местоположение. Оценить расположение ячеек можно с помощью функции **Анализ отклонений** меню **Средства**. В результате работы этой функции формируется список отклонений, в котором в порядке убывания указаны ячейки, имеющие не оптимальное положение относительно других связанных с ними ячеек. Поэтому целесообразно после проведения оптимизации в рамках всей БИС провести редактирование размещения ячеек, указанных в списке отклонений, с целью нахождения их более оптимального расположения.

Синтез топологии

Синтез топологии осуществляется подсистемой **Синтез топологии** [меню **Выполнить**] и может быть выполнен в одном из трех режимов: **Нормальный синтез**, **Файл для предразводки** или **Доразводка топологии**. В нашем случае будем использовать режим нормального синтеза. Для его выполнения активизируем функцию **Нормальный синтез** [меню **Средства**], по окончании получаем соответствующее сообщение (рис. 6.66).

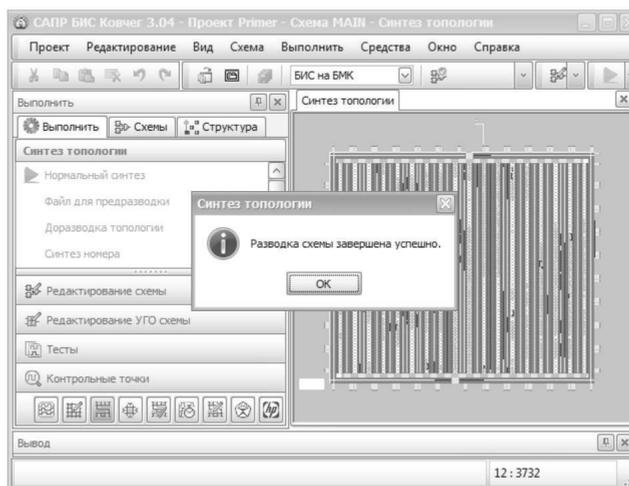


Рис. 6.66. Результат синтеза топологии

Оптимизация топологии

Следующим этапом разработки топологии является оптимизация топологии, которая заключается в дублировании слоев металла поликремниевых шин, используемых в разводке топологии, а также в заполнении свободных мест поля БМК проходными ячейками. Дублирование металлом увеличивает количество точек подключения поликремниевых шин и уменьшает сопротивление связей. Добавление проходных ячеек увеличивает емкость между выводами земли и питания микросхемы, что повышает ее помехоустойчивость.

Оптимизацию топологии целесообразно проводить после окончания разработки топологии, так как оптимизированная топология не подлежит редактированию. Она выполняется подсистемой **Оптимизация топологии** [меню **Выполнить**], по окончании выдается соответствующее сообщение (рис. 6.67).

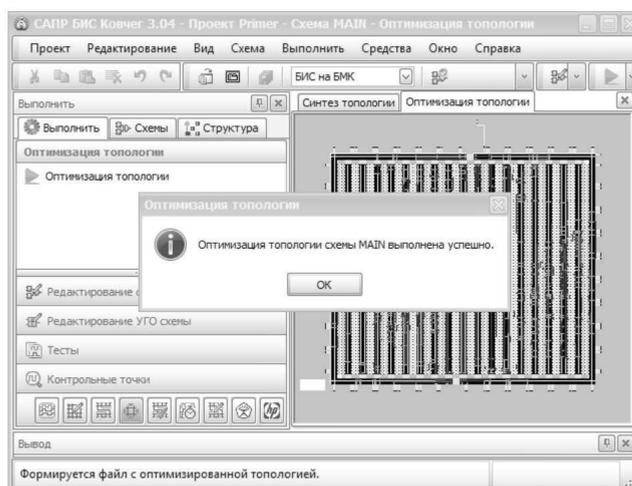


Рис. 6.67. Результат оптимизации топологии

Контроль топологии

Завершающим этапом разработки топологии является контроль топологии, который выполняется подсистемой **Контроль топологии** [меню **Выполнить**] и обеспечивает проверку соответствия логического проекта топологии БИС, а также выполнения конструктивно-технологических требований завода-изготовителя. Контроль топологии может быть выполнен в одном из четырех режимов: **Нормальный контроль**, **Контроль предразводки**, **Обновление ячеек в топологии** или **Удаление цепи из топологии**.

В нашем случае синтез был выполнен полностью в автоматическом режиме, поэтому будем использовать режим нормального контроля. Для его выполнения активизируем функцию **Нормальный контроль** [меню **Средства**], по окончании выдается соответствующее сообщение (рис. 6.68).

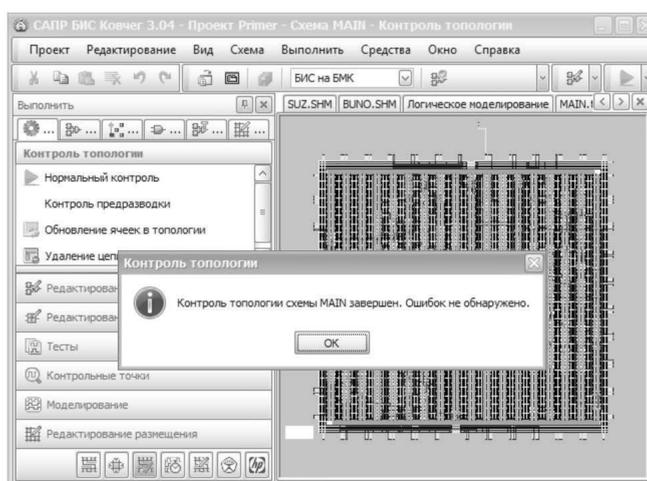


Рис. 6.68. Результат контроля топологии

Подготовка проекта микросхемы к изготовлению

Передаче информации на изготовление микросхемы должна предшествовать аттестация проекта микросхемы и подготовка необходимых сведений о проекте микросхемы. Для проведения аттестации должен быть выполнен расчет задержек в топологии и контроль качества тестов.

Расчет задержек

Расчет топологических задержек осуществляется подсистемой **Расчет задержек** [меню **Выполнить**], которая активизируется функцией **Расчет задержек** [меню **Средства**], по окончании получаем соответствующее сообщение (рис. 6.69).

Аттестация проекта микросхемы

Аттестация – завершающая операция в процессе разработки микросхемы, которая заключается в анализе поведения проекта БИС при различных значени-

ях внешних факторов эксплуатации и разбросе технологических параметров, выполняется только для головной схемы проекта при наличии файла с реакциями, который формируется функцией **Контролировать качество тестов** меню **Средства** окна **Логическое моделирование**. При активизации функции **Аттестация проекта** открывается окно подсистемы **Аттестация проекта**. Аттестация выполняется в зависимости от заданных параметров. Рекомендуется аттестацию проекта выполнять с имитацией шума и учетом задержек в топологии (эти параметры задаются в карточке **Аттестация проекта** меню **Параметры**) в режиме анализа устойчивости по трем значениям параметров, который задается соответствующей функцией формирования таблицы аттестации меню **Средства**.

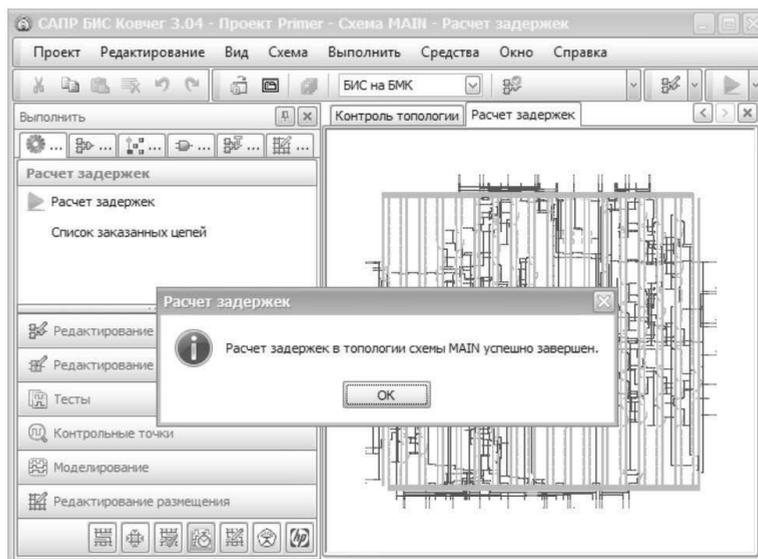


Рис. 6.69. Результат расчета задержек в топологии

При первой активизации одной из функций задания режима аттестации в окне подсистемы формируется таблица аттестации. Название таблицы соответствует режиму аттестации. При повторной активизации подсистемы таблица аттестации сохраняется. Повторный выбор режима аттестации обеспечивает формирование новой таблицы; предыдущая таблица уничтожается.

При аттестации проекта анализируется влияние следующих факторов: напряжения питания, температуры, крутизны р- и n-транзисторов, а также значения удельного сопротивления поликремния. Параметры принимают качественные значения: минимум, номинал, максимум. В таблице представлены все испытания, которые получаются при полном переборе значений параметров. Поэтому некоторые испытания повторяются, что отображается в таблице серым цветом текста. Выполнение аттестации запускается функцией **Начать анализ** меню **Средства**. В процессе анализа успешно завершенные испытания отображаются зеленым цветом текста (рис. 6.70), испытания, в которых обнаружено несоответствие в функционировании микросхемы, — красным текстом. Для разрабатываемой микросхемы аттестация завершена успешно.

номера зашивки необходимо в карточке **Синтез топологии** функции **Параметры...** меню **Проект** указать присвоенный номер, перейти в подсистему синтеза топологии и выполнить функцию **Синтез номера** и после этого повторить формирование программы контроля.

Разработка конструкторской документации

После успешного завершения входного контроля проекта микросхемы изготовителем микросхем разработчик готовит описание микросхемы, которое включается в состав карты заказа на микросхему. Подробно состав конструкторской документации, необходимой для проведения приемо-сдаточных испытаний образцов микросхем, и содержание карты заказа на микросхему описаны в разделе 2.

Описание микросхемы должно содержать следующие разделы:

- назначение микросхемы;
- состав функциональных блоков;
- структурные или функциональные схемы микросхемы и входящих в нее блоков:
 - описание работы микросхемы и входящих в нее блоков с временными диаграммами;
 - рекомендуемая схема подключения микросхемы;
 - условно-графическое обозначение микросхемы.



Федеральное государственное бюджетное научное учреждение «Научно-производственный комплекс «Технологический центр» (НПК «Технологический центр») основано в 1988 году как университетский исследовательский центр.

Одним из основных направлений деятельности НПК «Технологический центр» является разработка и организация производства специализированных микросхем.

Микросхемы производства НПК «Технологический центр» успешно эксплуатируются в аппаратуре космических кораблей «Союз-ТМА», «Прогресс-М», разгонном блоке «Бриз-М», в космических аппаратах серий «КазСат», «Экспресс» и другой аппаратуре космического и специального назначения. На данный момент разработано и освоено в производстве более 600 типов специализированных микросхем.

НПК «Технологический центр» освоил в производстве:

- серии базовых матричных кристаллов 5503, 5507 с напряжением питания соответственно 5 В и 3 В объемом от 600 до 5500 вентиляей, имеющие единые средства проектирования на базе САПР «Ковчег» и средства прототипирования микросхем;
- серию базовых матричных кристаллов 5529ТН и базовых структурированных кристаллов 5529ТР с напряжением питания 3 В объемом от 39000 до 4 млн вентиляей, имеющих унифицированную библиотеку базовых и типовых функциональных ячеек, и позволяющих реализовывать не только цифровые, но и цифроаналоговые блоки, блоки памяти, процессорные блоки и другие функциональные блоки;
- серию многофункциональных микросхем 5529ТР, являющихся функциональными аналогами микросхем 54/74 серий, выбор выполняемых функций которых осуществляется внешним кодом;
- серию микросхем 1469ТК, обеспечивающих защиту микросхем от возникновения тиристорного эффекта,
- завершается освоение серии микросхем 5575ВВ гальванической развязки сигналов, являющихся функциональными аналогами серии ADUM.

НПК «Технологический центр» предоставляет полный комплекс услуг по разработке и производству специализированных микросхем на основе указанных серий БМК и БСК, выполняет работы по проектированию и производству заказных аналоговых и аналого-цифровых микропотребляющих микросхем с последующей поставкой в составе пластины, кристаллов и в микрокорпусах.

Приглашаем вас к сотрудничеству:

Россия, 124498, Москва, Зеленоград, площадь Шокина, д. 1, стр. 7, к. 7237

www.asic.ru, спецбмк.рф

www.tcen.ru

Тел. +7(499) 720-89-92

+7(499) 720-87-93

e-mail: kovcheg@tcen.ru



**КНИГИ ИЗДАТЕЛЬСТВА
«ТЕХНОСФЕРА» МОЖНО ПРИОБРЕСТИ:**

В магазинах:

г. Москва

Торговый дом «Библио-Глобус»,
ст. м. Лубянка, ул. Мясницкая, 6
тел. 8(495) 781-19-00, (495) 624-46-80

«Московский дом книги»,
ст. м. Арбатская, ул. Новый Арбат, 8
тел. 8(495) 789-35-91

«Дом книги на Спартаковской»,
ст. м. Бауманская, ул. Спартаковская, 23
тел. 8(499) 400-41-06

«Дом книги на Соколе», Ленинградский пр., 78 к.1
тел. 8(499)152-63-81

«Молодая гвардия», ст.м. Полянка, ул. Б. Полянка, 28
тел. 8(499) 238-50-01

«Дом технической книги»,
ст. м. Ленинский проспект, Ленинский проспект, 40
тел. 8(499) 137-60-38

«Дом медицинской книги»,
Комсомольский проспект, 25
тел. 8(495) 789-35-91,
(495) 789-31-14





КНИГИ ИЗДАТЕЛЬСТВА
«ТЕХНОСФЕРА» МОЖНО ПРИОБРЕСТИ:

В городах России:

г. Санкт-Петербург

«Санкт-Петербургский дом книги»,
(Дом Зингера)
Невский пр., 28

г. Екатеринбург

сеть магазинов «Дом книги»
<http://www.domknigi-online.ru>
«Екатеринбургский дом книги»
тел. (343) 253-50-10

г. Новосибирск

ИП Костин
ООО «Книги Сибири»
тел. (383) 335-61-63

Книжный магазин «Консул»
ул. Разъездная, 16
тел. (383) 217-45-40

г. Омск

«Техническая книга», ул. Пушкина, 101
тел. (3812) 30-13-64

г. Ростов-на-Дону

сеть магазинов «Магистр»
<http://www.booka.ru>
Книжный магазин «Деловая литература»,
ул. Серафимовича, 53 Б
тел. (863) 240-48-89

г. Череповец

ООО «Книга Поиск»,
ул. Ленина, 104 а, оф. 41

Ближнее зарубежье:

г. Минск

ИП Юзвук Наталья Николаевна
тел. 375-17-294-54-65

г. Харьков

Гуманитарный центр «Литера Нова»
тел. 057-731-41-69

Информация о новинках:
www.technosfera.ru

- наложенным платежом
(заказы принимаются
по e-mail, по почте)
- по безналичному расчету
(заказы принимаются по e-mail,
по факсу с указанием полных
реквизитов юридического лица)

Как заказать наши книги?

По почте: 125319, г. Москва, а/я 91
По факсу: +7(495) 956-33-46
E-mail: knigi@technosfera.ru
sales@technosfera.ru

Производство книг на заказ
Издательство «ТЕХНОСФЕРА»

125319, Москва, а/я 91

тел.: (495) 234-01-10

e-mail: knigi@technosfera.ru

Реклама в книгах:

- модульная
- статьи

Подробная информация о книгах на сайте

<http://www.technosfera.ru>

А.Н. Денисов, В.В. Коняхин

Под общ. ред. академика РАН А.Н. Саурова

Методология проектирования и освоение производства

Компьютерная верстка – ИП Автушенко Р.В.

Дизайн книжных серий – С.Ю. Биричев

Дизайн – Н.И. Семячкина

Ответственный за выпуск – С.А. Орлов

Подписано в печать 17.05.2019

Формат 70×100/16

Гарнитура «Ньютон»

Печ. л. 12,5. Тираж 300 экз. Зак. № Т-442

Бумага офсет № 1, плотность 80 г/м²

Издательство «ТЕХНОСФЕРА»

Москва, ул. Краснопролетарская, д. 16, стр. 2

НПК «Технологический центр»

124498, Москва, Зеленоград, площадь Шокина, дом 1

Тел. +7 499 720-89-92, +7 499 720-87-93

Факс +7 495 913-21-92

www.tcen.ru, www.asic.ru, спецбмк.рф

e-mail: kovcheg@tcen.ru

Отпечатано в типографии ООО «Паблит»

Адрес: 127282, г. Москва ул. Полярная, 31В, стр. 1. Тел.: +7 495 230-20-52

E-mail: info@publit.ru