Самосинхронные схемы – будущее микроэлектроники

Ю.А. Степченков¹, Г.А. Горелкин², Ю.Г. Дьяченко¹ ¹ Учреждение Российской академии наук Институт проблем информатики РАН, {YStepchenkov, YDiachenko}@ipiran.ru ² ФГУП «Концерн Системпром», gorelking@yandex.ru

Аннотация — Статья посвящена проектированию самосинхронных (СС) схем. На примере СС-устройств различной сложности подтверждаются их основные преимущества по сравнению с синхронными аналогами: отсутствие гонок, максимально возможный диапазон работоспособности, высокое быстродействие, относительно низкая мощность потребления. В наибольшей степени эти преимущества проявляются при использовании СС-схем для проектирования надежной цифровой аппаратуры. В настоящей статье приводятся результаты сравнительных испытаний тестовых кристаллов и моделирования вариантов реализации традиционных и отказоустойчивых синхронных и СС-устройств. Они демонстрируют, что, независимо от сложности устройства, зона его работоспособности расширяется при переходе от синхронной к СС-реализации.

Ключевые слова — Самосинхронная схема, самопроверяемость, индикация, зона работоспособности, мощность потребления, быстродействие, сравнение, испытание.

І. ВВЕДЕНИЕ

Одна из важнейших задач, решающая проблему координации событий (сигналов, операций или процессов) в аппаратуре цифровых систем – синхронизация. Она связана, в основном, с обеспечением интерфейса между физическим (естественным) и логическим (искусственным) временем [1]. Координация событий отражает причинно-следственные связи между ними и обычно определяется последовательностью множества событий, происходящих в системе. Это близко к понятию логического времени, течение которого отмечается событиями. При этом любая система функционирует в непрерывном физическом времени.

В середине прошлого века активно исследовались две альтернативные методологии синхронизации элементов в аппаратуре: синхронная (С) и самосинхронная (СС). В Сметодологии интерфейс между физическим и логическим (системным) временем определяется системными часами, удаляющими физическое время из поведения модели. События во внешних часах отделены от модели системного поведения и не имеют завершенного причинно-следственного отношения к событиям в системе. Все события в синхронной системе инициируются метками физического времени. Действительная длительность инициированных событий никак не отслеживается. Чтобы синхронизируемая аппаратура работала корректно, период синхроимпульсов выбирается из расчета на наихудший случай – максимально возможное время переключения отдельных элементов при неблагоприятных сочетаниях условий функционирования (напряжения питания, температуры, параметров, характера распределения нагрузки и т.п.). Таким образом, цена корректной работы синхронной аппаратуры – недоиспользование ее возможностей по быстродействию (до 120 % по сравнению с номинально возможным быстродействием).

Механизмы, обеспечивающие системное время в СС-подходе, включены в модель системного поведения и должны быть разработаны вместе с созданием начальной поведенческой спецификации. Корректные СС-системы базируются на механизме фиксации действительного окончания переходных процессов, т.е. на определении момента завершения переключений элементов схемы. При этом обеспечивается правильное функционирование таких схем независимо от задержек элементов, их составляющих.

С момента появления теории Маллера [2 - 3] СС-проектирование было областью активных исследований [4 - 12]. В последние годы интерес к СС-схемотехнике повышается по мере нарастания проблем в синхронной схемотехнике. Анализ зарубежных источников позволяет сделать вывод, что всеми ведущими западными университетами и многими крупными фирмами сделана "ставка на самосинхронность". В последние годы отмечается рост числа публикаций по этой тематике. Вопросы проектирования СС-схем обсуждаются на таких известных конференциях, как ICCD, DAC, EDAC, FTSC, ICCAD, AR_VLSI, ISAS и т.п. Перечень работ, в которых освещаются научные проблемы и практические результаты разработок в области СС-схем, достигает более полутора тысяч

[13, 14]. В печати приводятся результаты разработки функционально-законченных изделий вплоть до уровня DSP-процессоров [15 - 16], микропроцессоров общего назначения (AMULET3 [17]), сопроцессоров [18], самосинхронной машины потока данных DDM2 (MIT). В качестве примера можно привести проект семейства микропроцессоров ASPRO [19].

В СССР активным пропагандистом СС-подхода был коллектив специалистов под руководством д.т.н. В.И.Варшавского. В работах [1, 20 - 22], развивающих положения теории Маллера [2 - 3], убедительно доказана возможность и целесообразность внедрения принципа самосинхронизации в схемотехническую практику. С 80-х годов прошлого века это направление проектирования микроэлектронной аппаратуры активно поддерживает и развивает ИПИ РАН [23 - 48]. На базе полученных общирных теоретических и практических результатов в ИПИ РАН разрабатывается САПР для поддержки проектирования СС-схем. Апробация СС-подхода проводится на уровне представительных функционально законченных устройств (с учетом возможностей отечественной электронной промышленности).

Однако, несмотря на многочисленные потенциальные преимущества СС-схем, коммерчески выпускаемых СС-ИС немного. Анализ материалов зарубежной печати позволяет сделать вывод, что основная масса схемотехнических решений относится к классу квази-самосинхронных, а не СС-схем. Такого рода схемы представляют собой комбинации СС-фрагментов, в которых реализован контроль действительного окончания переходных процессов, и асинхронных блоков. В квази-самосинхронных схемах вместо контроля окончания событий действует гипотеза ограниченного времени протекания событий, реализуемая встроенными элементами задержки (в асинхронных реализациях) или настойкой генераторов импульсов (в синхронных реализациях). Это позволяет уменьшить число транзисторов при реализации схем и использовать стандартные средства САПР СБИС для проектирования цифровых устройств. Однако теряется основное

преимущество СС-схем – независимость их поведения от задержек, и, как следствие, пропадает возможность бестестовой самодиагностики и локализации неисправностей – определяющих качеств при построении надежностно-ориентированной аппаратуры. Поэтому дальше будут рассматриваться только строго самосинхронные схемы, правильное функционирование которых не зависит от задержек (НЗ) составляющих их элементов и цепей.

Основные преимущества НЗ-схем:

• устойчивая работа – отсутствие сбоев при любых возможных условиях эксплуатации;

• безопасная работа – прекращение всех переключений в момент появления отказа любого элемента (константной неисправности, при которой выход элемента "залипает" в одном состоянии).

Практические следствия этих свойств НЗ-схем:

• устойчивость к параметрическим отказам, вызываемым изменением параметров элементов из-за процессов старения и неблагоприятных воздействий окружающей среды;

• естественная стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям;

• безопасность функционирования на основе бестестовой локализации неисправностей – прекращение работы в момент отказа элемента, исключающее выдачу недостоверной информации, с одновременной индикацией места события;

• максимально возможная область эксплуатации (диапазон работоспособности), определяемая только физическим сохранением переключательных свойств активных элементов.

Перечисленные свойства H3-схем обеспечивают высокую эффективность создания надёжных изделий, в том числе и отказоустойчивых.

К НЗ-схемам, имеющим практическую значимость, относятся, например, NCL-схемы [12, 49]. Но они обладают слишком большой аппаратной избыточностью. С этой точки

зрения более практичным является подкласс схем, не зависящих от задержек в элементах (H3Э). В пределах эквихронной зоны [1] они обладают всеми свойствами H3-схем.

Практически целесообразным являются также использование квази-НЗЭ схем (КНЗЭ). Основное отличие НЗЭ-схем от КНЗЭ-схем состоит в том, что НЗЭ-схемы контролируют с помощью индикаторной подсхемы окончание переключения каждого элемента в схеме, в то время как КНЗЭ-схемы обеспечивают индикацию только элементов, стоящих в критических путях обработки информации. За счет этого КНЗЭ-схемы оказываются более быстродействующими и менее сложными, но не дают стопроцентной гарантии сохранения работоспособности при изменении в широком диапазоне условий эксплуатации (напряжения питания, температуры) и при воздействии экстремальных факторов.

В настоящей работе представлены результаты сравнительных испытаний синхронных (С), КНЗЭ- и НЗЭ-вариантов реализации цифровых устройств различной сложности:

- четырехразрядного микроядра [27];

 восьмиразрядного отказоустойчивого последовательно-параллельного порта (ППпорта), эмулирующего последовательный интерфейс между двумя цифровыми устройствами [28];

– 64-разрядного вычислителя устройства деления и извлечения квадратного корня
[32, 34, 45, 46] в соответствии со стандартом IEEE754 [50].

II. БАЗИС РЕАЛИЗАЦИИ КНЗЭ- И НЗЭ-СХЕМ

НЗЭ-схемы, рассматриваемые в статье, построены на базе работ группы Варшавского В.И. [3-4]. Методология их проектирования базируется на следующих принципах:

• каждый функциональный блок и вся схема работают в двухфазном режиме;

• информационные сигналы принадлежат к множеству парафазных, бифазных и

унарных сигналов;

• бифазные и унарные сигналы обязательно сопровождаются управляющими сигналами;

• завершение инициированного переключения каждого элемента схемы контролируется с помощью индикаторной подсхемы;

• взаимодействие устройств, соседних в тракте обработки информации, реализуется на основе запрос-ответной дисциплины.

Проектирование КНЗЭ-схем основывается на тех же принципах, но они, как отмечалось выше, обеспечивают индикацию не всех элементов схемы. Схемотехнический базис реализации представляемых схем – типовая КМОП-логика, дополненная элементами индикации окончания переключения элементов. В этом заключается немаловажное построению преимущество такого подхода к НЗ-схем. Достаточно дополнить существующую библиотеку САПР элементами индикации и более сложными однокаскадными элементами – и можно проектировать НЗ-схемы.

Успех проектирования цифровых схем любого типа не в последнюю очередь определяется составом библиотеки элементов, на основе которой ведется проектирование. Качество НЗЭ-схем зависит от этого даже в большей степени, чем качество синхронных схем. Необходимость индицировать окончание переходных процессов во всех элементах НЗЭ-схемы делает нежелательной сильную функциональную декомпозицию. Она приводит к появлению в схеме множества "мелких" логических элементов, каждый из которых требует дополнительных аппаратных затрат для реализации его индикации. Это делает целесообразной разработку библиотеки с широкой номенклатурой логических, тригтерных и индикаторных элементов. При этом функциональный состав библиотеки определяется, в первую очередь, целесообразностью использования тех или иных элементов в НЗ-схемах, а во вторую очередь – технологическим базисом реализации проектируемой БИС.

Институт проблем информатики Российской академии наук (ИПИ РАН) совместно

с НПК "Технологический центр" МИЭТ и при финансовой поддержке ФГУП "Концерна Системпром" разработал библиотеку элементов для проектирования НЗ-схем на основе базовых матричных кристаллов (БМК) серий 5503 – 5509 [31, 51-53]. Она содержит 260 элементов, обеспечивающих оптимальное проектирование НЗ-схем на БМК. Помимо традиционных логических элементов и Г-триггеров (С-элементов), она содержит ряд триггеров D-, RS- и Т-типа с встроенными индикаторами, облегчающими построение индикаторной подсхемы. Эта библиотека использовалась при проектировании описанных выше КНЗЭ- и НЗЭ-устройств.

Отличие схемотехнической реализации элементов разработанной библиотеки от NCL-элементов [5] заключается в том, что они не имеют такой большой избыточности по числу транзисторов. Наряду с триггерами, имеющими бифазный или парафазный информационный выход, используются традиционные логические элементы. Триггеры имеют оптимальную реализацию с точки зрения записи и хранения информации. Например, реализация регистра хранения промежуточных данных в описываемом подходе имеет сложность на 75 % меньше, чем в NCL-подходе. Но для построения действительно H3-схемы требуются дополнительные аппаратные затраты на организацию полной индикации, хотя и в этом случае общие затраты оказываются меньше, чем в аналогичных NCL-решениях.

Кроме того, ряд триггеров разработанной библиотеки имеет уникальные свойства, корректными средствами обеспечивающие эффективное решение двух проблем:

- большой нагрузочной способности выходов триггеров,

 – упрощенной реализации входного интерфейса с синхронными формирователями входных данных.

Использование таких триггеров в составе H3-схем гарантирует сохранение их свойств в полном объеме при приемлемых потребительских характеристиках: быстродействии и сложности реализации. К числу таких триггеров относятся, в первую

очередь, триггер с мощными инверторами на информационных выходах и триггер с обычным, безизбыточным (унарным) информационным входом.

Обычно в H3-схемах используется парафазное и бифазное кодирование информационных сигналов. Это удваивает количество сигналов в интерфейсных шинах между удаленными формирователем и приемником многоразрядных данных. Следствие этого –потери в энергопотреблении и площади топологической реализации цифровых H3устройств. Тригтер с унарным входом, показанный на рис. 1 [38], позволяет сократить вдвое ширину шины данных, не нарушая запрос-ответного принципа взаимодействия между соседними H3-устройствами. Это уменьшает как энергопотребление, так и общий уровень помех.



Рис. 1. Триггер для входного интерфейса НЗ-схемы

Унарный информационный вход D сопровождается управляющим сигналом E, общим для многоразрядной шины данных. Сигнал E регулирует фазы работы триггера, обеспечивая прием правильного значения информационного входа D и отсутствие гонок на входе триггера. Элемент U1 на входе триггера, кажущийся, на первый взгляд, избыточным, обеспечивает индикацию инвертора на входе триггера.

Другим "узким горлом" НЗ-схем является формирование информационных выходов триггеров с большой нагрузочной способностью для передачи информации в удаленные цифровые устройства. Традиционный путь – использование триггеров, способных работать на большую нагрузку. Для этого применяются более мощные логические элементы, транзисторы в которых имеют большую ширину канала и занимают, соответственно, большую площадь при топологической реализации. Альтернативой таким элементам служит триггер, изображенный на рис. 2 [54].



Рис. 2 Триггер для выходного интерфейса НЗ-схемы

Информационные выходы триггера Q, QB формируются инверторами; их мощная реализация занимает гораздо меньше места, чем реализация умощненной бистабильной ячейки. Кроме того, инверторы на выходе изолируют выходы бистабильной ячейки, хранящей состояние триггера, от внешних цепей, что повышает помехоустойчивость триггера.

Модели библиотечных элементов, используемые системами логического моделирования, содержат предупреждения о возможном нарушении дисциплины формировании сигналов, поступающих на входы элемента. Это позволяет разработчику H3-схемы на этапе функционально-логического моделирования избежать ошибок, связанных с неправильной организацией запрос-ответного взаимодействия между блоками и элементами в схеме.

Разработанная библиотека внедрена в САПР "Ковчег" (НПК "Технологический центр", МИЭТ) и успешно прошла апробацию на ряде БИС. Кроме того, маршрут проектирования НЗЭ-схем поддерживается разработанными в ИПИ РАН программными средствами:

• синтеза относительно простых НЗЭ-схем (СИНТАБИБ, СИНКОМБ),

• анализа разрабатываемой схемы на возможное нарушение принципов построения НЗЭ-схем (АСИАН [55], АСПЕКТ [47], ФАЗАН [33], САМАН). Эти программные средства обеспечивают безошибочное проектирование НЗЭустройств и гарантируют их принадлежность к классу НЗЭ-схем. Программы анализа способны обработать достаточно сложные цифровые устройства, например, 64-разрядное АЛУ. Однако анализ более сложных устройств не может быть выполнен с помощью указанных программ за приемлемое время: препятствует большое количество переменных.

В настоящее время в ИПИ РАН разрабатывается и проходит апробацию на реальных проектах метод иерархического анализа на возможное нарушение принципов построения H3Э-схем. Суть его состоит в анализе схемы по частям и снизу вверх – от более простых элементов и функциональных блоков к более сложным. Этот подход частично использовался при проектировании H3Э-устройства деления и извлечения квадратного корня [46].

Разработанная библиотека элементов введена в САПР КОВЧЕГ (для проектирования полузаказных БИС на БМК) и САDENCE для заказной КМОП-технологии 0,18 мкм [56]. Они содержат схемотехнические, топологические представления, а также Verilog- и VHDL-модели. Топология элементов для проектирования заказных БИС может быть отмасштабирована до уровня 45 нм. Для их характеризации использовались стандартные программные средства фирмы CADENCE и разработанный в ИПИ РАН комплекс CTEPX [57].

Сравнение представленных ниже С-, КНЗЭ- и НЗЭ-вариантов реализации схем основано на оценке реального быстродействия при реальных условиях эксплуатации. Это означает, что частота тактирования С-устройств устанавливалась из расчета на наихудший случай из допустимой области эксплуатации. Быстродействие же НЗЭ-схем определялось реальными, а не наихудшими, условиями эксплуатации. Именно поэтому НЗЭ-устройства в нормальных условиях оказываются, как правило, быстрее синхронных аналогов. Это подтверждается результатами моделирования и испытаний ряда устройств, описанных ниже.

III. МИКРОЯДРО

Микроядро представляет собой четырехразрядный аналог вычислительного ядра микроконтроллера PIC18XX, Microchip. Оно выполняет произвольный набор из четырех команд: умножения пары четырехразрядных операндов (MUL), циклического сдвига четырехразрядного операнда (ROT), безусловного перехода (JUMP) и пустой команды (NOP).

Микроядро состоит из программной памяти и вычислительного блока. Программная память содержит регистр переходов и регистровую память для четырех команд. Структурная схема вычислительного блока показана на рис. 3 и содержит восьмиразрядный счетчик, разбитый на две тетрады (IDCL:IDCH), сдвигатель (SU), выходной регистр сдвигателя (SUR), умножитель пары четырехбитных операндов (MU) и вспомогательные элементы.

Схема микроядра была разработана в С- и НЗЭ-вариантах. Оба варианта были изготовлены на БМК серии 5503 по 1,6 мкм КМОП-технологии (НПК "Технологический центр", МИЭТ). Результаты испытания С- и НЗЭ-кристаллов микроядра представлены в табл. 1.



Рис. 3. Вычислительный блок микроядра

Сравнительный анализ табл. 1 показывает, что НЗЭ-вариант микроядра лучше своего С-аналога в 3,25 раз по реальной производительности на типовом наборе команд.

Аппаратные затраты для обоих вариантов микроядра в ячейках матрицы вентилей приведены в табл. 2. Для С-варианта они оказались меньше в 1,43 раз.

Для оценки зоны работоспособности микросхем использовалась смесь всех операций (NOP+MUL+ROT+JUMP), затрагивающая максимальный объем устройств в микросхеме. Безусловный переход осуществляется на первую операцию (NOP).

NºNº	Набор операций	С-вариант, нс	НЗЭ-вариант, нс			
		+4,5B; +125°C	+4,5B; +125°C	+5B;+27°C	+5,5 <i>B</i> ; -63 ⁰ C	
1	Циклическая MUL	250	166	144	118	
2	Циклическая ROT	250	121	102	86	
3	Циклическая NOP	250	111	93	75	
4	Циклическая JUMP	500	90	78	66	
5	(MUL+JUMP+ NOP+ROT)/4	312	129	110	91	

Таблица 1. Время выполнения команд

Таблица 2. Аппаратные затраты

Nº№	Функциональный блок	С-вариант	НЗЭ-вариант
1	Вычислительный блок, содержащий:	317	817
	- умножитель	177	444
	- сдвигатель	52	214
	- счетчики	88	159
2	Формирователь потока команд	230	192
3	Схема управления	423	380
	Итого:	970	1389

Максимально возможная тактовая частота, гарантирующая работоспособность всех С-кристаллов микроядра в заданном диапазоне температур (-63...+125) ⁰С и напряжения питания (5 ± 10 %) В, составила 16 МГц. НЗЭ-микроядро работало в режиме самозапуска: новая операция в нем запускалась только после завершения выполнения предыдущей операции.

На рис. 4 приведены экспериментальные данные оценки работоспособности четырех экземпляров микросхем каждого типа при фиксированной типовой температуре (+27 ⁰C) и в диапазоне напряжения питания от 0 до +12 В.

Все четыре НЗЭ-кристалла БИС микроядра показали идентичную зону работоспособности шириной 11,4 В (0,6;...;12 В). В области низких напряжений питания НЗЭ-кристаллы вели себя в полном соответствии с теорией: при наступлении некоторого порогового напряжения (в данном случае 0,6 В) прекращали работу.

Результаты испытаний С-образцов БИС микроядра показали более пеструю карти-



Рис. 4. Зона работоспособности синхронных (С) и НЗЭ БИС микроядра

ну: ширина зоны работоспособности изменялась от 8,2 В (в диапазоне от 11,0 до 2,8 В, образец № 3) до 8,8 В (в диапазоне от 12,0 до 3,2 В, образец № 1). Таким образом, в области низких питающих напряжений запас работоспособности при типовой температуре есть у всех четырех испытанных С-образцов; хотя у С-образца № 1 он составил только 1,1 В (разница между гарантированной нижней границей в 4,5 В и реальной 3,4 В).

Реальное среднее быстродействие НЗЭ-образцов БИС микроядра на рассматриваемом наборе операций почти в два раза выше фиксированного быстродействия С-образцов. Попытка увеличения входной тактовой частоты С-образцов в 1,5 раза (до 24 МГц) негативно сказывается на зоне их работоспособности. Из рис. 4 видно, что при этом нижняя граница работоспособности питающих напряжений у кристалла № 2 не достигает гарантированного минимума (4,6 В вместо 4,5 В). Таким образом, 50-типроцентное повышение быстродействия С-кристаллов приводит к снижению количества годных микросхем микроядра и ограничению их реального диапазона работоспособности.

На рис. 5 приведены результаты экспериментов по проверке работоспособности всех рассмотренных выше НЗЭ-образцов и одного С-образца (№ 2) в рассмотренном выше

диапазоне изменяющихся напряжения питания и температуры.





Уменьшение сопротивления цепи питания тестового макета позволило расширить зону работоспособности НЗЭ-кристаллов микроядра до беспрецедентно низкого уровня 0,2 В при пороговых напряжения КМОП-транзисторов ±0,8 В. Этот интересный феномен требует дополнительного исследования и подтверждения на более представительной выборке микросхем.

На рис. 6 представлена зависимость производительности (количества операций в секунду) кристаллов микроядра от температуры и напряжения питания. Производительность C-реализаций микроядра постоянна для всех возможных условий эксплуатации и составляет 4 MOPS, быстродействие же H3Э-микроядра широко изменяется в зависимости от условий эксплуатации. Например, в зоне работоспособности, гарантированной изготовителем БМК, его производительность изменяется от 10,9 MOPS (5,5 B, -63° C) до 5,2 MOPS (4,5 B, $+125^{\circ}$ C) и в среднем выше производительности C-микроядра почти в два раза.

На рис. 7 приведен график зависимости тока потребления (Ісс) С- и НЗЭ-вариантов

реализации микроядра от величины напряжения питания при температуре T=+27⁰ С. При одном и том же напряжении питания НЗЭ-вариант потребляет несколько больше, чем синхронный. Но это только за счет его более высокой производительности.



Рис. 6. Производительность микроядра на смеси операций

Для более корректной оценки сравнительного потребления энергии на рисунке приведен график энергетической эффективности (Е, мА/МОРЅ), который показывает ток потребления микроядра при выполнении операций с производительностью 1 МОРЅ. Чем меньше величина Е, тем более эффективна реализация. Из рис. 7 видно, что НЗЭ-реализация микроядра более эффективна, чем его С-вариант. Например, при номинальном напряжении питания 5 В энергетическая эффективность составляет 1,2 мА/МОРЅ для НЗЭ-образца и 1,8 мА/МОРЅ для С-образца. При напряжении питания 12 В имеет место двукратное превосходство НЗЭ-реализаций. Сочетание возможности КМОП НЗЭ-схем работать (и потреблять энергию) только "по требованию" с низким потреблением пассивной логики создает хорошие предпосылки для создания энергетически эффективных аппаратных решений. Таким образом, ценой повышения производительности и расширения зоны работоспособности НЗЭ-варианта микроядра является увеличение его аппаратных затрат. В качестве интегральной оценки эффективности реализации цифрового устройства, его добротности в той или иной базе может служить отношение произведения производительности



Напряжение питания U_{DD}, В (для графика $I_{CC} = f(U_{DD})$) Рис. 7. Энергетические параметры микроядра при T=27⁰ C

(Р) при номинальном питании на ширину зоны работоспособности (А) к аппаратным затратам (Н). Суммарное преимущество НЗЭ-микроядра в сравнении с С-аналогом по этому параметру с учетом гарантированной производителем области работоспособности Сустройств по напряжению питания (номинал ± 10 %) составляет примерно 17,6 раз.

IV. ОТКАЗОУСТОЙЧИВЫЙ ПП-ПОРТ

Анализируемая структура ПП-порта содержит следующие блоки:

- передатчик последовательного кода в виде кольцевого регистра сдвига (PC);
- канал связи, включающий в себя передатчики шины на передающем конце,

линию задержки, эмулирующую физические свойства канала передачи данных, и приемники шины на принимающем конце;

• преобразователь последовательного кода в параллельный.

Передатчик формирует последовательность битов данных, сопровождаемых синхросигналом. По переднему фронту синхросигнала на приемном конце линии связи преобразователь кода фиксирует принятый бит, формируя параллельный код – слово данных.

В качестве способа построения отказоустойчивого устройства в НЗЭ-варианте ППпорта выбрано дублирование его основной функциональной части – регистра сдвига, а в С-вариантах – двойное дублирование или мажорирование регистра сдвига. Один из дубликатов изначально является рабочим, остальные – контрольными и/или резервными. Во всех случаях применяется постоянный контроль одинаковости результата, который получается независимо каждым устройством на основе общих входных данных и позволяет выявить возникшее несовпаление. "Ремонт" схемы состоит R мультиплексировании на выход заведомо исправного устройства. Такой способ обеспечивает оперативный саморемонт одного отказа в сдвиговом регистре ПП-порта и достоверность определения работоспособности всех вспомогательных частей схемы.

Благодаря сокращению общего числа устройств в составе отказоустойчивого НЗЭ ПП-порта по сравнению с синхронным, суммарные затраты НЗЭ-варианта оказываются на 12–15 % меньше, чем в синхронных вариантах.

Альтернативным вариантом реализации отказоустойчивого НЗЭ ПП-порта является регистр сдвига, в котором ремонт отказа реализуется методом "замещения сдвигом". Суть его заключается в использовании резервного разряда, при необходимости замещающего собой отказавший разряд. При этом резервный разряд включается в начало цепочки рабочих разрядов. Прямое замещение происходит только в том случае, если отказавший разряд расположен рядом с резервным; в остальных случаях сдвигаются все разряды,

расположенные между отказавшим и резервным; при этом каждый замещает предыдущий. Именно поэтому метод называется "замещением со сдвигом".

Сложность реализации такого варианта отказоустойчивого НЗЭ-порта оказывается на 6 % больше по сравнению с дублированным вариантом. Это объясняется усложнением схемы каждого разряда, наличием резервного разряда и более сложными индикаторной подсхемой и схемой управления ПП-порта.

При сравнении использовались четыре варианта реализации линии связи:

1) с нулевой задержкой – аналог решения "система на кристалле";

2) с минимальной длиной линии связи – аналог решения "две микросхемы на плате";

3) IEEE 1394-1995 длиной 1 м (задержка 5 нс);

4) IEEE 1394-1995 длиной 5 м (задержка 25 нс).

В табл. 3 приведены результаты моделирования рассмотренных вариантов ПП-порта при условии их реализации на БМК серии 5503, с учетом вклада тактового генератора в Свариантах и коэффициента активности K_A – отношения периода активной работы к времени ожидания данного устройства в рамках системы. Обозначения в табл. 3 соответствуют следующим вариантам ПП-порта: С – обычный С-вариант; С-СП – самопроверяющийся С-вариант; С-ОУК – отказоустойчивый С-вариант с двойным дублированием; НЗЭ – обычный НЗЭ-вариант; НЗЭ-ОУД - отказоустойчивый НЗЭ-вариант с дублированием; НЗЭ-ОУЗ – отказоустойчивый НЗЭ-вариант с замещением отказавшего разряда методом сдвига.

Nº Nº	Реализация ПП-порта	Рабочая частота/ скорость, МГц (Мбод)	Кол-во тр-ров	Энергетическая эффективность, мВт/Мбод		Добротность, Мбод•В• ⁰ С/ мВт	
				K _A =0,0	K _A =0,1	<i>K</i> _{<i>A</i>} =1,0	<i>K</i> _{<i>A</i>} =1,0
1	С	16,3	175	0,8	0,87	1,48	11,6
2	С-СП	10,2	488	0,81	0,94	2,13	2,9
3	С-ОУК	9,9	1360	1,01	1,29	3,75	0,6

Таблица 3. Результаты моделирования ПП-порта

4	НЗЭ	14,1	384	0,0	0,09	0,92	19,2
5	НЗЭ-ОУД	12,3	888	0,0	0,2	1,97	3,9
6	НЗЭ-ОУЗ	11,9	944	0,0	0,17	1,73	4,1

Энергетическая эффективность рассчитывается так же, как и для микроядра, но вместо производительности используется количество переданных битов данных в секунду (baud).

Последний столбец табл. 3 содержит интегральную оценку качества схемы – добротность. Энергетическая эффективность Е непосредственно не учитывает два объективных параметра: аппаратные затраты (N) и величину зоны работоспособности (Δ). Первый параметр определяет площадь кристалла и, следовательно, его стоимость, а второй – способность устройства работать в изменяющихся условиях эксплуатации. Поэтому более объективной характеристикой качества аппаратуры является добротность Σ :

$$\sum = (\Delta \bullet K_{\Delta}) / (E \bullet K_{E} \bullet N \bullet K_{N}),$$

где N – аппаратные затраты в транзисторах; K_{Δ} , K_E и K_N – весовые коэффициенты соответствующих параметров (диапазон каждого из коэффициентов: $0 < K_i \le 1$). При расчете данных в табл. 3 приняты следующие значения весовых коэффициентов: $K_{\Delta} = K_E = K_N = 1$).

Табл. 4 содержит результаты испытаний отказоустойчивых кристаллов ПП-порта С-ОУК и НЗЭ-ОУД без учета энергопотребления тактового генератора и при условии K_A=1.

Таблица 4. Результаты испытаний ПП-порта

N⁰N⁰	Реализация ПП-порта	Вариант линии связи	Рабочая частота, МГц	Энергетическая эффективность, мВт/МГц	Добротность, МГц•В• ⁰ С/ мВт
		1	11,3	3,8	0,72
1	С-ОУК	2	10,0	4,25	0,65
		3	9,7	4,43	0,64
		4	9,5	4,6	0,64
2	НЗЭ-ОУД	1	15,6	1,9	4,8
		2	12,1	2,27	4,5
		3	10,9	3,3	4,1

	4	7,7	4,5	2,9

21

Из таблиц 3 и 4 видно, что энергетическая эффективность НЗЭ-варианта, по природе своей самопроверяющегося, существенно выше, чем у несамопроверяющегося Сварианта ПП-порта. Сравнение же функционально идентичных самопроверяющихся вариантов показывает ещё большую относительную эффективность НЗЭ-варианта – 2,3 раза.

Сравнительный анализ табл. 3 показывает, что отказоустойчивые НЗЭ-варианты ПП-порта с дублированием и с замещением отказавшего разряда обладают примерно одинаковыми параметрами. По сравнению с аналогичными С-вариантами они имеют существенно лучшие характеристики: в 2,4 раза по быстродействию; в 1,5 раза по аппаратным затратам; в 1,4 - 1,9 раза по энергетической эффективности; в 4,0 - 6,5 раз по добротности.

Отказоустойчивый НЗЭ ПП-порт с замещением отказавшего разряда потенциально характеризуется п-кратным коэффициентом покрытия константных неисправностей. При этом дополнительный объем аппаратуры, необходимый для организации саморемонта каждой новой неисправности, оценивается в 3-7 % от общего объема оборудования.

Испытания С- и НЗЭ-вариантов ПП-порта также показали преимущества НЗЭварианта (табл. 4). Например, при типе линии связи 2 НЗЭ-реализация оказывается лучше синхронного аналога в 1,2 раза по аппаратным затратам и быстродействию, в 1,3 раза по энергетической эффективности и в 18 раз по добротности.

V. СОПРОЦЕССОР

В качестве сопроцессора рассматривается вычислительное устройство, выполняющее операции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754. Обрабатываемыми операндами служат числа одинарной и двойной точности. Для сравнения использовались четыре варианта сопроцессора: синхронный С-N вариант, реализующий алгоритм Ньютона; синхронный С-SRT вариант, реализующий алгоритм SRT Radix4; КНЗЭ- и НЗЭ-варианты, реализующие алгоритм SRT Radix2. Первые три варианта сопроцессора были реализованы в составе тестовой микросхемы по стандартной 0,18-мкм КМОП-технологии с шестью слоями металлизации. НЗЭ-вариант в настоящее время находится на этапе изготовления.

Структурная схема сопроцессора, реализованного в виде вариантов КНЗЭ и НЗЭ, показана на рис. 8. Она содержит следующие блоки:

• входной регистр операндов и признаков операции (IR) на основе триггера, изображенного на рис. 1;

• входной мультиплексор операндов (МО), организующий итерационное выполнение операции;

• четыре однотипные вычислительные стадии CS1–CS4, каждая из которых вычисляет один бит результата операции;

• индикаторную схему (IC) со схемой управления (CC), обеспечивающие НЗдисциплину обмена данными между блоками вычислителя;

- схему обработки экспонент (CEP);
- блок постобработки мантиссы (PP);
- выходной регистр результата (OR) на основе триггера, показанного на рис. 2.



Рис. 8. Сопроцессор, реализующий алгоритм SRT Radix2

Для алгоритма SRT-2, реализованного в сопроцессоре, характерно наличие в вычислительном конвейере двух потоков данных: формирования промежуточного результата и формирования частичного остатка в избыточном виде. В совокупности с использованным схемотехническим базисом это позволило оптимизировать запросответное взаимодействие между стадиями.

На рис. 9 показана структурная схема индикации стадии на основе гистерезисных тригтеров G и запрос-ответного взаимодействия между вычислительными стадиями. Каждая стадия состоит из блоков формирования промежуточного результата (TR), вычитаемого в канонической формуле деления и извлечения квадратного корня (SC), и частичного остатка (PR). Именами D и OS на рис. 9 обозначены делитель и признак типа операции, соответственно. Символы E и I внутри блоков стадий обозначают вход управления, регулирующий переход блока из текущей фазы работы в противоположную, и индикаторный выход блока. Сигналы запроса (R_j) и ответа (A_j) показывают взаимодействие между стадиями конвейера. С-элементы образуют индикаторную подсхему конвейера.



Рис. 9. Индикация в конвейере сопроцессора

Такой подход учитывает взаимосвязи между составными частями ступеней конвейера вместо взаимосвязи ступеней как таковых. Устраняется "узкое горло" в общей подсхеме индикации, когда индикаторный выход ступени конвейера объединяет в себе информацию о состоянии всех блоков и элементов в составе стадии НЗ-сопроцессора без учета их внутренней функциональной зависимости. В результате конвейер становится параллельно-последовательным, что повышает его быстродействие.

НЗЭ-вариант сопроцессора отличается от КНЗЭ-варианта тем, что в нем соблюдены все принципы проектирования НЗЭ-схем, обеспечивающие действительную независимость от задержек элементов. В частности, КНЗЭ-вариант имеет сокращенную индикаторную подсхему. Она обеспечивает контроль за окончанием переключения только критических цепей в схеме сопроцессора. За счет этого КНЗЭ-вариант характеризуется лучшим на 30-40 % быстродействием и меньшими на 20 % аппаратными затратами.

В табл. 5 приведено усредненное время выполнения КНЗЭ- и НЗЭ-сопроцессором деления (DIV) и извлечения квадратного корня (SQRT) с двойной точностью по результатам моделирования ограниченного набора операндов. Быстродействие сопроцессора изменяется в широких пределах: лучшее (строка 1) и худшее (строка 3) времена отличаются почти в два раза. Оба варианта сопроцессора продолжают устойчиво работать при понижении напряжения питания до 0,32 В при номинальном напряжении питания 1,8 В. При этом быстродействие падает в 550 раз, но все операции выполняются корректно. Это свидетельствует о широкой зоне работоспособности КНЗЭ- и НЗЭ-сопроцессоров. Только НЗЭ-сопроцессор оказывается работоспособным при более низком напряжении питания 0,2 В.

Таблица 5. Быстродействие КНЗЭ и НЗЭ сопроцессоров

На рис. 10 показана зависимость времени выполнения деления с двойной точностью для НЗЭ-варианта сопроцессора от напряжения питания при температуре T=125⁰ C. Логарифмический масштаб позволяет судить о явно нелинейном характере зависимости производительности сопроцессора от напряжения питания.

Для тех приложений, где определяющим фактором является сохранение работоспособности даже за счет существенного падения быстродействия устройства, актуально приме

N⁰	Режим,	КНЗ	Э	НЗЭ	
N⁰	U _{DD} , T ^O C	DIV, нс	SQRT, нс	DIV, нс	SQRT, нс
1	1,98 B, - 60 ⁰ C	34,7	36,9	47,3	50,2
2	1,8 B, +25 ^o C	46,7	49,1	63,5	67,0
3	1,62 B, +125 ^o C	63,9	70,3	86,9	90,1
4	0,9 B, +125 ⁰ C	219	199	298	284
5	0,8 B, +125 ⁰ C	300	276	406	378
6	0,7 B, +125 ^o C	480	422	653	574
7	0,6 B, +125 ⁰ C	858	775	1170	1060
8	0,5 B, +125 ^o C	2100	1893	2860	2580
9	0,4 B, +125 ^o C	7682	6940	10440	9440
10	0,35 B, +125 ^o C	21705	21340	29500	29020
11	0,32 B, +125°C	25688	25301	34940	34410
12	0,2 B, +125 ^o C	-	-	340800	336920



Рис. 10. Зависимость времени деления от напряжения питания при T=125⁰ С нение НЗЭ- и даже КНЗЭ-аппаратуры. Результаты измерений КНЗЭ-сопроцессора в составе тестовой микросхемы подтвердили адекватность результатов моделирования.

Сравнительные результаты испытаний КНЗЭ-варианта и двух синхронных вариантов сопроцессора, реализующих алгоритмы Ньютона и стандартный SRT Radix4, показаны на рис. 11. Производительность измерялась при нормальных условиях работы (U_{DD}=1,8 B, T=27⁰ C). Зона работоспособности определялась как произведение диапазонов напряжения питания и температуры, в которых сопроцессор демонстрировал устойчивую работу.



Рис. 11. Результаты испытаний вариантов исполнения сопроцессора:

Приведенные данные по производительности и зоне работоспособности получены, исходя из предпосылки, что операции деления и извлечения корня с одинарной и двойной точностью равновероятны. При этом использовались статистически значимые наборы операндов, и режимы функционирования брались в следующих пропорциях: "best" – 25 %;

"typical" – 50 %, "worst" – 25 %.

Таким образом, реализация сопроцессора в виде КНЗЭ-устройства обеспечивает его устойчивую работу при любых допустимых условиях эксплуатации. Сопроцессор обладает неоспоримыми преимуществами по производительности и зоне работоспособности по сравнению с синхронными аналогами и средней площадью топологической реализации. Мы уверены, что НЗЭ-вариант сопроцессора продемонстрирует ещё более широкую зону работоспособности и надёжность в сравнении с КНЗЭ-вариантом.

VI.ЗАКЛЮЧЕНИЕ

Несмотря на изначально более сложную аппаратную реализацию НЗЭ-схем по сравнению с синхронными аналогами (до 2,1 раза для регистровых структур и до 2,5 раз для комбинационных структур), НЗЭ-схемы обеспечивают более высокое быстродействие аппаратуры в реальных условиях. В ряде случаев они обладают и существенно меньшим энергопотреблением. Поэтому применение НЗЭ-схемотехники может быть оправдано даже в областях, где высокая надежность функционирования не является определяющей, но требуется высокое быстродействие или низкое энергопотребление.

Типовые вычислительные устройства, реализованные в базисе НЗЭ-схем, оказываются в 1,5 - 2 раза лучше своих синхронных аналогов по энергетической эффективности (отношению энергии потребления к производительности), в 1,7 - 2,6 раза лучше по производительности в реальных условиях. По добротности, учитывающей энергию потребления, производительность и допустимые диапазоны напряжения питания и температуры окружающей среды, НЗЭ-схемы оказываются лучше в 15 - 18 раз.

Наиболее предпочтительно применение НЗЭ-схемотехники в высоконадежных отказоустойчивых устройствах. Результаты испытаний отказоустойчивых вариантов исполнения ПП-порта показали, что НЗЭ-исполнение по сравнению с С-реализацией характеризуется лучшими показателями по всем параметрам: в 1,2 раза по быстродействию и по аппаратным затратам, в 1,3 раза по энергетической эффективности и в

18 раз по добротности.

Независимо от сложности реализации НЗЭ-схемы, зона ее работоспособности определяется физическими характеристиками транзисторов. Она гораздо шире зоны работоспособности традиционных синхронных схем с фиксированной частотой синхронизации и превышает аналогичную зону синхронных схем с адаптивной частотой синхронизации.

Результаты практических исследований представителей различных подклассов самосинхронных схем подтвердили декларированные теоретически преимущества самосинхронных схем по зоне работоспособности, быстродействию и энергетической эффективности по сравнению с синхронными аналогами. КНЗЭ- и НЗЭ-схемы, несомненно, найдут широкое применение в перспективных изделиях микроэлектронной техники.

Литература

- 1 Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky Kluver Academic Publishers, 1990 245 p.
- 2 *Muller D., Bartky W.* A theory of asynchronous circuits. // Annals of computation laboratory of Harvard University, V.29, 1959 P. 204-243.
- 3 Muller D.E. Asynchronous logics and application to information processing / In: H. Aiken, W.F. Main (Eds.), Switching Theory in Space Technology, Stanford University Press, Stanford, CA, 1963 – P. 289-297.
- 4 Seitz C.L. System timing, in: C. Mead, L. Conway (Eds.), Introduction to VLSI Systems, Addison-Wesley, Reading, MA, 1980 – P. 218-262.
- 5 *Singh N.P.* A design methodology for self-timed systems, Master's Thesis, MIT/LCS/TR-258, Laboratory for Computer Science, MIT, 1981.
- 6 Martin A.J. Compiling communicating processes into delay-insensitive VLSI circuits, Distributed Comput. 1/4, 1986 P. 226-234.
- 7 Anantharaman T.S. A delay insensitive regular expression recognizer, IEEE VLSI Techn. Bull. September, 1986.
- 8 *Martin A.J.* Programming in VLSI, in: C.A.R. Hoare (Ed.), Development in Concurrency and Communication, Addison-Wesley, Reading, MA, 1990 P. 1-64.
- 9 Van Berkel K. Beware the isochronic fork, integration, VLSI J. 13/2, 1992 P. 103-128.
- 10 David I., Ginosar R., Yoeli M. An efficient implementation of Boolean functions as self-timed circuits, IEEE Trans. Comput. 41/1, 1992 P. 2-10.
- 11 Sparso J., Staunstrup J., Dantzer-Sorensen M. Design of delay insensitive circuits using multiring structures / In Proceedings of the European Design Automation Conference, 1992 – P. 15-20.
- 12 Fant K.M., Brandt S.A. NULL convention logic: a complete and consistent logic for asynchronous digital circuit synthesis / In Proceedings of the International Conference on Application Specific Systems, Architectures, and Processors, 1996 P. 261-273.
- 13 Scott Hauck. Asynchronous Design Methodologies: An Overview / In Proceedings of the

IEEE, Vol. 83, No. 1, January, 1995 – P. 69-93.

- 14 Ad Peeters. The Asynchronous Bibliography. BIBTEX database file async.bib. May 05, 2004 /http://www.win.tue.nl/async-bib/doc/async.html/ (дата обращения: 27.01.2010).
- 15 Paver N.C., Day P., Farnsworth C., Jackson D.L., Lien W.A., Liu J. A Low-Power, Low-Noise, Configurable Self-Timed DSP / In Proceedings of the Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC '98), 1998.
- 16 Mikko Laiho and Olli Vainio. A Full-Custom Self-Timed DSP Processor Implementation /www.imec.be/esscirc/papers-97/172.pdf/ (дата обращения: 25.01.2011).
- 17 Garside J.D., et al.: AMULET3i an asynchronous system-on-chip / In Proceedings of the ASYNC-2000, Eilat, Israil, Apr. 2000 P. 162-175.
- 18 Matsubara G., Ide N., Tago H., Suzuki S. and Goto N. 30-m 55-b Shared Radix 2 Division and Square Root Using a Self-Timed Circuit / In Proceedings of the 12th Symposium on Computer Arithmetic (ARITH '95), 1995 – P. 98-105.
- 19 TIME Laboratory. ANNUAL REPORT 2002, May 2003 252 p.
- 20 Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent Hardware: The Theory and Practice of Self-timed Design, J.Wiley, 1994.
- 21 Апериодические автоматы / Под ред. В.И. Варшавского М.: Наука, 1976 424 с.
- 22 Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. ред. В.И. Варшавского М.: Наука, 1986 400 с.
- 23 Филин А.В., Степченков Ю.А. Компьютеры без синхронизации // Сб.: Системы и средства информатики. М.: Наука. Физматлит, вып. 9, 1999 С. 247-261.
- 24 Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С., Филин А.В. Цена реализации уникальных свойств самосинхронных схем // Сб.: Системы и средства информатики. М.: Наука. Физматлит, вып. 9, 1999 С. 261-292.
- 25 Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С., Филин А.В. Самосинхронная схемотехника альтернатива синхронной // Электронный сборник научных трудов сотрудников ОИВТА РАН (раздел «Элементная база), 1999 10 с.
- 26 Плеханов Л.П., Степченков Ю.А. Экспериментальная проверка некоторых свойств строго самосинхронный электронных схем // Сб.: Системы и средства информатики: М.: Наука, вып. 16, 2006 С. 476-485.
- 27 Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле. // Нано- и микросистемная техника, №5, 2006 С. 29-36.
- 28 Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С. Самосинхронные последовательностные схемы: опыт разработки и рекомендации по проектированию // Сб.: Системы и средства информатики: М.: Наука, вып. 17, 2007 С. 503-529.
- 29 Соколов И.А., Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г., Захаров В.Н. Самосинхронная схемотехника перспективный путь реализации аппаратуры // Сб.: Системы высокой доступности, т. 3, № 1-2, 2007 С. 61-72.
- 30 Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С., Плеханов Л.П. Самосинхронные схемы ключ к построению эффективной и надежной аппаратуры долговременного действия // Системы высокой доступности, т. 3, № 1-2, 2007 С. 73-88.
- 31 Плеханов Л.П., Степченков Ю.А., Дьяченко Ю.Г. Библиотека самосинхронных элементов на базе 55 серии БМК САМОС_55 // Свидетельство об официальной регистрации программы для ЭВМ № 2007613547, 2008.
- 32 Дьяченко Ю.Г., Степченков Ю.А., Бобков С.Г. Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты // В сб. МЭС-2008, М.: ИППМ РАН, 2008 – 6 с.
- 33 Плеханов Л.П. Реализация функционального метода анализа самосинхронности электронных схем // Сб.: Системы и средства информатики: М.: Наука, вып. 19, 2009 – С. 142-148.
- 34 Stepchenkov Y., Diachenko Y., Zakharov V., Rogdestvenski Y., Morozov N., Stepchenkov D.

Quasi-Delay-Insensitive Computing Device: Methodological Aspects and Practical Implementation. The International Workshop on power and timing modeling, optimization and simulation, PATMOS'2009, Delft, The Netherlands, September 09-11, 2009, 10 p.

- 35 Степченков Ю. А., Дьяченко Ю. Г., Плеханов Л.П., Гринфельд Ф.И., Степченков Д.Ю. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления / Патент на изобретение №2365031. Опубл. в Б.И., 2009, № 23.
- 36 Степченков Ю. А., Дьяченко Ю. Г., Рождественскене А.В., Морозов Н.В., Петрухин В.С. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления / Патент на изобретение №2366080. Опубл. в Б.И., 2009, № 24.
- 37 Дьяченко Ю.Г., Степченков Ю.А., Гринфельд Ф.И. Г-триггер с парафазными входами с нулевым спейсером / Патент на изобретение №2366081. Опубл. в Б.И., 2009, № 24.
- 38 Соколов И.А., Степченков Ю.А., Дьяченко Ю.Г. Самосинхронный триггер с однофазным информационным входом. Патент № 2405246 от 27.11.2010
- 39 Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.Г., Петрухин В.С. Однотактный самосинхронный RS-триггер с предустановкой. Патент № 2390092 от 20.05.2010.
- 40 Степченков Ю.А., Дьяченко Ю.Г., Морозов В.Н., Филин А.В. Однотактный самосинхронный RS-триггер с предустановкой и входом управления. Патент РФ № 2391772 от 10.06.2010.
- 41 Степченков Ю.А., Дьяченко Ю.Г., Степченков Д.Ю., Плеханов Л.П. Двухтактный самосинхронный RS-триггер с предустановкой Патент РФ № 2390923 от 27.05.2010.
- 42 Степченков Ю.А., Дьяченко Ю.Г., Захаров В.Н., Гринфельд Ф.И. Двухтактный самосинхронный RS-триггер с предустановкой и входом управления. Патент РФ № 2390093 от 20.05.2010.
- 43 Степченков Ю.А., Дьяченко Ю.Г., Плеханов Л.П., Денисов А.Н. Самосинхронный триггер для связи с удаленным приемником. Патент РФ № 2382487 от 20.02.2010.
- 44 Степченков Ю.А., Дьяченко Ю.Г., Плеханов Л.П. Двоичный самосинхронный счетчик с предустановкой. Патент РФ № 2392735 от 20.06.2010.
- 45 Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.В., Морозов В.Н., Степченков Д.Ю. Самосинхронный вычислитель для высоконадежных применений // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Стемпковского – М.: ИППМ РАН, 2010 – С. 418–423.
- 46 Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов В. Н., Степченков Д.Ю. Разработка вычислителя, независящего от задержек элементов // Сб.: Системы и средства информатики. – М.: ТОРУС ПРЕСС, вып. 20, № 1, 2010 – С. 237-254.
- 47 Рождественский Ю. В., Морозов В. Н., Рождественскене А. АСПЕКТ: Подсистема событийного анализа самосинхронных схем // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Стемпковского М.: ИППМ РАН, 2010 С. 26–31.
- 48 Плеханов Л.П. Разработка самосинхронных схем: функциональный подход // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Стемпковского – М.: ИППМ РАН, 2010 – С. 424–429.
- 49 *Fant K.M.* Logically determined design: clockless system design with NULL convention logic, J. Wiley, 2005.
- 50 IEEE Standard for Binary Floating-Point Arithmetic / IEEE Std. 754. New York ANSI-1985, Aug.
- 51 Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Фомин Ю.П. Библиотека элементов БМК для критических областей применения // Сб.: Системы и средства информатики. - М. Наука, вып. 14, 2004 – С. 318-361.
- 52 Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека самосинхронных элементов для технологии БМК // В сб. трудов конференции "Проблемы разработки перспективных микроэлектронных систем-2006", под общ. ред. А.Л. Стемпковского, М.: ИППМ РАН, 2006 С. 259-264.
- 53 Морозов Н.В., Степченков Ю.А., Дьяченко Ю.Г., Степченков Д.Ю. Функциональная полузаказная библиотека самосинхронных элементов ML03. Свидетельство о государственной регистрации программы для ЭВМ № 2010611908 от 12.03.2010.

- 54 Sokolov I.A., Stepchenkov Y.A., Dyachenko Y.G. Self-timed RS-trigger with the enhanced noise immunity. Inter. Application number PCT/RU2010/000279.
- 55 Рождественский Ю.В., Морозов Н.В., Степченков Ю.А., Рождественскене А.В. Универсальная подсистема анализа самосинхронных схем // Сб.: Системы и средства информатики. - М.: Наука, вып. 16, 2006 – С. 463-475.
- 56 Chartered Semiconductor 0.18µm IB Process 1.8-Volt SAGE-XTM. Standard Cell Library Databook / Artisan Components, February 2003, Release 1.0.
- 57 Дьяченко Ю.Г., Морозов Н.В., Степченков Д.Ю. Характеризация псевдодинамических элементов // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Стемпковского М.: ИППМ РАН, 2010 С. 32–35.